

به نام خدا



دانشگاه تهران

دانشکده مهندسی برق و کامپیوتر

# تمرین کامپیوتری ۱

سیستم های دیجیتال ۱ – ECE 894

مهلت تحویل: ۲۵ اسفند ۱۳۹۹

عرفان پناهی ۸۱۰۱۹۸۳۶۹

بهار ۱۴۰۰-۱۳۹۹

# فهرست:

سوال ۱..... صفحه ۲ ([لینک](#))

سوال ۲..... صفحه ۶ ([لینک](#))

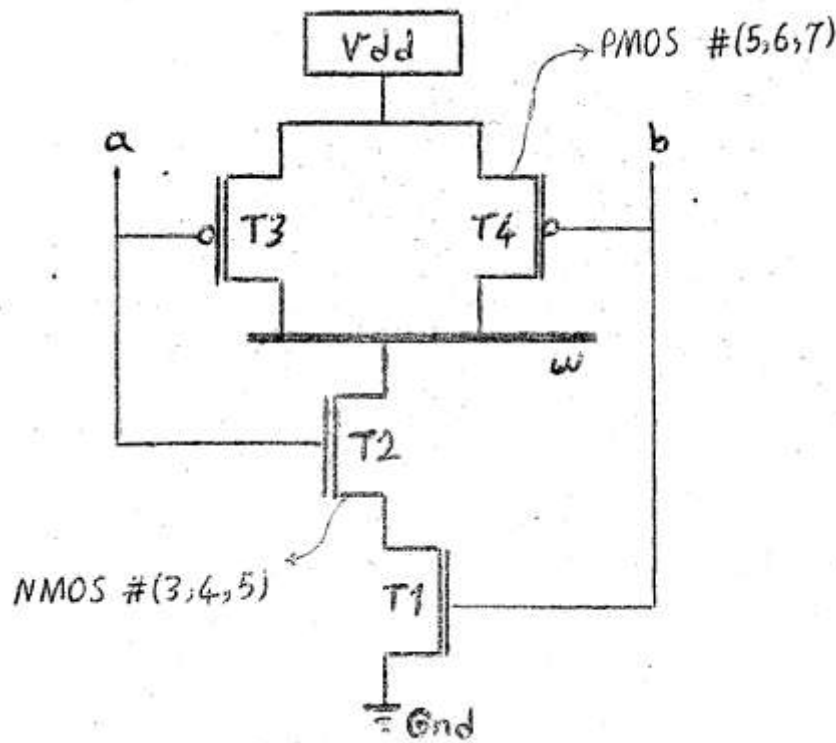
سوال ۳..... صفحه ۱۰ ([لینک](#))

سوال ۴..... صفحه ۱۵ ([لینک](#))

سوال ۵..... صفحه ۱۹ ([لینک](#))

## سوال ۱:

A. مدار (Circuit diagram): ساختار ترانزیستوری این گیت به صورت زیر است. نام ترانزیستور هایی که در System Verilog استفاده شده نیز در مدار مشخص شده است.

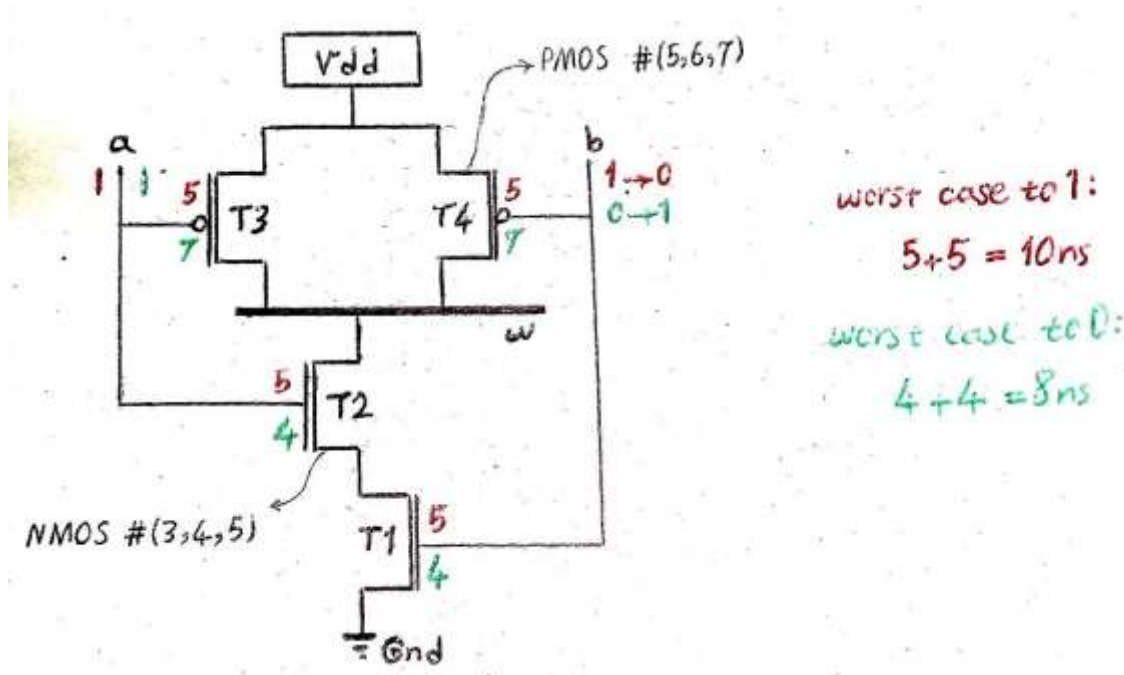


## B. بیشترین تأخیر (worst-cases):

بیشترین تأخیر برای رسیدن به ۱ (worst-case to 1): به این منظور pull-down باید مقدار Z و pull-up مقدار ۱ را به w بفرستد. با توجه به موازی بودن ترانزیستور ها در pull-up میزان تأخیر برابر تأخیر to1 یکی از ترانزیستور های PMOS که 5ns است، می باشد. از طرفی ترانزیستور های pull-down بصورت سری هستند و ماکزیمم تأخیر در این بخش زمانی اتفاق می افتد که هر دو ترانزیستور تأخیر toZ داشته باشند و مجموعاً  $5+5=10ns$  تأخیر ایجاد کنند. برای اینکه هر دو حالت گفته شده اتفاق بیافتد کافی است ورودی  $a=1$  باشد و ورودی b از 1 به 0 تغییر کند. در چنین حالتی انتظار می رود 10ns پس از تغییر ورودی b مقدار w از 0 به 1 برسد.

بیشترین تأخیر برای رسیدن به ۰ (worst-case to 0): به این منظور pull-down باید مقدار 0 و pull-up مقدار Z را به w بفرستد. با توجه به موازی بودن ترانزیستور ها در pull-up میزان تأخیر برابر تأخیر toZ یکی

از ترانزیستور های PMOS که 7ns است، می باشد. از طرفی ترانزیستور های pull-down بصورت سری هستند و ماکزیمم تأخیر در این بخش زمانی اتفاق می افتد که هر دو ترانزیستور تأخیر to0 داشته باشند و مجموعاً  $4+4=8ns$  تأخیر ایجاد کنند. برای اینکه هر دو حالت گفته شده اتفاق بیافتد کافی است ورودی  $a=1$  باشد و ورودی  $b$  از 0 به 1 (یا برعکس برای  $a$  و  $b$ ) تغییر کند. در چنین حالتی انتظار می رود 8ns پس از تغییر ورودی  $b$  مقدار  $w$  از 1 به 0 برسد.



### C. سیستم وریلاگ (System Verilog description):

#### MyNand:

```
`timescale 1ns/1ns
module MyNand(input a,b,output w);
    wire y;
    supply1 Vdd;
    supply0 Gnd;
    nmos #(3,4,5) T1(y,Gnd,b), T2(w,y,a);
    pmos #(5,6,7) T3(w,Vdd,a), T4(w,Vdd,b);
endmodule
```

#### Testbench:

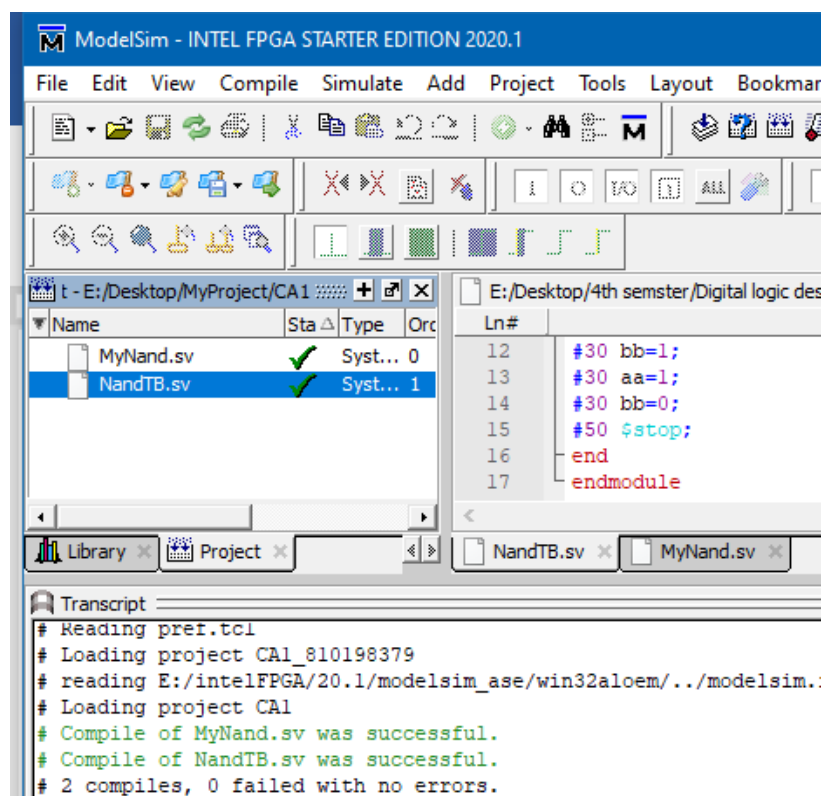
```
`timescale 1ns/1ns
```

```

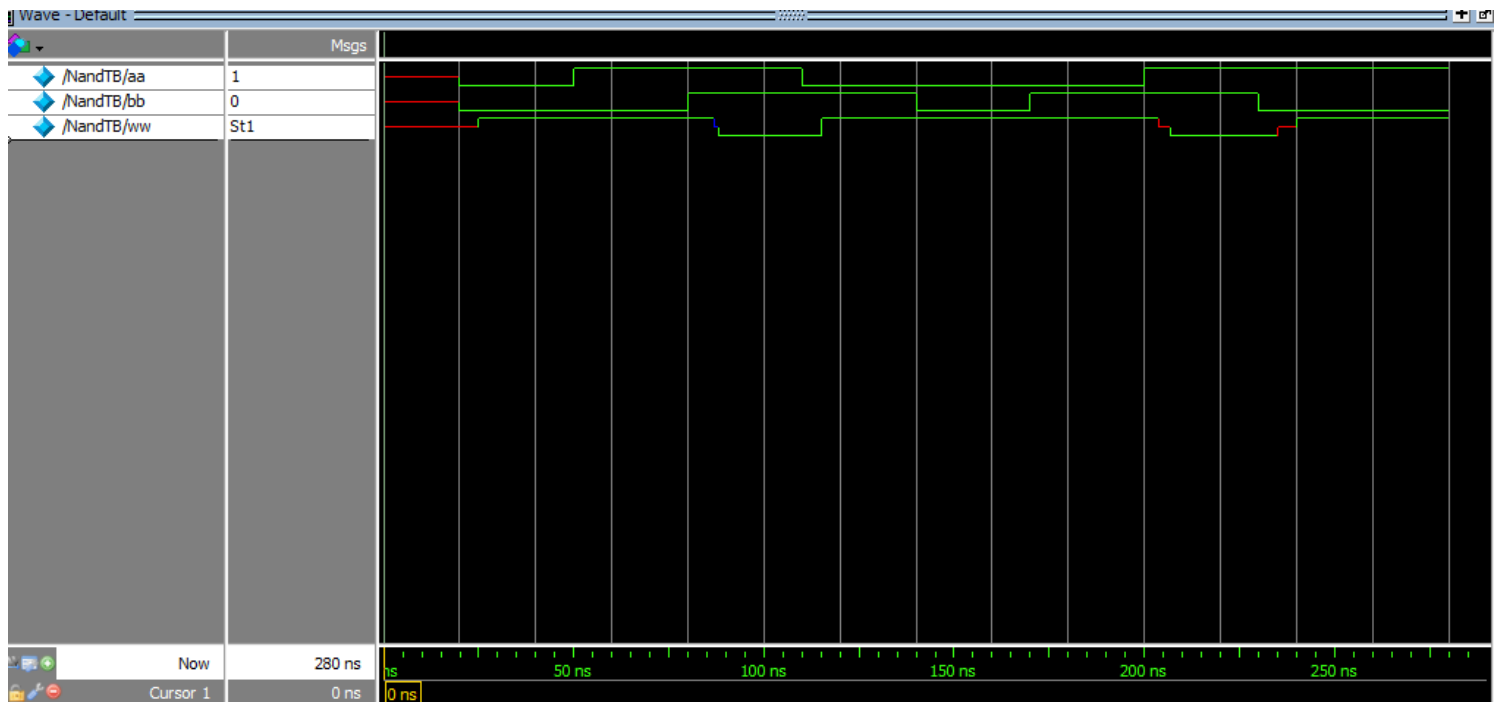
module NandTB ();
    logic aa,bb;
    wire ww;
    MyNand CUT (aa,bb,ww);
    initial begin
        #20 aa=0;bb=0;
        #30 aa=1;
        #30 bb=1;
        #30 aa=0;
        #30 bb=0;
        #30 bb=1;
        #30 aa=1;
        #30 bb=0;
        #50 $stop;
    end
endmodule

```

D. تأیید کامپایل شدن:



## E. نتیجه و waveform :

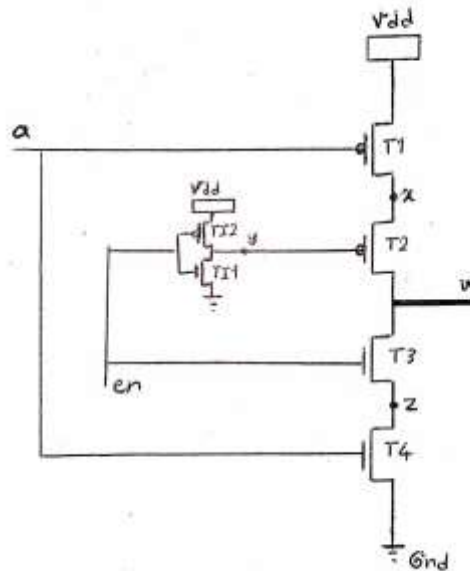


Worst case to 1: **10ns**

Worst case to 0: **8ns**

## سوال ۲:

A. مدار (Circuit diagram): ساختار ترانزیستوری این گیت به صورت زیر است. نام ترانزیستور هایی که در System Verilog استفاده شده نیز در مدار مشخص شده است.



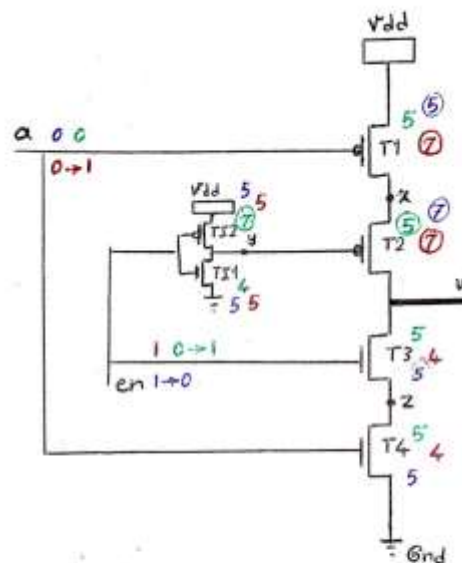
## B. بیشترین تأخیر (worst-cases):

بیشترین تأخیر برای رسیدن به ۱ (worst-case to 1): به این منظور pull-down باید مقدار Z و pull-up مقدار ۱ را به w بفرستد. با توجه به سری بودن ترانزیستور ها در pull-up میزان تأخیر برابر مجموع تأخیر های to1 هر یک از ترانزیستور های PMOS که 5ns است، می باشد، اما نکته اینجاست که ساختار inverter که به ترانزیستور T2 ورودی میدهد به ازای en=1، 7ns و به ازای en=0، 5ns تأخیر دارد. از طرفی ترانزیستور های pull-down بصورت سری هستند و ماکزیمم تأخیر در این بخش زمانی اتفاق می افتد که هر دو ترانزیستور تأخیر toZ داشته باشند و مجموعاً 5+5=10ns تأخیر ایجاد کنند. برای اینکه بیشترین تأخیر اتفاق بیافتد کافی است ورودی a=0 باشد و ورودی en از 0 به 1 تغییر کند. در چنین حالتی 7ns تأخیر inverter و 5ns تأخیر T2 است. یعنی انتظار میرود 5+7=12ns پس از تغییر ورودی en مقدار w از Z به 1 برسد.

بیشترین تأخیر برای رسیدن به ۰ (worst-case to 0): به این منظور pull-down باید مقدار 0 و pull-up مقدار Z را به w بفرستد. با توجه به سری موازی بودن ترانزیستور ها در pull-up و اینکه میزان تأخیر toZ هر یک از ترانزیستور های PMOS که 7ns است و اینورتر تأخیر 5ns دارد پس در این حالت حداکثر 7+7=14ns زمان نیاز است تا pull-up مقدار Z را روی w بفرستد. از طرفی ترانزیستور های pull-down بصورت سری

هستند و ماکزیمم تأخیر در این بخش زمانی اتفاق می افتد که هر دو ترانزیستور تأخیر  $t_{00}$  داشته باشند و مجموعاً  $4+4=8ns$  تأخیر ایجاد کنند. برای اینکه هر دو حالت گفته شده اتفاق بیافتد کافی است ورودی  $en=1$  باشد و ورودی  $a$  از 0 به 1 تغییر کند. در چنین حالتی انتظار می رود  $14ns$  پس از تغییر ورودی  $a$  مقدار  $w$  از 1 به 0 برسد.

بیشترین تأخیر برای رسیدن به **Z** (worst-case to Z) : به این منظور pull-up و pull-down هر دو باید مقدار  $Z$  را به  $w$  بفرستد. بدترین حالت در تأخیر از این نوع زمانی اتفاق می افتد که  $a=0$  باشد و ورودی  $en$  از 1 به 0 تغییر کند. در این حالت تأخیر  $T1$  برابر  $5ns$  و تأخیر  $T2$  برابر  $7ns$  است و انتظار می رود پس از  $5+7=12ns$  مقدار روی  $w$  از 1 به  $Z$  تغییر کند.



worst case to 1:  $7+5 = 12ns$

worst case to 0:  $7+7 = 14ns$

worst case to Z:  $5+7 = 12ns$

### C. سیستم وریلاگ (System Verilog description):

#### MyNOTIF1:

```
`timescale 1ns/1ns
module MyNOTIF1(input a,en,output w);
wire x,y,z;
supply1 Vdd;
supply0 Gnd;
```

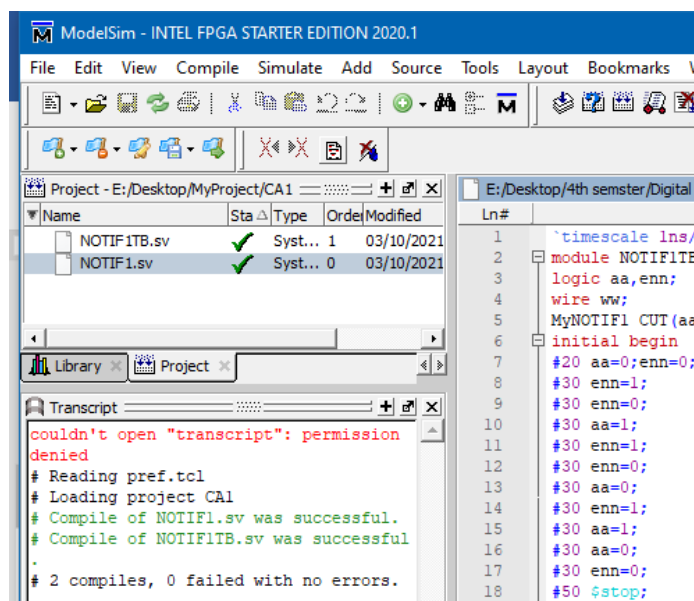


```
pmos #(5,6,7) T1(x,Vdd,a),T2(w,x,y),TI1(y,Vdd,en);
nmos #(3,4,5) T3(z,Gnd,a),T4(w,z,en),TI2(y,Gnd,en);
endmodule
```

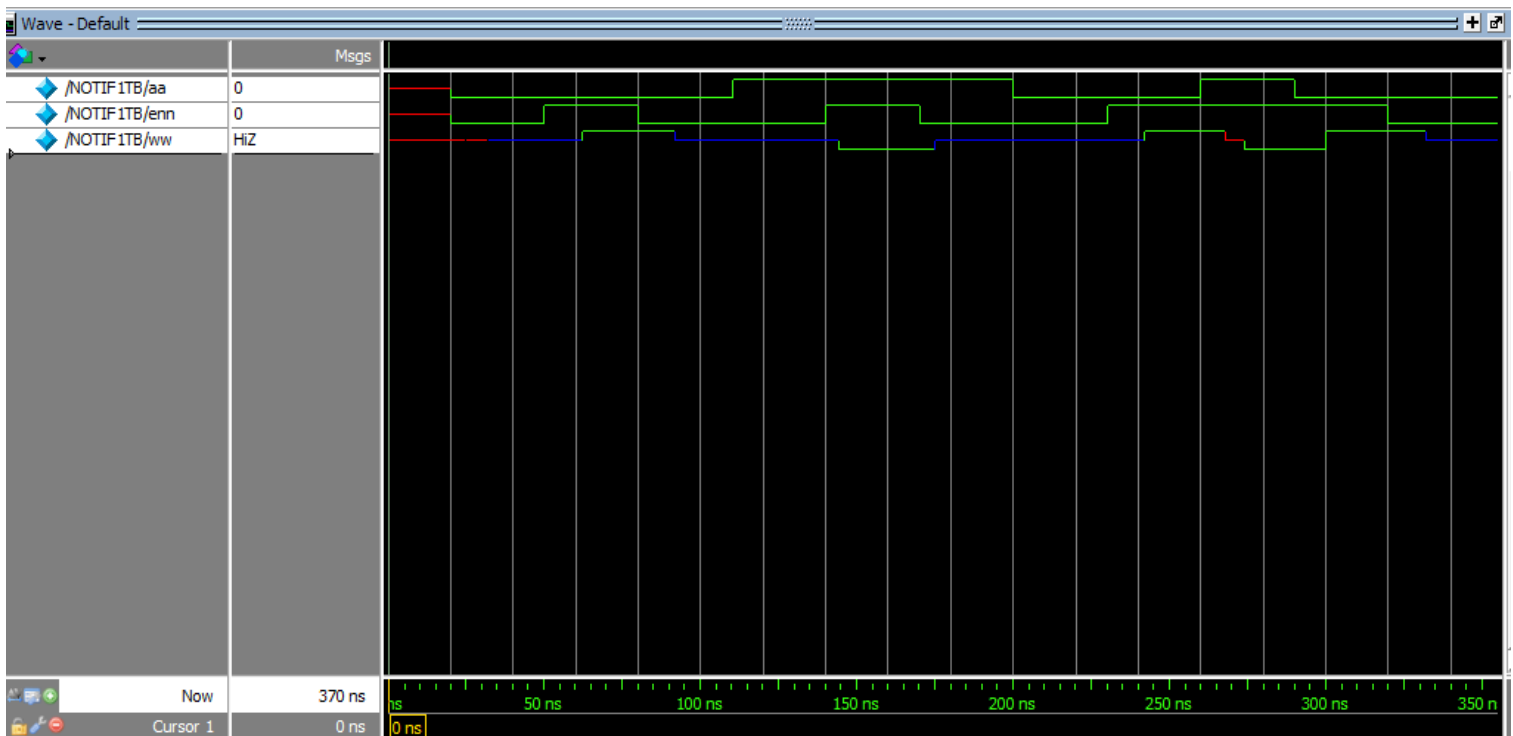
## Testbench:

```
`timescale 1ns/1ns
module NOTIF1TB();
logic aa,enn;
wire ww;
MyNOTIF1 CUT(aa,enn,ww);
initial begin
#20 aa=0;enn=0;
#30 enn=1;
#30 enn=0;
#30 aa=1;
#30 enn=1;
#30 enn=0;
#30 aa=0;
#30 enn=1;
#30 aa=1;
#30 aa=0;
#30 enn=0;
#50 $stop;
end
endmodule
```

D. تأیید کامپایل شدن:



## E. نتیجه و waveform :



Worst case to 0: **14ns**

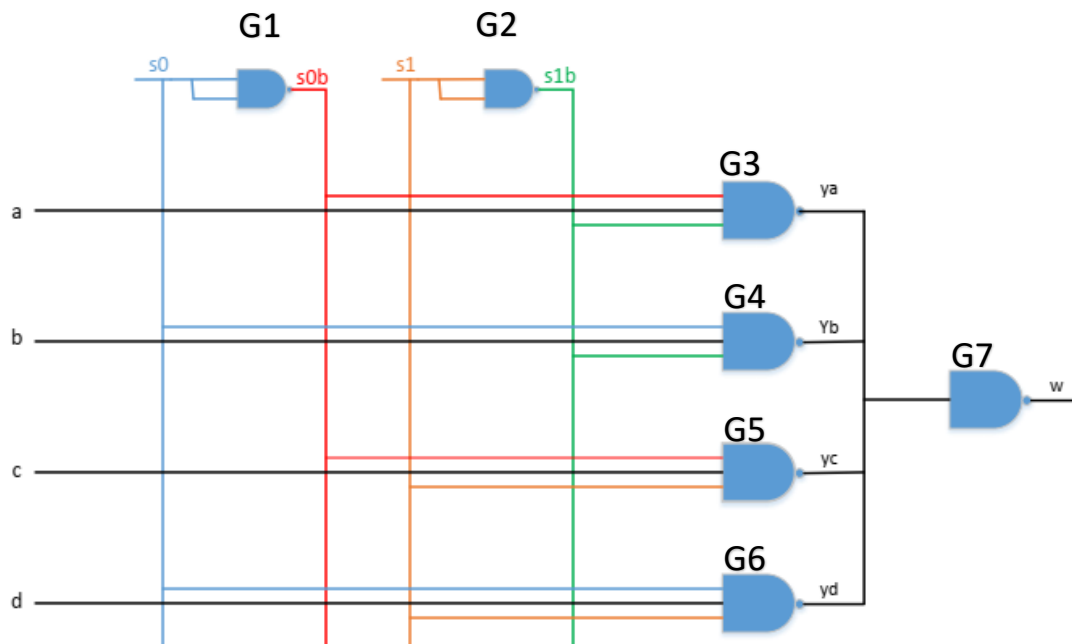
Worst case to 1: **12ns**

Worst case to Z: **12ns**

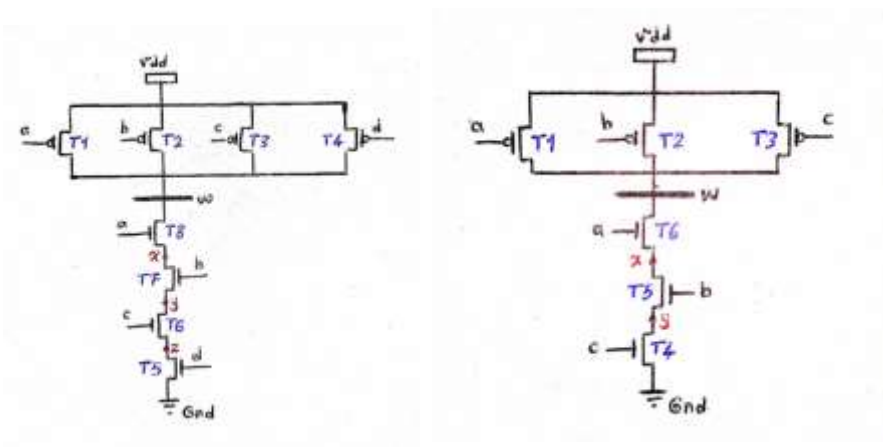
## سوال ۳:

## A. مدار (Circuit diagram):

ساختار MUX با استفاده از nand های با چند ورودی به صورت زیر میشود:



ساختار ترانزیستوری nand با ۳ یا ۴ ورودی:



## B. بیشترین تأخیر (worst-cases):

بیشترین تأخیر برای رسیدن به ۱ (worst-case to 1): در بررسی gate level با توجه به اینکه در یک مسیر حداکثر سه تا NAND Gate وجود دارد، حداکثر تأخیر در این حالت  $10+12+20=42\text{ns}$  خواهد بود. اما در برنامه نوشته شده با توجه به اینکه از مازول های نوشته شده برای NAND Gate ها استفاده شده است، تأخیر

را باید transistor level بررسی کنیم که در این حالت زمانی که  $a=d=1$  و  $b=c=0$  و  $s_0=1$  است اگر  $s_1$  را از 0 به 1 تغییر دهیم در این صورت خروجی  $w$  پس از **32ns** از مقدار 0 به مقدار 1 خواهد رسید.

بیشترین تأخیر برای رسیدن به 0 (worst-case to 0): در بررسی gate level با توجه به اینکه در یک مسیر حداکثر سه تا NAND Gate وجود دارد، حداکثر تأخیر در این حالت  $8+15+16=39ns$  خواهد بود. اما در برنامه نوشته شده با توجه به اینکه از ماژول های نوشته شده برای NAND Gate ها استفاده شده است، تأخیر را باید transistor level بررسی کنیم که در این حالت زمانی که  $a=d=1$  و  $b=c=0$  و  $s_0=1$  است اگر  $s_1$  را از 1 به 0 تغییر دهیم در این صورت خروجی  $w$  پس از **31ns** از مقدار 1 به مقدار 0 خواهد رسید.

### C. سیستم وریلگ (System Verilog description):

#### MyNand\_xinputs:

```
`timescale 1ns/1ns
module MyNand2in(input a,b,output w);
    wire y;
    supply1 Vdd;
    supply0 Gnd;
    pmos #(5,6,7) T1(w,Vdd,a),T2(w,Vdd,b);
    nmos #(3,4,5) T3(y,Gnd,b),T4(w,y,a);
endmodule

module MyNand3in(input a,b,c,output w);
    wire x,y;
    supply1 Vdd;
    supply0 Gnd;
    pmos #(5,6,7) T1(w,Vdd,a),T2(w,Vdd,b),T3(w,Vdd,c);
    nmos #(3,4,5) T4(y,Gnd,c),T5(x,y,b),T6(w,x,a);
endmodule

module MyNand4in(input a,b,c,d,output w);
    wire x,y,z;
    supply1 Vdd;
    supply0 Gnd;
    pmos #(5,6,7)
T1(w,Vdd,a),T2(w,Vdd,b),T3(w,Vdd,c),T4(w,Vdd,d);
    nmos #(3,4,5) T5(z,Gnd,d),T6(y,z,c),T7(x,y,b),T8(w,x,a);
endmodule
```

**MUXnand:**

```

`timescale 1ns/1ns
module MUXnand(input a,b,c,d,s0,s1,output w);
    wire s0b,s1b,ya,yb,yc,yd;
    MyNand2in g1(s0,s0,s0b);
    MyNand2in g2(s1,s1,s1b);
    MyNand3in g3(a,s0b,s1b,ya);
    MyNand3in g4(b,s0,s1b,yb);
    MyNand3in g5(c,s0b,s1,yc);
    MyNand3in g6(d,s0,s1,yd);
    MyNand4in g7(ya,yb,yc,yd,w);
endmodule

```

**MUXnandTB:**

```

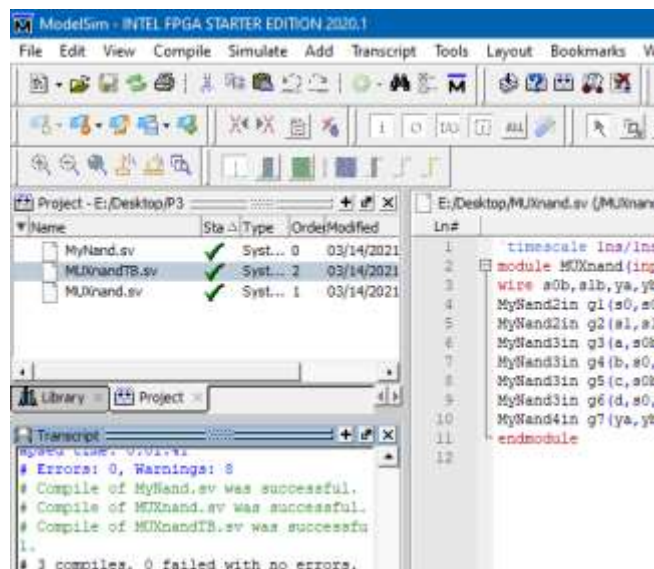
`timescale 1ns/1ns
module MUXnandTB();
    logic aa,bb,cc,dd,s0,s1;
    wire ww;
    MUXnand CUT(aa,bb,cc,dd,s0,s1,ww);
    initial begin
        #20 aa=1;bb=0;cc=1;dd=0;
        #50 s0=0;s1=0;
        #50 s0=1;
        #50 s1=0;
        #50 s1=1;
        #50 s0=1;
        #50 s1=0;
        #50 s0=0;
        #50 s0=1;
        #50 s1=1;
        #50 s0=0;
        #50 s1=0;
        #50 aa=1;bb=0;cc=0;dd=1;
        #50 s0=0;s1=0;
        #50 s0=1;
        #50 s1=0;
        #50 s1=1;
        #50 s0=1;
        #50 s1=0;
    end

```

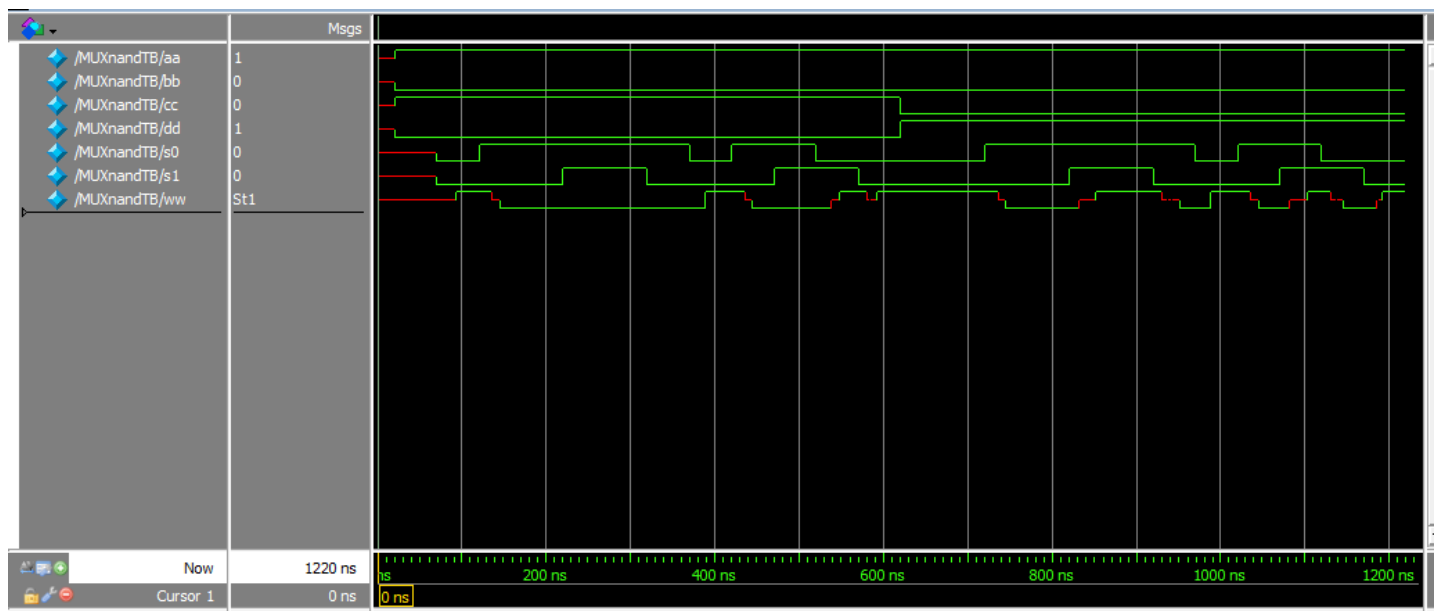
```
#50 s0=0;
#50 s0=1;
#50 s1=1;
#50 s0=0;
#50 s1=0;
#50 $stop;
```

```
end
endmodule
```

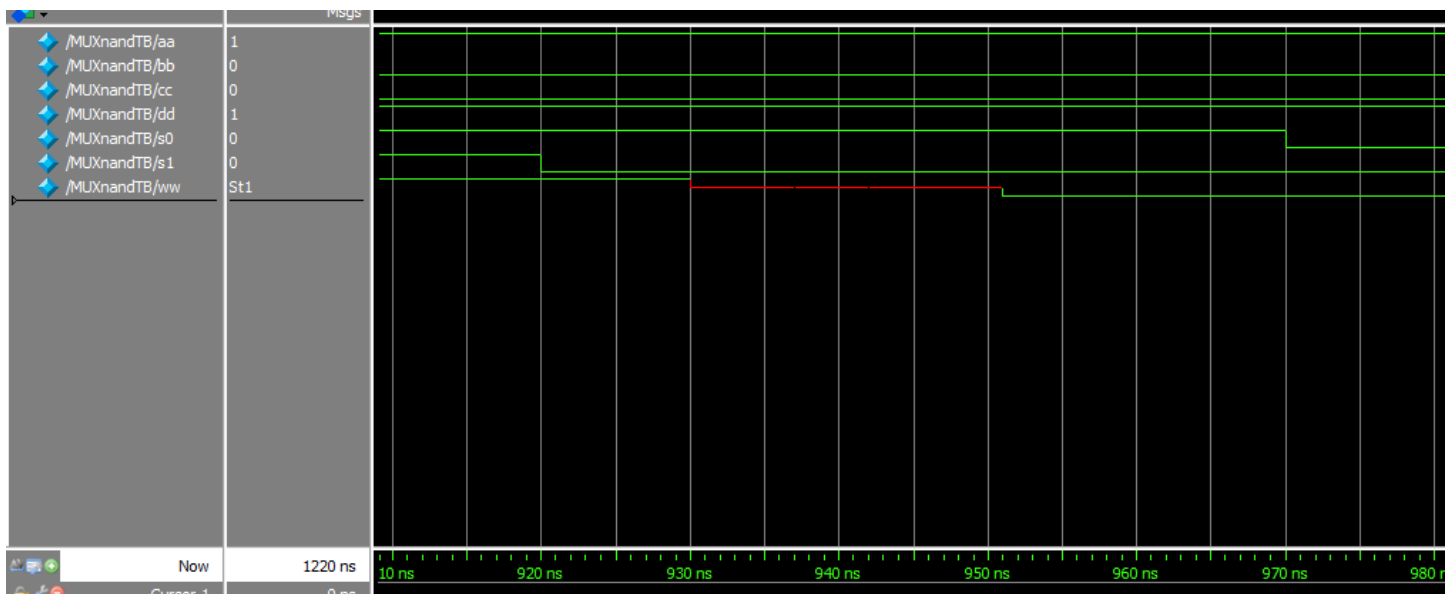
D. تأیید کامپایل شدن:



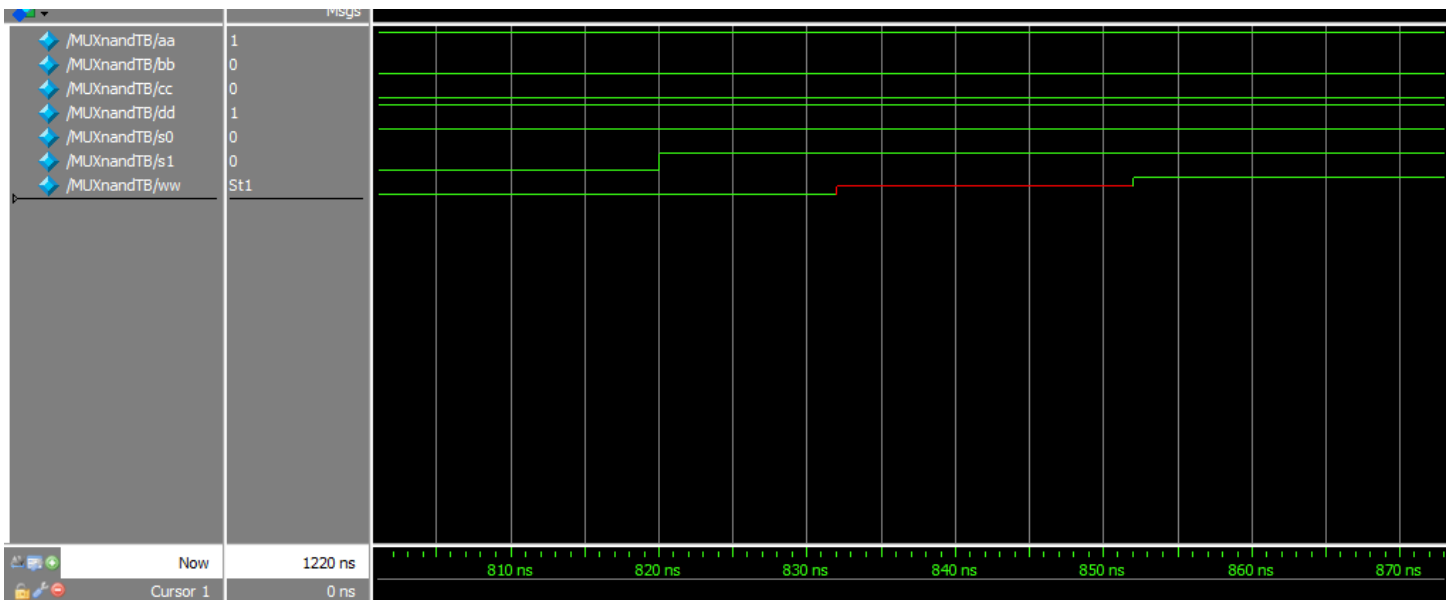
E. نتیجه و waveform:



## Worst case to 0: 31ns

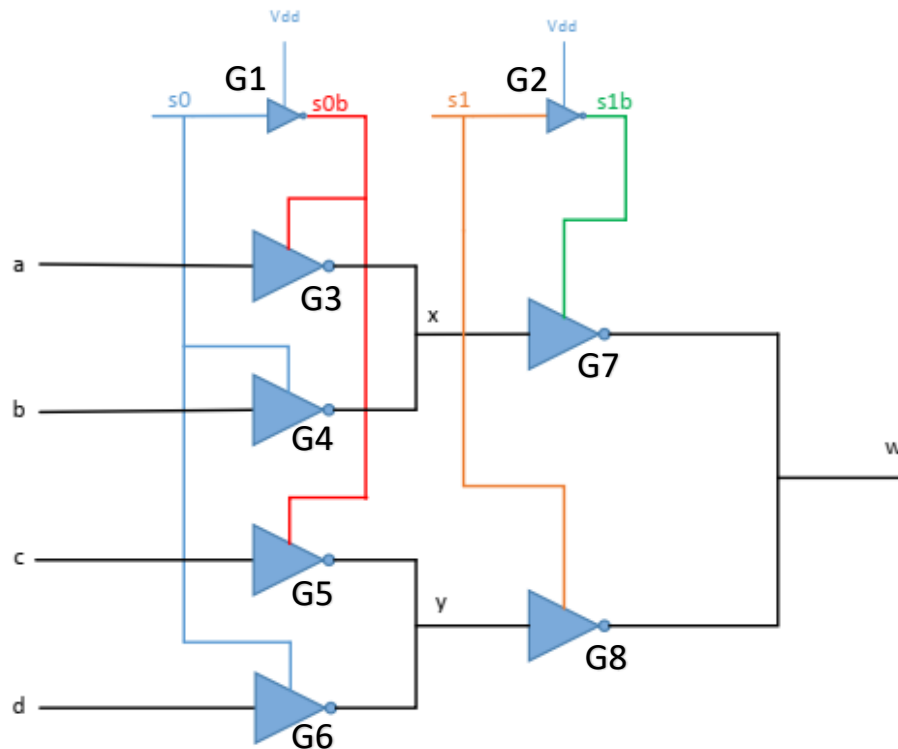


## Worst case to 1: 32ns



## سوال ۴:

## A. مدار (Circuit diagram):



## B. بیشترین تأخیر (worst-cases):

بیشترین تأخیر برای رسیدن به ۱ (worst-case to 1): در بررسی gate level با توجه به اینکه در یک مسیر حداکثر سه تا Tri-state Buffer Gate وجود دارد، حداکثر تأخیر در این حالت  $14+14+12=40\text{ns}$  خواهد بود. اما در برنامه نوشته شده با توجه به اینکه از ماژول های نوشته شده برای Tri-state Buffer Gate استفاده شده است، تأخیر را باید transistor level بررسی کنیم که در این حالت زمانی که  $a=c=0$  و  $b=d=1$  و  $s1=0$  است اگر  $s0$  را از ۰ به ۱ تغییر دهیم در این صورت خروجی  $w$  پس از  $36\text{ns}$  از مقدار ۰ به مقدار ۱ خواهد رسید.

بیشترین تأخیر برای رسیدن به ۰ (worst-case to 0): در بررسی gate level با توجه به اینکه در یک مسیر حداکثر سه تا Tri-state Buffer Gate وجود دارد، حداکثر تأخیر در این حالت  $14+12+14=40\text{ns}$  خواهد بود. اما در برنامه نوشته شده با توجه به اینکه از ماژول های نوشته شده برای Tri-state Buffer Gate



استفاده شده است، تأخیر را باید transistor level بررسی کنیم که در این حالت زمانی که  $a=c=0$  و  $b=d=1$  و  $s1=0$  است اگر  $s0$  را از 1 به 0 تغییر دهیم در این صورت خروجی  $w$  پس از 36ns از مقدار 1 به مقدار 0 خواهد رسید.

### C. سیستم وریلگ (System Verilog description):

#### NOTIF1:

```
`timescale 1ns/1ns
module MyNOTIF1(input a,en,output w);
    wire x,y,z;
    supply1 Vdd;
    supply0 Gnd;
    pmos #(5,6,7) T1(x,Vdd,a),T2(w,x,y),TI1(y,Vdd,en);
    nmos #(3,4,5) T3(z,Gnd,a),T4(w,z,en),TI2(y,Gnd,en);
endmodule
```

#### MUXnotif1:

```
`timescale 1ns/1ns
module MUXnotif1(input a,b,c,d,s0,s1,output w);
    wire s0b,s1b,x,y;
    supply1 Vdd;
    MyNOTIF1 g1(s0,Vdd,s0b);
    MyNOTIF1 g2(s1,Vdd,s1b);
    MyNOTIF1 g3(a,s0b,x);
    MyNOTIF1 g4(b,s0,x);
    MyNOTIF1 g5(c,s0b,y);
    MyNOTIF1 g6(d,s0,y);
    MyNOTIF1 g7(x,s1b,w);
    MyNOTIF1 g8(y,s1,w);
endmodule
```

#### MUXnotif1TB:

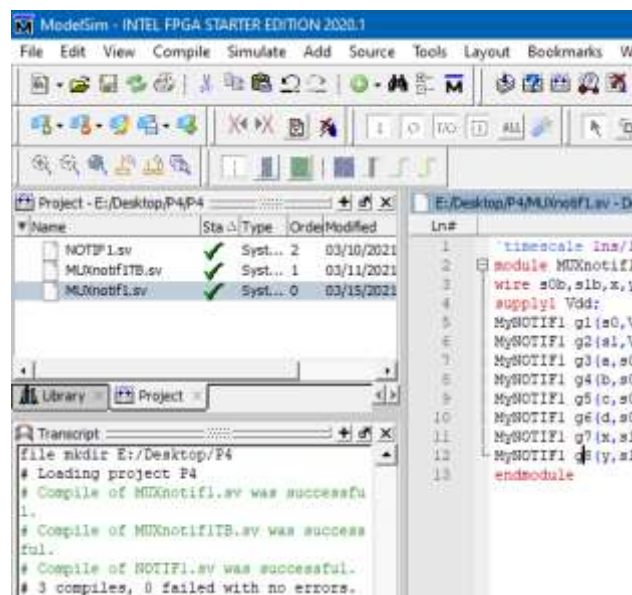
```
`timescale 1ns/1ns
module MUXnotif1TB();
    logic aa,bb,cc,dd,s0,s1;
    wire ww;
    MUXnotif1 CUT(aa,bb,cc,dd,s0,s1,ww);
    initial begin
```

```

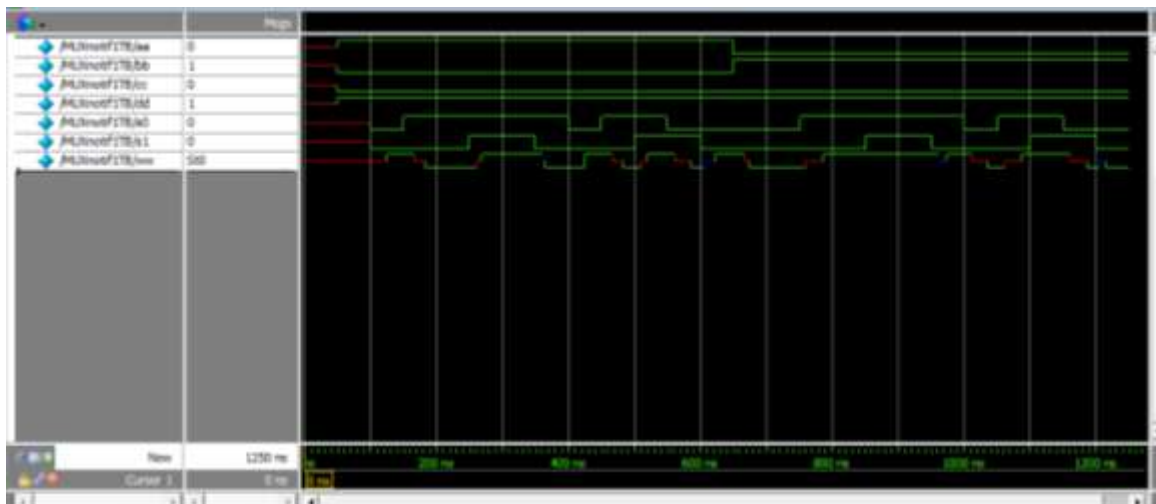
#50 aa=1;bb=0;cc=0;dd=1;
#50 s0=0;s1=0;
#50 s0=1;
#50 s1=0;
#50 s1=1;
#50 s0=1;
#50 s1=0;
#50 s0=0;
#50 s0=1;
#50 s1=1;
#50 s0=0;
#50 s1=0;
#50 aa=0;bb=1;cc=0;dd=1;
#50 s0=0;s1=0;
#50 s0=1;
#50 s1=0;
#50 s1=1;
#50 s0=1;
#50 s1=0;
#50 s0=0;
#50 s0=1;
#50 s1=1;
#50 s0=0;
#50 s1=0;
#50 $stop;
end
endmodule

```

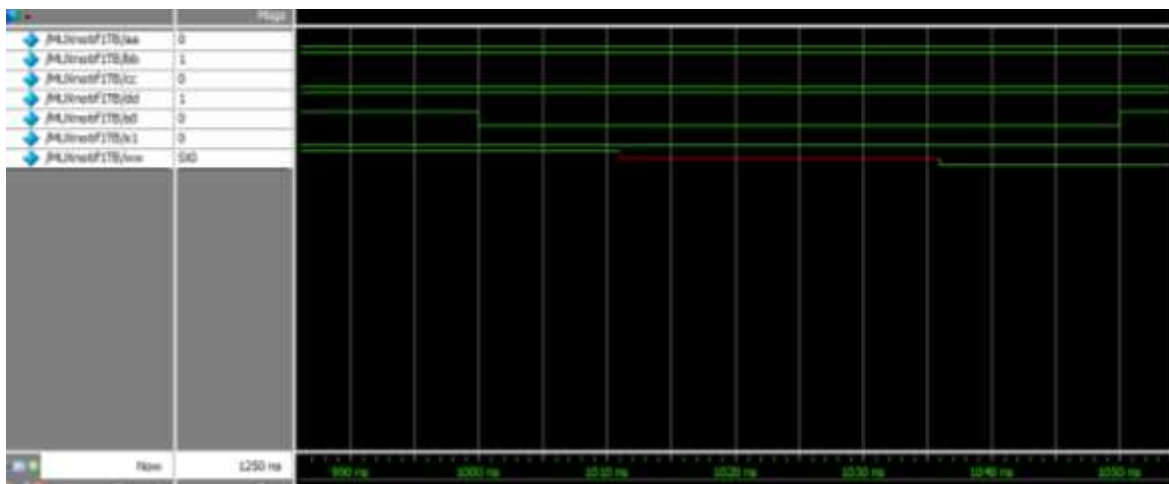
D. تأیید کامپایل شدن:



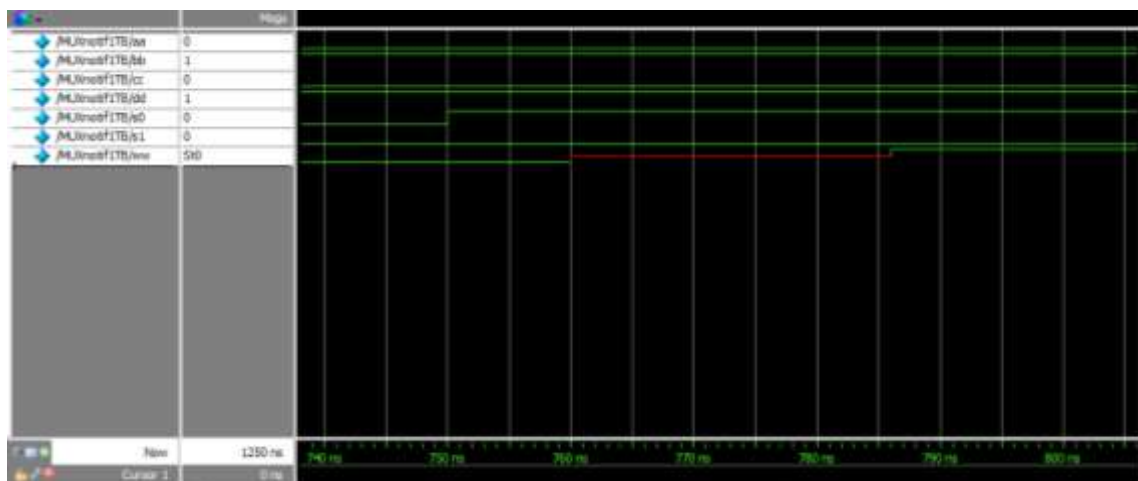
## E. نتیجه و waveform:



Worst case to 0: **36ns**



Worst case to 1: **36ns**



## سوال ۵:

## A. سیستم وریلاگ (System Verilog description):

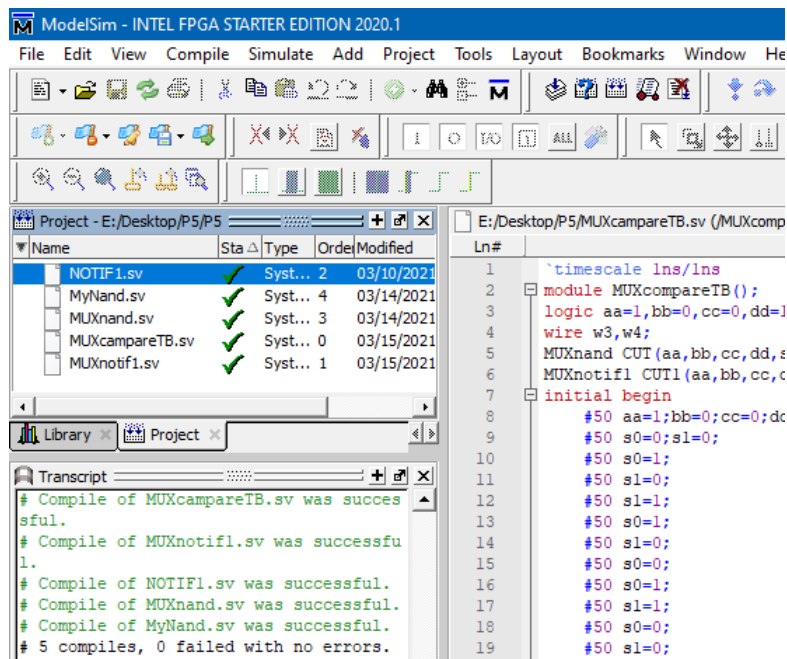
## MUXcompareTB:

```

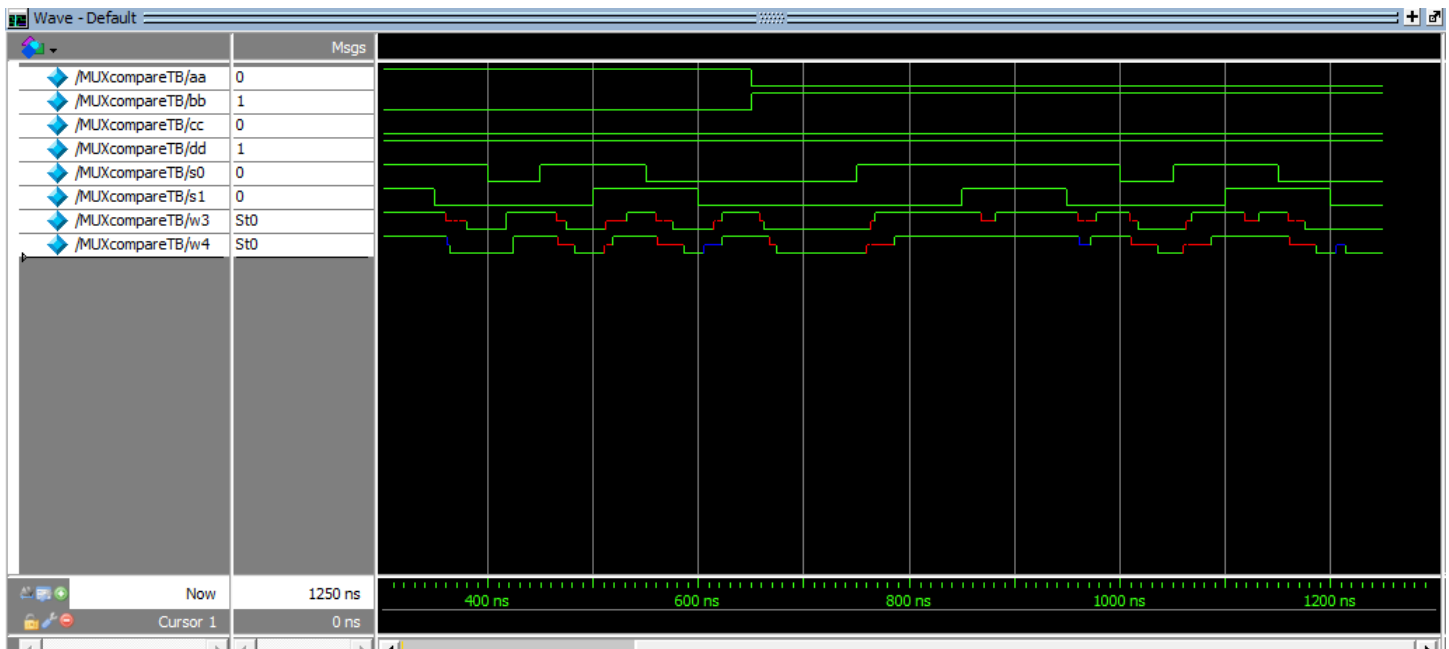
`timescale 1ns/1ns
module MUXcompareTB();
logic aa=1,bb=0,cc=0,dd=1,s0,s1;
wire w3,w4;
MUXnand CUT(aa,bb,cc,dd,s0,s1,w3);
MUXnotif1 CUT1(aa,bb,cc,dd,s0,s1,w4);
initial begin
    #50 aa=1;bb=0;cc=0;dd=1;
    #50 s0=0;s1=0;
    #50 s0=1;
    #50 s1=0;
    #50 s1=1;
    #50 s0=1;
    #50 s1=0;
    #50 s0=0;
    #50 s0=1;
    #50 s1=1;
    #50 s0=0;
    #50 s1=0;
    #50 aa=0;bb=1;cc=0;dd=1;
    #50 s0=0;s1=0;
    #50 s0=1;
    #50 s1=0;
    #50 s1=1;
    #50 s0=1;
    #50 s1=0;
    #50 s0=0;
    #50 s0=1;
    #50 s1=1;
    #50 s0=0;
    #50 s1=0;
    #50 $stop;
end
endmodule

```

## B. تأیید کامپایل شدن:



## C. نتیجه و waveform:



## D. مقایسه MUX ها:

با توجه به ویوفرم بالا و مدار های بخش ۳ و ۴ :

۱. **از نظر تأخیر:** همانطور که در ویوفرم بالا نیز مشاهده میشود تأخیر MUX ساخته شده با NAND Gate در بیشتر حالات نسبت به MUX ساخته شده با Tri-state Buffer کمتر است. پس از نظر تأخیر MUX ساخته شده با NAND بهتر است.

### ۲. از نظر تعداد ترانزیستور:

در MUX ساخته شده با NAND ، از ۷ تا NAND Gate استفاده شده که هر کدام حاوی ۴ ترانزیستور هستند. یعنی در کل ۲۸ ترانزیستور.

در MUX ساخته شده با Tri-state Buffer ، از ۸ تا Tri-state Buffer Gate استفاده شده که هر کدام حاوی ۶ ترانزیستور هستند. یعنی در کل ۴۸ ترانزیستور.

پس از نظر انرژی ، هزینه و تأخیر ساخت MUX با استفاده از NAND Gate مقرون به صرفه تر بنظر میرسد.