

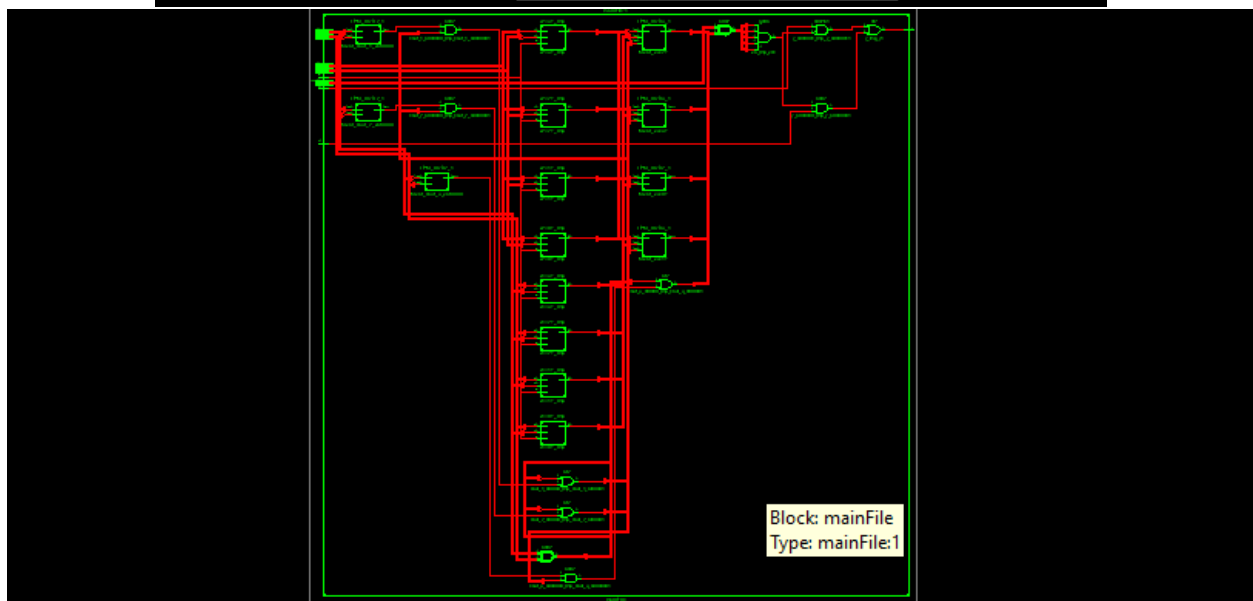
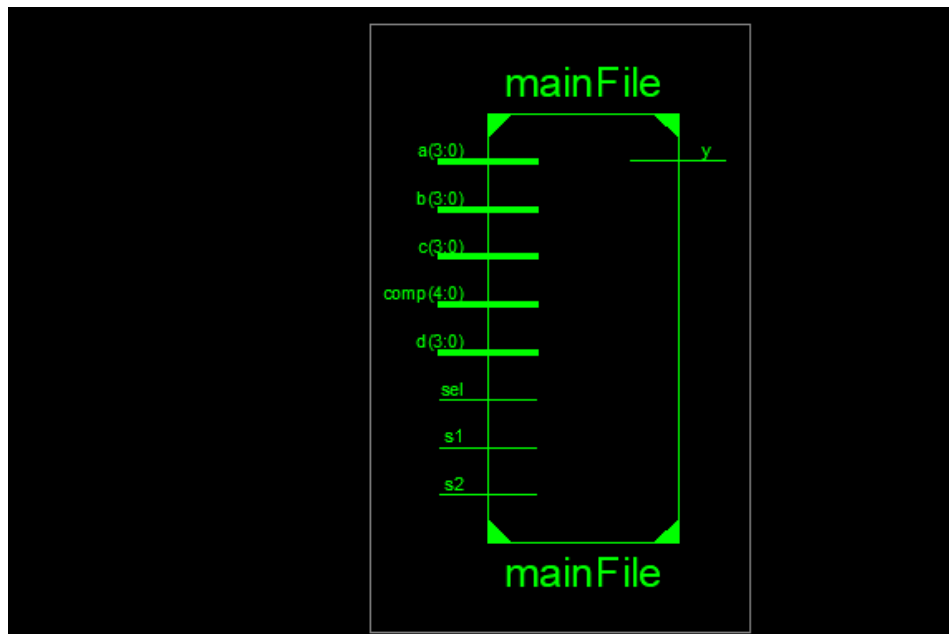
نام و نام خانوادگی: عرفان راستی

شماره ی دانشجویی: 9823034

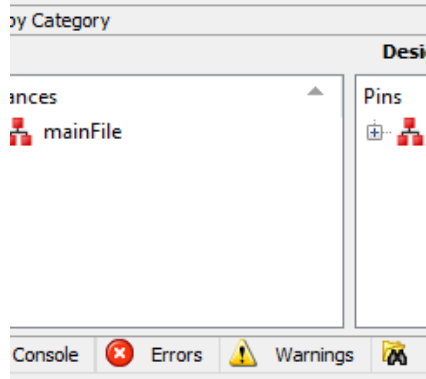
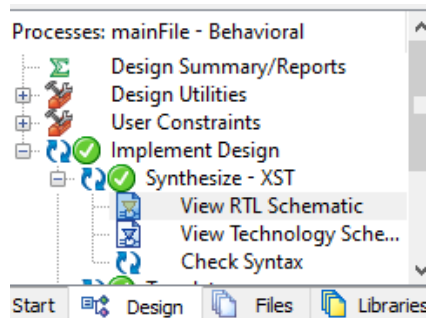
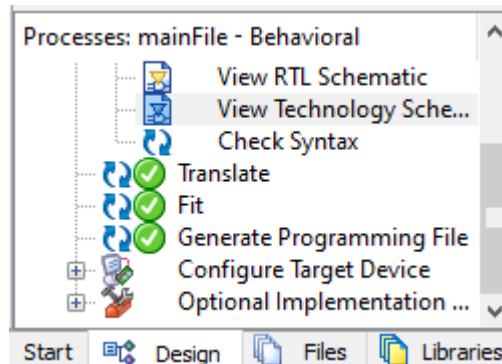
پروژه ی مربوط به پیاده سازی بر روی ISE در سطح گیت


در این پروژه با استفاده از کد VHDL یک مدار منطقی را بستیم. تاجای ممکن از کتابخانه های خاص استفاده نشده است.

شماتیک خروجی این برنامه به صورت زیر می باشد:



همچنین این برنامه مراحل run را با موفقیت پشت سر گذاشت.





CPLD Reports

XC9500

Filter Report
Timing Report

Filter Report
Timing Report

Summary

Design Name	mainFile
Fitting Status	Successful
Software Version	P.20131013
Device Used	XC9572-7-PC44
Date	7-10-2021, 3:15AM

RESOURCES SUMMARY

Macrocells Used	Terms Used	Registers Used	Pins Used	Function Block Inputs Used
9/72 (13%)	62/360 (18%)	0/72 (0%)	25/34 (74%)	32/144 (23%)

PIN RESOURCES

Signal Type	Required	Mapped	Pin Type	Used	Total
Input	24	24	IO	25	29
Output	1	1	GCK/IO	0	3
Bidirectional	0	0	GTS/IO	0	2
GCK	0	0	GS R/IO	0	1