

نام و نام خانوادگی: عرفان راستی

شماره ی دانشجویی: 9823034

در این پروژه قصد داریم کد VHDL در سطح رفتاری را ران کنیم. برای این کار ابتدا باید تراشه ای مناسب با سائز و تعداد گیت ها اختیار کنیم. تراشه ی انتخاب شده:

Project Settings	
Property Name	Value
Top-Level Source Type	HDL
Evaluation Development Board	None Specified
Product Category	All
Family	Spartan6
Device	XC6SLX150T
Package	FGG676
Speed	-3
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preferred Language	VHDL
Property Specification in Project File	Store all values

برنامه ی مورد نظر به صورت طبقاتی از بلوک PROCESS نوشته شده است.

اتصالات داده شده متناسب با عکس مطرح شده در کلاس می باشد.

خروجی RTL Schematic و Technology Schematic به صورت زیر می باشند:



