

بناام خدا



طراحی سیستم های دیجیتال

نیم سال دوم ۱۴۰۲-۱۴۰۱

دوم

تمرین

۸ اردیبهشت ۱۴۰۲

موعد تحویل

- جواب سوالات را در قالب فایل PDF، به آدرس "khu.dsd98@gmail.com" با عنوان "A_G_2: stdName 1, stdName 2" ارسال کنید.
- تمرین ها را می توانید در گروه های دو نفره ارسال کنید که stdName 1 , stdName 2 نام اعضای گروه است.
- فایل PDF باید شامل کدهای VHDL قابل سنتز و اسکرین شات های RTL، post-mapping و compilation report فایل Test Bench و اسکرین شات Wave Form از Modelsim باشد.
- برای تکلیف ارسال شده با تاخیر نمره ای منظور نخواهد شد.
- تمامی Test Bench های شبیه سازی باید توسط Modelsim صورت پذیرد.

- **IMPORTANT Note:** Synthesis your designs in Quartus Software as described in the tutorial video and extract the RTL form of your design. Take a screen shot of the RTLs. You can use the following link to get the tutorial video:
<https://www.dropbox.com/s/o0haolygnxsqgrt/Quartus.avi?dl=0>

1. You need to verify the Carry-Look-Ahead Adder, which was assigned in the first assignment (Assignment #1, Question #3). Write a test bench code to verify a 4-bit Carry Look-Ahead Adder. You should provide the whole range of possible inputs and verify the outputs.
2. Write VHDL code that represents a T flip-flop with an asynchronous reset input. Then, Write a test bench code to verify the T-FF.
3. Design a 4-bit BCD up or down counter. This counter must have a “Dir” input to indicate direction. So, write a synthesizable VHDL code for this counter. Then, Write a test bench code to verify the counter.
4. Write a synthesizable VHDL code describing the following patterns (arbitrary sequence counter) and verify its correctness using a proper test bench:

Input Pattern	Next Pattern
000	011
011	110
110	101
101	111
111	000