Control Unit Output Table

Saturday, March 24, 2018 10:36 PM

	NotZeroBranch	Reg2Loc	Uncondbranch	ZeroBranch	MemRead	MemtoReg	ALUOp	MemWrite	ALUSrc	RegWrite
LDUR	**0**	**0**	**0**	**0**	**1**	**1**	**00**	**0**	**1**	**1**
STUR	**0**	**1**	**0**	**0**	**0**	**0**	**00**	**1**	**1**	**0**
ADD	**0**	**0**	**0**	**0**	**0**	**0**	**00**	**0**	**0**	**1**
ADDI	**0**	**0**	**0**	**0**	**0**	**0**	**00**	**0**	**1**	**1**
SUB	**0**	**0**	**0**	**0**	**0**	**0**	**10**	**0**	**0**	**1**
AND	**0**	**0**	**0**	**0**	**0**	**0**	**10**	**0**	**0**	**1**
ORR	**0**	**0**	**0**	**0**	**0**	**0**	**10**	**0**	**0**	**1**
CBZ	**0**	**1**	**0**	**1**	**0**	**0**	**01**	**0**	**0**	**0**
CBNZ	**1**	**1**	**0**	**0**	**0**	**0**	**11**	**0**	**0**	**0**
B	**0**	**0**	**1**	**0**	**0**	**0**	**11**	**0**	**0**	**0**