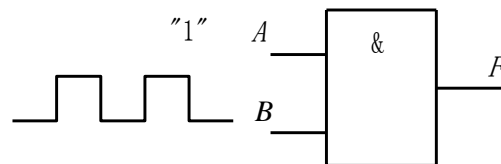
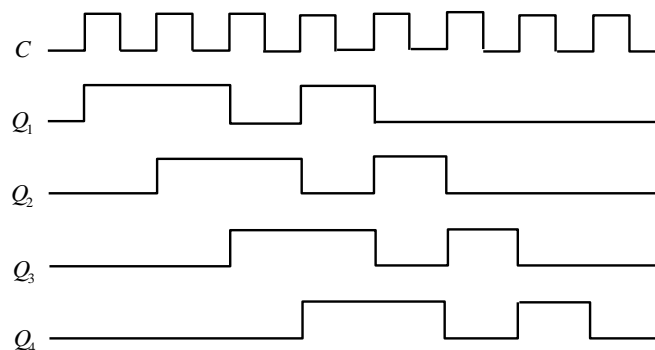


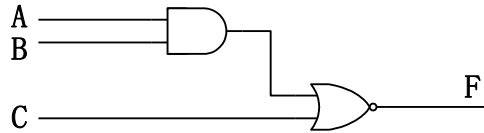
- 与十进制数 64 对应的二进制数是 (C)。
A. 10000000 B. 00100000 C. 01000000 D. 01100100
- 与二进制数 1101101 对应的十六进制数是 (A)。
A. 6D B. DA C. CD D. AD
- 四位二进制数 1111 所对应的十进制数为 (B)。
A. 14 B. 15 C. 16 D. 17
- 用 n 位二进制数为信息编码, 最多可以有 (B) 个编码。
A. 2^{n-1} B. 2^n C. 2^{n+1} D. n^2
- 为 35 个信息编码, 至少需要 (C) 位二进制代码。
A. 4 B. 5 C. 6 D. 7
- 数字电路中的工作信号为 (B)。
A. 随时间连续变化的电信号 B. 脉冲信号
C. 直流信号 D. 交流信号
- 逻辑电路如图所示, 当输入 $A=1$, 输入 B 为方波时, 则输出 F 应为 (C)。
A. “1” B. “0” C. 方波 D. 正弦波



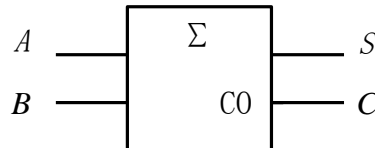
- 逻辑式 $F = A\bar{B} + B\bar{C} + A\bar{B}\bar{C} + AB\bar{C}\bar{D}$, 化简后 $F =$ (C)。
A. $\bar{A}B + \bar{B}C$ B. $A\bar{B} + C\bar{D}$ C. $A\bar{B} + B\bar{C}$ D. $A + B\bar{C}$
- 时序逻辑电路与组合逻辑电路的主要区别是 (C)。
A. 时序电路只能计数, 而组合电路只能寄存
B. 时序电路没有记忆功能, 组合电路则有
C. 时序电路具有记忆功能, 组合电路则没有
D. 时序电路具有记忆功能, 组合电路有寄存器
- 某时序逻辑电路的波形如图所示, 由此判定该电路是 (C)。
A. 二进制计数器 B. 十进制计数器
C. 移位寄存器 D. 计算器



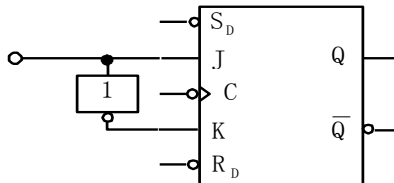
- 与十进制数 127 相应的二进制数是 (B)。
A. 11111111 B. 01111111 C. 00111111 D. 00011111
- 如图所示逻辑电路的逻辑式为 (A)。
A. $F = \overline{AB + C}$ B. $F = \overline{(A + B)C}$ C. $F = AB + C$ D. $F = AB + \bar{C}$



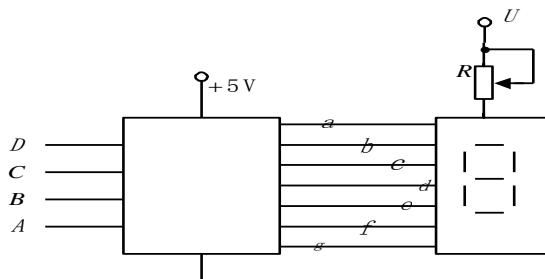
13. n 位二进制数对应的最大十进制数为(B)。
- A. $2^{n+1}-1$ B. 2^n-1 C. 2^n D. $2^{n-1}-1$
14. 半加器的逻辑符号如图所示, 当 $A=“1”$, $B=“1”$ 时, C 和 S 分别为(C)。
- A. $C=0$ $S=0$ B. $C=0$ $S=1$ C. $C=1$ $S=0$ D. $C=1$ $S=0$



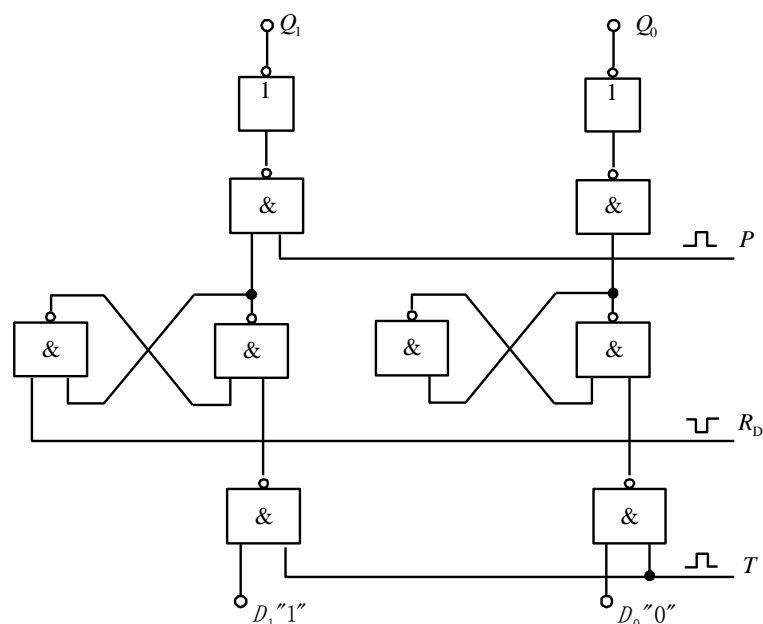
15. 编码器的逻辑功能是(B)。
- A. 把某种二进制代码转换成某种输出状态
B. 将某种状态转换成相应的二进制代码
C. 把二进制数转换成十进制数
D. 把二进制数转换成十六进制数
16. 寄存器与计数器的主要区别是(B)。
- A. 寄存器具有记忆功能, 而计数器没有
B. 寄存器只能存数, 不能计数, 计数器不仅能连续计数, 也能存数
C. 寄存器只能存数, 计数器只能计数, 不能存数
D. 寄存器与计数器只有存储容量不同
17. 逻辑电路如图所示, 它具有(A)。
- A. D 触发器功能 B. T 触发器功能 C. T' 触发器功能 D. RS 触发器功能



18. 逻辑代数是研究逻辑关系的主要数学工具, 逻辑代数中变量的取值是(A)。
- A. “0” 和 “1” 两个值 B. $0\sim 9$ 中的任意值
C. 普通代数中的任何值 D. $0\sim 7$ 中的任意值
19. 采用共阳极数码管的译码显示电路如图所示, 若显示码数是 5, 译码器输出端应为(A)。
- A. $a=c=d=f=g=“0”$, $b=e=“1”$ B. $a=c=d=f=g=“1”$, $b=e=“0”$
C. $a=c=b=d=e=“1”$, $f=g=“0”$ D. $a=c=d=f=g=“0”$, $b=e=“0”$



20. 如图所示逻辑电路为(B)。
- A. 组合逻辑电路 B. 时序逻辑电路 C. 其它电路



21. 设两输入或非门的输入为 x 和 y , 输出为 z , 当 z 为高电平时, 有(D)。
- A. x 和 y 同为高电平 ; B. x 为高电平, y 为低电平 ;
- C. x 为低电平, y 为高电平 ; D. x 和 y 同为低电平。
22. 设两输入与非门的输入为 x 和 y , 输出为 z , 当 z 为低电平时, 有(A)。
- A. x 和 y 同为高电平 ; B. x 为高电平, y 为低电平 ;
- C. x 为低电平, y 为高电平 ; D. x 和 y 同为低电平。
23. 组合逻辑电路的输出与输入的关系可直观用(A)描述。
- A. 真值表 B. 流程图
- C. 逻辑表达式 D. 状态图
24. 描述逻辑电路的真值表如表 1-1 所示, 则其逻辑表达式是 $F =$ (C)。
- A. AB B. $A+B$ C. $\bar{A}B + A\bar{B}$ D. $AB + BA$

表1-1

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

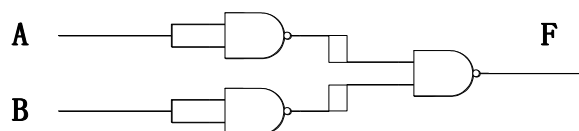


图1-1

25. 根据图 1-1 所示的逻辑电路图, 写出其逻辑表达式是 $F =$ (B)。
- A. AB B. $A+B$ C. $\bar{A} + \bar{B}$ D. $\bar{A} \bar{B}$
26. 根据图 1-2 所示的卡诺图, 写出逻辑函数 $F_1 =$ (C)。
- A. $AB\bar{C} + A\bar{B}C + ABC + \bar{A}\bar{B}\bar{C}$ B. $\bar{A}\bar{B}\bar{C} + \bar{A}BC + A\bar{B}C + ABC$
- C. $\bar{A}\bar{B}\bar{C} + \bar{A}BC + AB\bar{C} + A\bar{B}\bar{C}$ D. $\bar{A}\bar{B}\bar{C} + A\bar{B}C + ABC + A\bar{B}\bar{C}$

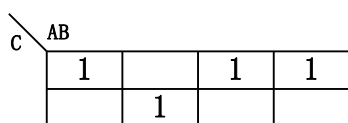


图1-2

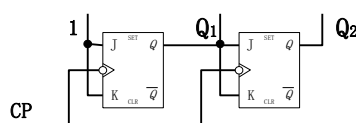


图1-3

27. 在图 1-3 所示的电路图中, 设现态 $Q_1Q_2=00$, 经过三个脉冲作用后, Q_1Q_2 的状态应当为 (D)。

A. 00 B. 01 C. 10 D. 11

28. 将十六进制数 $(11)_{16}$ 转换成二进制数是 (B)。

A. 11 B. 10001 C. 1100 D. 1001

29. 电路在任一时刻的输出仅仅与该时刻电路的输入有关, 而与该时刻之前电路的状态无关, 这样的数字逻辑电路称为 (B)。

A. 基本放大电路 B. 组合逻辑电路
C. 时序逻辑电路 D. 波形变换电路

30. 根据图 1-2 所示的卡诺图描述, 写出逻辑表达式 $F=$ (A)。

A. $\sum M(2,3,4,5,7,13,15)$ B. $\sum M(0,1,4,5,8,13,15)$ C. $\sum M(0,2,3,4,7,8,15)$

		AB			
		00	01	11	10
CD	00		1		
	01		1	1	
	11	1	1	1	
	10	1			

图1-2

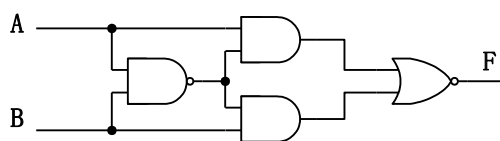


图1-3

31. 如图 1-3 所示的逻辑电路, 当输入 $A=1, B=0$ 时, 则 F 的值是 (A)。

A. 0 B. 1 C. 10 D. 不确定

32. 要使 JK 触发器在时钟作用下的次态与现态相反, JK 端取值应为 (D)。

A. $JK=00$ B. $JK=01$ C. $JK=10$ D. $JK=11$

33. 描述触发器逻辑功能的方法有 (B)。

A. 状态转换真值表 B. 特征方程 C. 状态转换图 D. 波形图

34. 下列触发器中没有约束条件的是 (D)

A. 基本 RS 触发器 B. 主从 RS 触发器
C. 维持阻塞 RS 触发器 D. 边沿 D 触发器

35. 逻辑函数 $F = A \oplus (A \oplus B) =$ (A)

A. B B. A C. $A \oplus B$ D. $A \odot B$

36. 逻辑函数 $F = \bar{A}\bar{B}E + \bar{C}E(B\bar{E} + A\bar{C}\bar{E}) + A\bar{E} + AC\bar{E}$ 的反函数 \bar{F} 的最简与或式为 (A)

A. $\bar{F} = (A + B + \bar{E})(\bar{A} + E)$ B. $\bar{F} = \bar{A}B + \bar{A}\bar{E} + AE$

C. $\bar{F} = \bar{A}\bar{E} + AE + BE$ D. $\bar{F} = A\bar{B} + \bar{A}\bar{E} + AE$

37. 一个 8421BCD 码计数器至少需要 (B) 个触发器。

A. 3 B. 4 C. 5 D. 10

38. 一个四位二进制码减法计数器的起始值为 1001, 经过 100 个时钟脉冲作用之后的值为 (D)。

A. 1100 B. 0100 C. 1101 D. 0101

38. 用 n 个触发器构成计数器, 可得到的最大计数长度 (计数模) 为 (D)。

A. n B. $2n$ C. n^2 D. 2^n

39. 时序电路输出状态的改变(D)。

- A. 仅与该时刻输入信号的状态有关 B. 仅与时序电路的原状态有关
C. 与时序电路的原状态无关 D. 与 A、B 两项皆有关

40. 断电后还能保存数据的存储器是 (B)。

- A. DRAM B. EEPROM C. SRAM D. DDR 内存

41. 为了保证计数的最大值为 100 个, 则所需的最少触发器为 (C) 个。

- A. 5 B. 6 C. 7 D. 8

简答题

1. 说明时序逻辑电路和组合逻辑电路在逻辑功能和电路结构上有何不同。

答: 包含触发器的数字电路称为时序逻辑电路, 它在任何时刻的输出不仅取决于当前的输入, 同时也取决于过去的输入序列, 即时序逻辑电路具有对过去事件的记忆能力; 仅包含门电路的数字电路称为组合逻辑电路, 其输出仅取决于当前的输入。

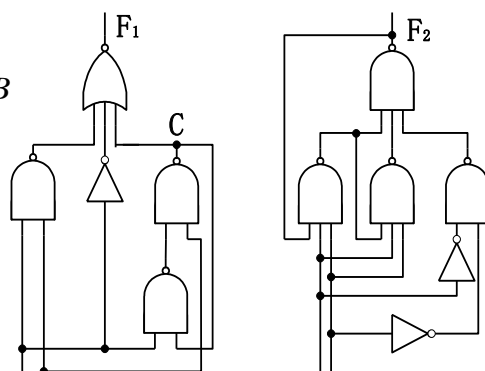
2. 为什么组合逻辑电路用逻辑函数就可以表示其逻辑功能, 而时序逻辑电路则用驱动方程、状态方程和输出方程才能表示其功能?

答: 因为组合逻辑电路的输出只与当前的输入有关, 因此用逻辑函数就可以表示其逻辑功能; 而时序逻辑电路在任何时刻的输出不仅取决于当前的输入, 同时也取决于过去的输入序列, 因此需要用三个方程才能完整表示其逻辑功能。

3. 分析下图所示的两个逻辑电路, 哪一个是时序逻辑电路? 为什么?

解: 根据逻辑图写出表达式

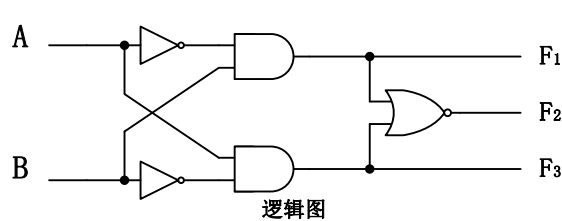
$$\begin{aligned} F_1 &= \overline{AB + \overline{A} + C} = \overline{\overline{AB + \overline{A} + C}} = \overline{\overline{AB} \cdot \overline{\overline{A}} \cdot \overline{C}} = \overline{\overline{AB} \cdot A \cdot \overline{C}} = AB \cdot A \cdot \overline{C} \cdot B \\ &= AB(\overline{A} + \overline{C})B = AB\overline{C} \end{aligned}$$



$$\begin{aligned}
 F_2 &= \overline{ABF_2^n} \cdot \overline{ABF_2^n} \cdot \overline{AB} \cdot \overline{A} \cdot \overline{B} \\
 &= ABF_2^n + \overline{ABF_2^n} \cdot \overline{AB} + \overline{A} \cdot \overline{B} \\
 &= ABF_2^n + \overline{AB} + \overline{A} \cdot \overline{B} = AB (B_2^n + 1) + \overline{A} \cdot \overline{B} \\
 &= AB + \overline{A} \overline{B}
 \end{aligned}$$

从 F_1 和 F_2 表达式中可知, F_1 的输出不仅和输入有关, 而且和中间变量 C 有关, 所以它是时序逻辑电路。 F_2 只与输入 A, B 有关, 故它为组合逻辑电路。

4. 据列出的逻辑图, 列出逻辑函数 F_1 、 F_2 和 F_3 并完成真值表 3-1。



真值表

A	B	F_1	F_2	F_3
0	0			
0	1			
1	0			
1	1			

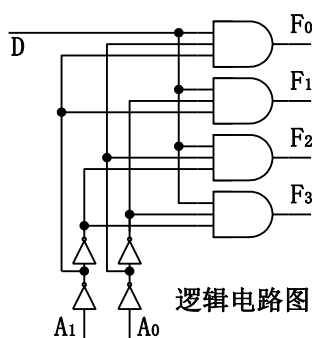
解: $F_1 = \overline{A}B$; $F_3 = A\overline{B}$

$$F_2 = \overline{F_1} + \overline{F_3} = \overline{\overline{A}B} + \overline{A\overline{B}} = AB + \overline{A}\overline{B}$$

真值表

A	B	F_1	F_2	F_3
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

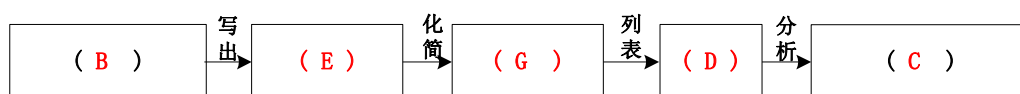
5. 据列出的逻辑图, 完成真值表 3-1。



真值表3-1

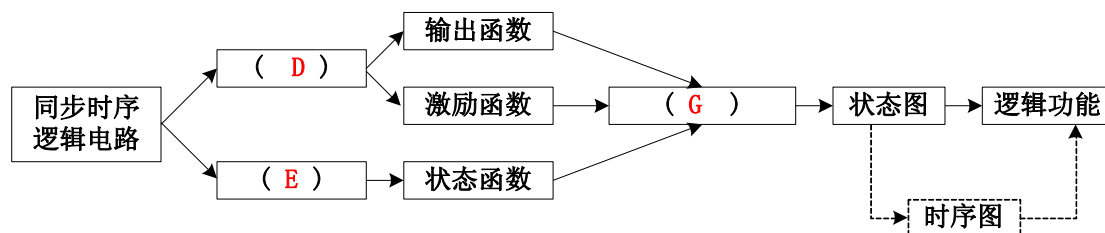
地址码		输出			
A_1	A_0	F_0	F_1	F_2	F_3
0	0	D	0	0	0
0	1	0	D	0	0
1	0	0	0	D	0
1	1	0	0	0	D

6. 组合逻辑电路的一般分析步骤如下流程图所示, 请在括号内选择适当的文字。



- A. 实际逻辑问题 B. 组合逻辑电路图 C. 说明电路逻辑功能 D. 真值表
E. 逻辑表达式 F. 卡诺图 G. 最简表达式 H. 逻辑设计

7. 同步时序逻辑电路的一般分析过程如下流程图所示，请在括号内选择适当的文字。



A. 实际逻辑问题 B. 组合逻辑电路图 C. 时序逻辑电路图 D. 组合逻辑电路
E. 记忆电路 F. 卡诺图 G. 状态真值表 H. 逻辑功能

8. 将逻辑函数 $F=ABC+\overline{A}+\overline{B}+C$ 展开为最小项之和式。

解： $F=ABC+A\overline{B}C+A\overline{B}\overline{C}+\overline{A}BC+\overline{A}B\overline{C}+\overline{A}\overline{B}C+\overline{A}\overline{B}\overline{C}$

9. 已知 $\overline{A+B} = \overline{A} \cdot \overline{B}$ 成立，试证明等式 $\overline{A+B+C} = \overline{A} \cdot \overline{B} \cdot \overline{C}$ 也成立。

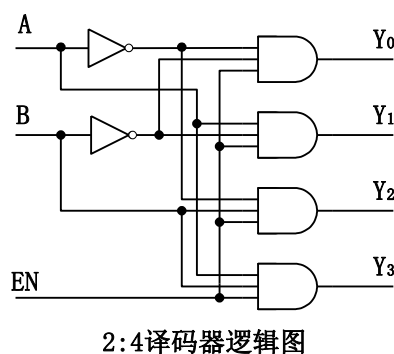
证明： $\because \overline{A+B} = \overline{A} \cdot \overline{B}$

将等式两边出现 B 的地方都用逻辑式 $B+C$ 代入，则有：

$$\overline{A+(B+C)} = \overline{A} \cdot \overline{(B+C)} = \overline{A} \cdot \overline{B} \cdot \overline{C}$$

$$\therefore \overline{A+B+C} = \overline{A} \cdot \overline{B} \cdot \overline{C} \text{ 成立}$$

10. 据给出译码器的逻辑图，完成真值表 3-1。



2:4译码器逻辑图

输入			输出			
EN	A	B	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

真值表

11. 下列用卡诺图化简逻辑函数的圈法是不正确的，请改正过来并写出最简与或表达式。

AB \ CD	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10

AB \ CD	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	3	7	15	11
10	2	6	14	10

解: $F=BC+\bar{C}D+\bar{A}BD$

12. 求函数 $F=(A+\bar{B})(\bar{A}+C)AC+BC$ 反函数。

解: 根据求反函数规则得: $F=(\bar{A}\bar{B}+A\bar{C}+\bar{A}+\bar{C})(\bar{B}+\bar{C})$

13. 已知逻辑函数 $Y(A,B,C)=A\bar{B}+\bar{B}C+BC+A$, 要求: (1) 画出该函数的卡诺图; (2) 用卡诺图将函数化为最简, 并写出简化结果。

解: 根据题意, 画三变量卡诺图并化简得:

$Y(A,B,C)=A+C$

C \ AB	00	01	11	10
0			1	1
1	1	1	1	1

14. 试证明等式 $\bar{A}\bar{C}+ABC+AC\bar{D}+CD=A+CD$ 成立。

证明: 左边式 $=A(\bar{C}+BC)+C(A\bar{D}+D)$

$=A(\bar{C}+B)+C(A+D)$

$=A\bar{C}+AB+AC+CD$

$=A(\bar{C}+B+C)+CD=A(1+B)+CD=A+CD=$ 右式

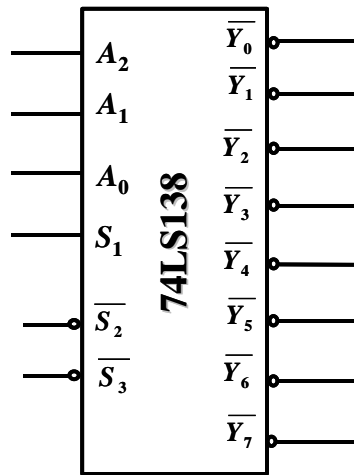
所以原式成立

15. 已知逻辑函数 $Y(A,B,C,D)=\sum m(0,2,5,7,8,10,13,15)$ 。要求: (1) 填写函数 Y 的卡诺图; (2) 用卡诺图将函数 Y 化为最简, 并写出化简结果。

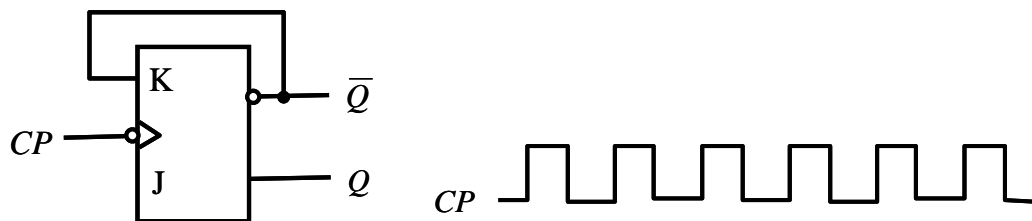
解: 根据题意, 画四变量的卡诺图并化简得:

$Y(A,B,C,D)=BD+\bar{B}\bar{D}$

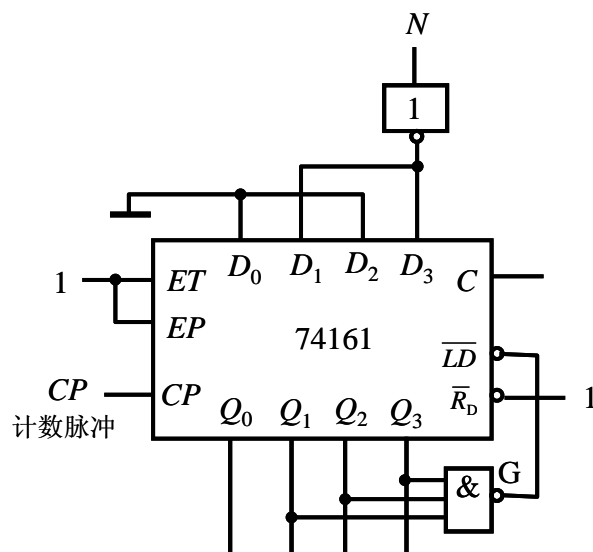
AB \ CD	00	01	11	10
00	1			1
01		1	1	
11		1	1	
10	1			1



19. 电路如图所示，设触发器的初始状态为 0 态。(1) 写出 JK 触发器的特性方程；(2) 试画出触发器在时钟脉冲 CP 作用下 Q 端的波形。



20. 分析图示计数器电路在 $N=0$ 和 $N=1$ 时各是多少进制的计数器。74LS161 是十六进制的计数器，其功能表如下所示。

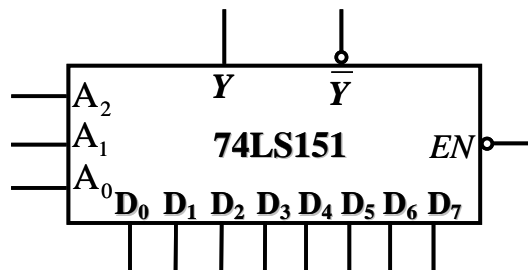


74LS161的功能表

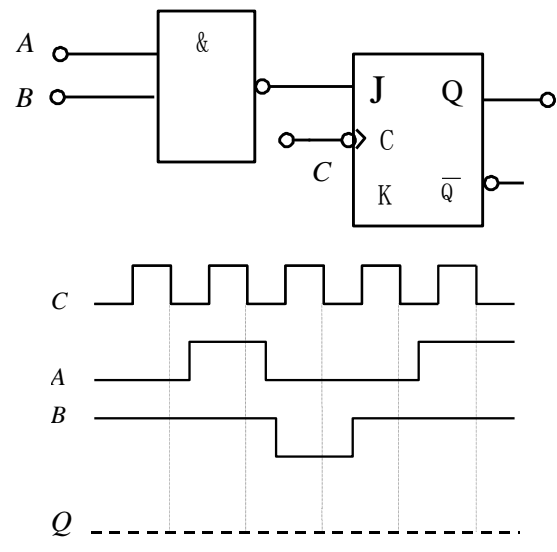
CP	$\overline{R_D}$	\overline{LD}	EP	ET	功能
×	0	×	×	×	直接置零
\downarrow	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但C=0)
\downarrow	1	1	1	1	计数

21. 用 74LS151 设计一个 3 人投票表决电路，设输入为 A、B、C，输出为 F。
74LS151 的逻辑符号和功能表如图所示。 注：画电路图时，在已有的逻辑符号
号图上添加即可。

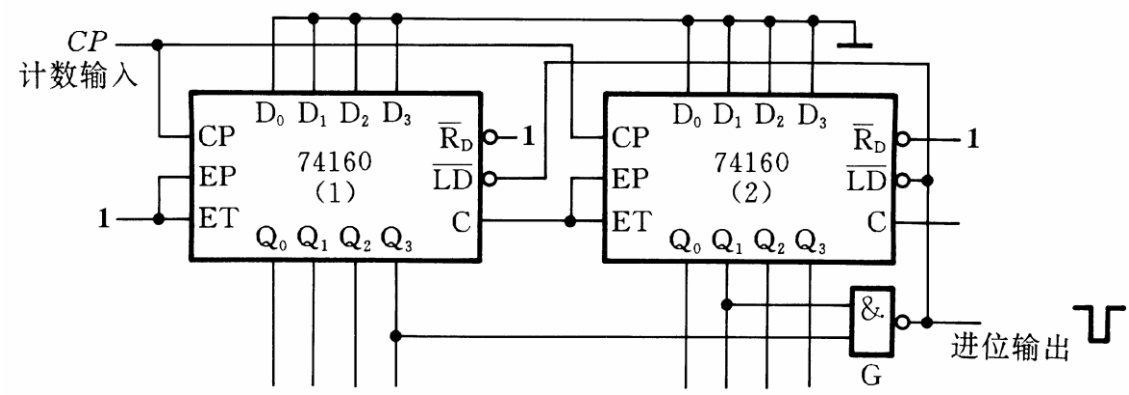
输入				输出	
EN	A ₂	A ₁	A ₀	Y	\overline{Y}
1	×	×	×	0	1
0	0	0	0	D ₀	$\overline{D_0}$
0	0	0	1	D ₁	$\overline{D_1}$
0	0	1	0	D ₂	$\overline{D_2}$
0	0	1	1	D ₃	$\overline{D_3}$
0	1	0	0	D ₄	$\overline{D_4}$
0	1	0	1	D ₅	$\overline{D_5}$
0	1	1	0	D ₆	$\overline{D_6}$
0	1	1	1	D ₇	$\overline{D_7}$



22. 逻辑电路图及 A 、 B 、 C 的波形如图所示，设 Q 的初始状态为 0。（1）写出 JK 触发器的特性方程；（2）试画出 Q 的波形。



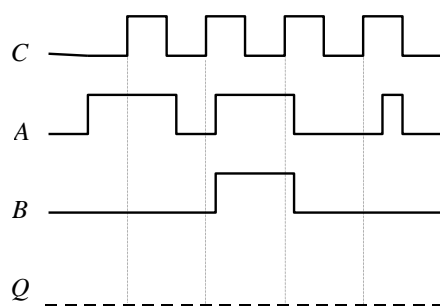
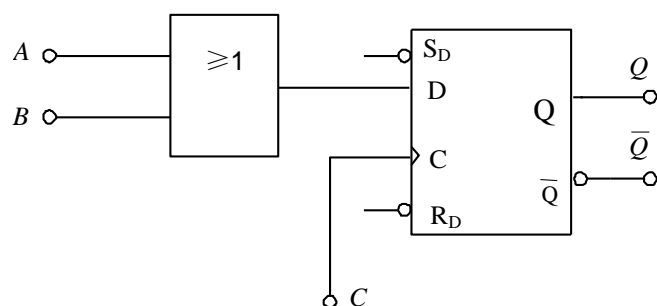
23. 分析图示计数器电路是多少进制的计数器。74LS160 是十进制的计数器，其功能表如下所示。



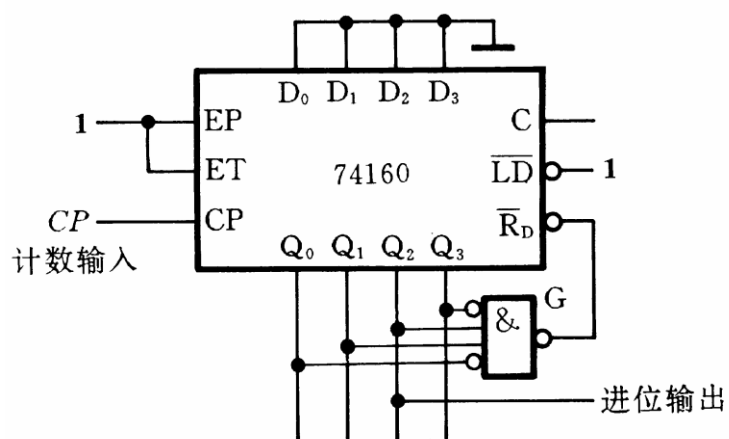
74LS160的功能表

CP	$\overline{R_D}$	\overline{LD}	EP	ET	功能
×	0	×	×	×	直接置零
\lceil	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但C=0)
\lceil	1	1	1	1	计数

24. 已知逻辑电路图及 C 、 A 、 B 波形，设 Q 的初始状态为“0”。(1) 试写出 D 触发器的特性方程；(2) 画出输出 Q 的波形。



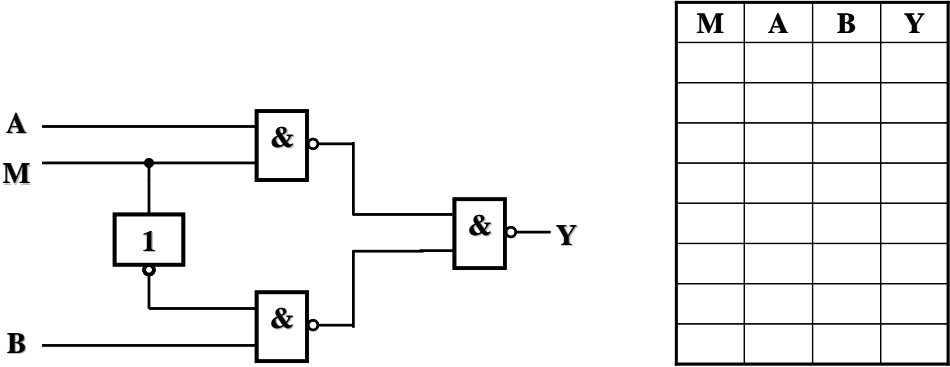
25. 分析图示计数器电路是多少进制的计数器，并指出电路是采用置零法还是置数法。74LS160 是十进制的计数器，其功能表如下所示。（10 分）



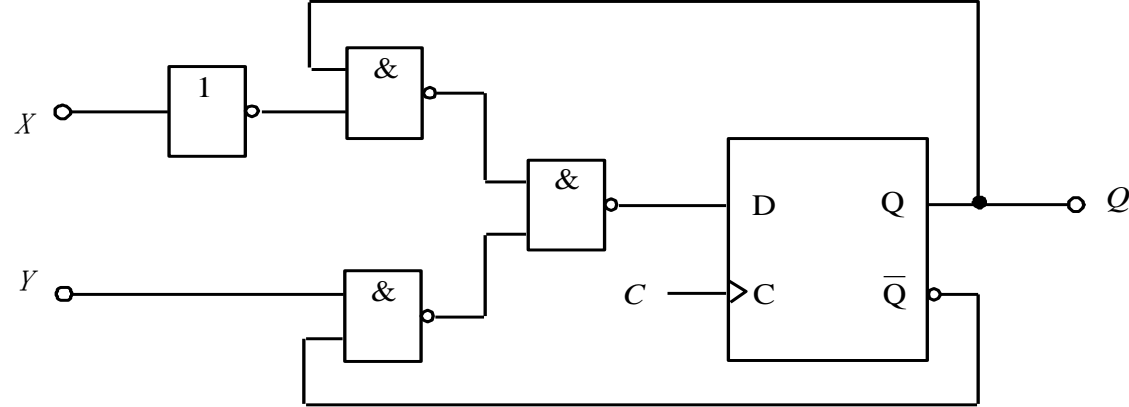
74LS160的功能表

CP	$\overline{R_D}$	\overline{LD}	EP	ET	功能
×	0	×	×	×	直接置零
	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但C=0)
	1	1	1	1	计数

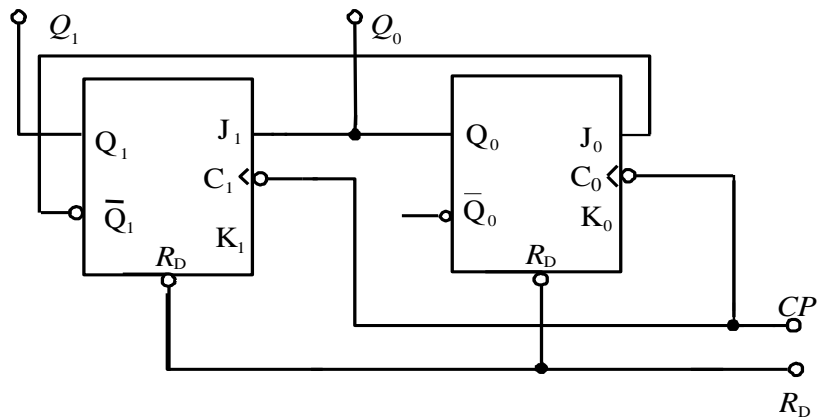
26. 逻辑电路如图所示，试写出逻辑式，并化简之，列出状态表，并说明它的逻辑功能。



27. 由 D 触发器和门电路构成的逻辑电路如图所示，输入为 X, Y, 输出为 Q。试写出输出的表达式，并问：哪一种触发器（RS 触发器、JK 触发器）与此电路功能相同？



28. 试画出如下所示逻辑电路图的波形图，设 Q_0 ， Q_1 的初始状态均为“0”。（1）写出电路的驱动方程、状态方程，画出电路的状态转换图；（2）指出电路的功能，说明电路能否自启动。



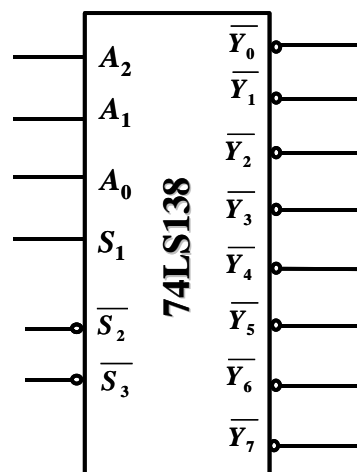
29. 用 74LS138 设计一个二进制数全减器电路（包括低位的借位）。74LS138 的逻辑符号和功能表如图所示。设 A_i 为被减数， B_i 为减数， C_{i-1} 为低位的借位， D_i 为本位差， C_i 为向高位的借位。提示：全减器的真值表如下。

74LS138的功能表

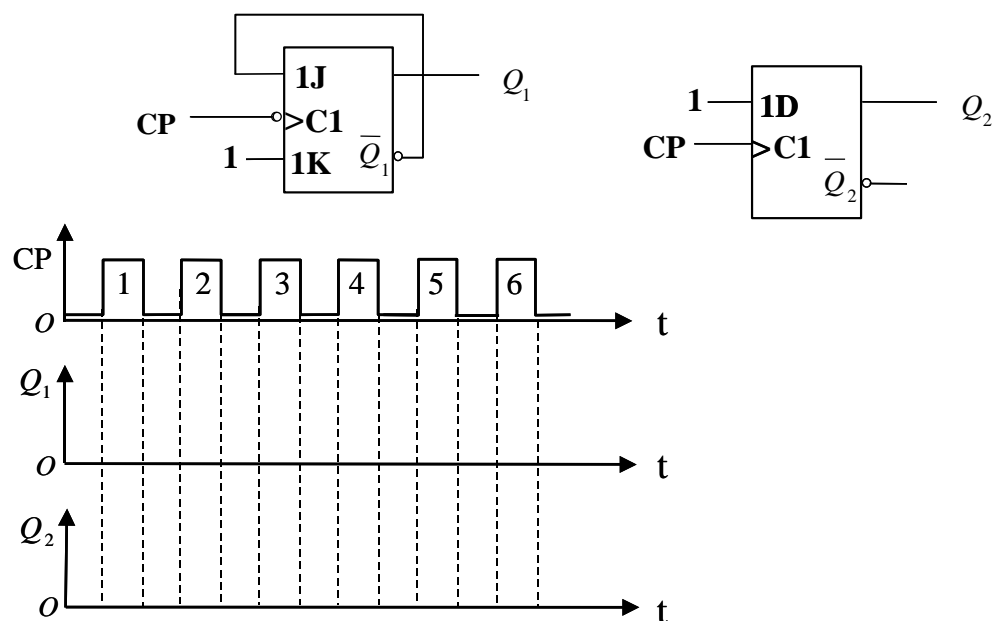
输入					输出							
S_1	$\overline{S_2} + \overline{S_3}$	A_2	A_1	A_0	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

注：画电路图时，在已有的逻辑符号图上添加即可。

A_i	B_i	C_{i-1}	D_i	C_i
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1



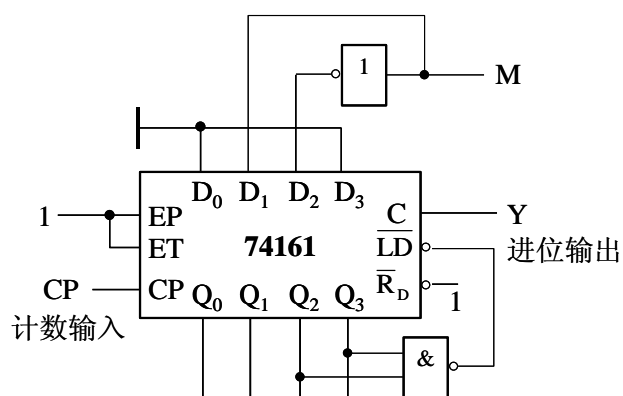
30. 如图所示，设两触发器输出 Q_1 、 Q_2 的初始状态皆为 0。(1) 试分别写出 JK 触发器和 D 触发器的特性方程；(2) 试画出在 CP 信号连续作用下两触发器输出 Q_1 、 Q_2 的电压波形。



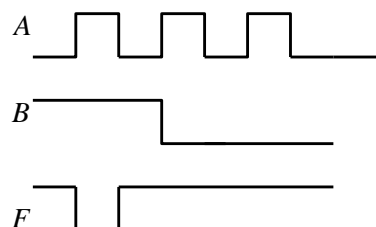
31. 由 74LS161 构成的计数器电路如下图所示，试分析：(1) $M=1$ 时，电路为几进制的计数器？(2) $M=0$ 时，电路又为几进制的计数器？74LS161 的功能见下表。

74161/74LS161的功能表

CP	$\overline{R_D}$	\overline{LD}	EP	ET	功能
×	0	×	×	×	直接置零
	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但C=0)
	1	1	1	1	计数



32. 已知某逻辑电路图的输入 A 、 B 及输出 F 的波形如图所示，试列出状态表，写出逻辑式、画出逻辑图。(10分)

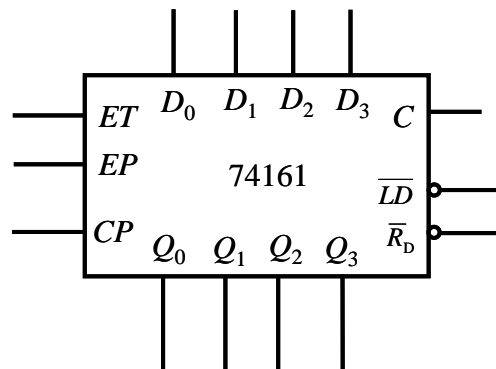


33. 已知某译码器的状态表，试写出其逻辑表达式；画出用“与非”门实现的逻辑图。

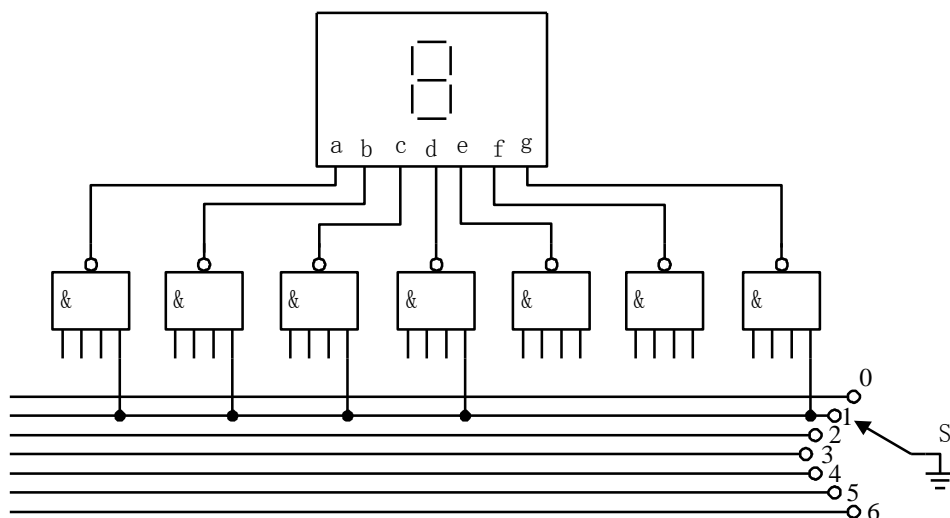
输 入		输 出			
A	B	F_3	F_2	F_1	F_0
0	0	1	1	1	0
0	1	1	1	0	1
1	0	1	0	1	1
1	1	0	1	1	1

74LS160的功能表

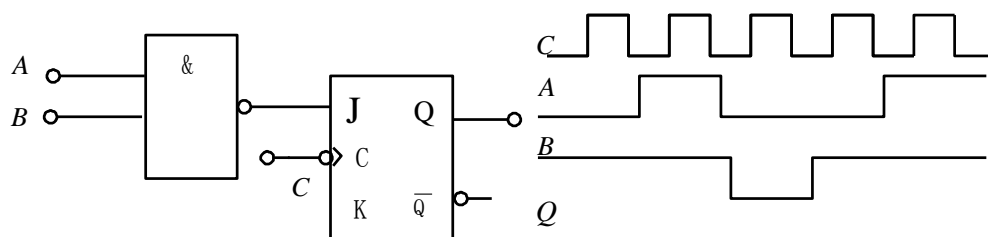
CP	\overline{R}_D	\overline{LD}	EP	ET	功能
×	0	×	×	×	直接置零
	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但C=0)
	1	1	1	1	计数



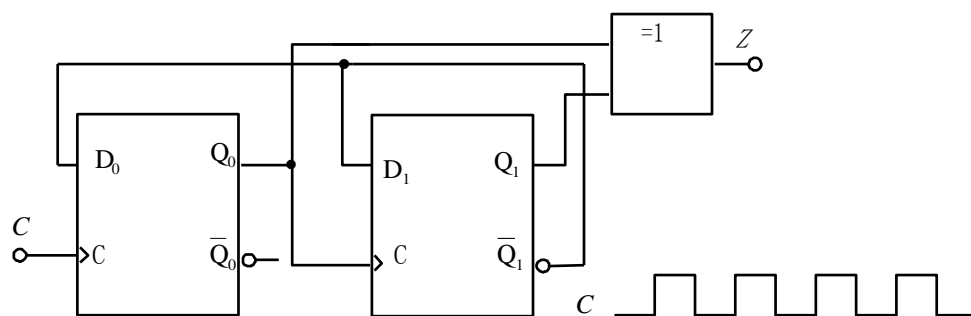
36. 逻辑电路如图所示，当开关 S 拨在“1”位时，七段共阴极显示器显示何种字符（未与开关 S 相连的各“与非”门输入端均悬空）。



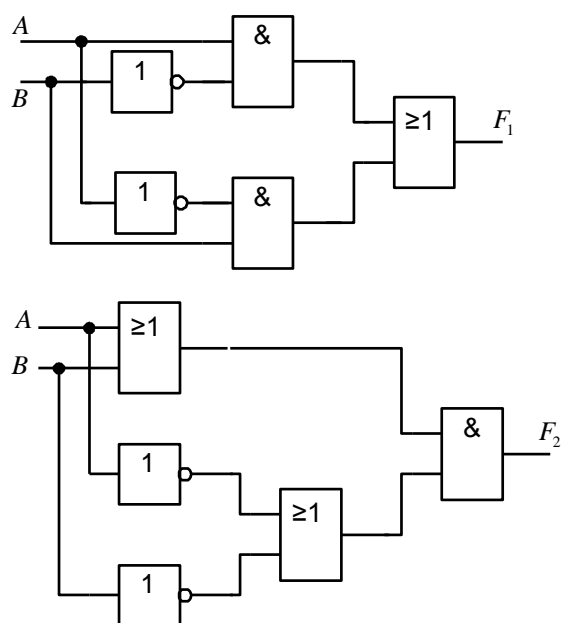
37. 逻辑电路图及 A , B , C 的波形如图所示，设 Q 的初始状态为“0”，试画出 Q 的波形。



38. 已知逻辑电路图和 C 脉冲波形如图所示，试写出 Z 的逻辑式，列出 Q_0 、 Q_1 、 Z 的状态表（设 Q_0 、 Q_1 初始状态均为“0”）。

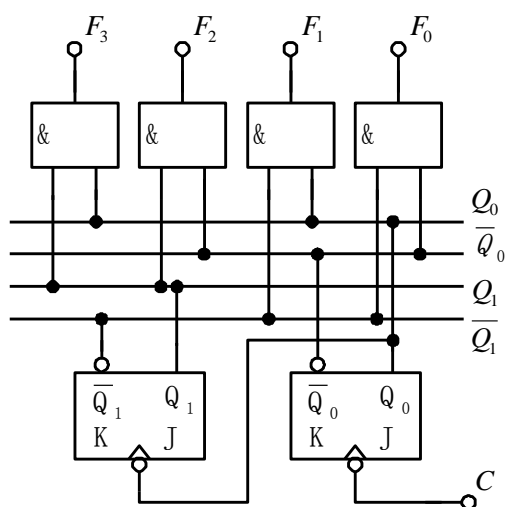


39. 逻辑电路如图所示，试用逻辑代数证明两图具有相同的逻辑功能。

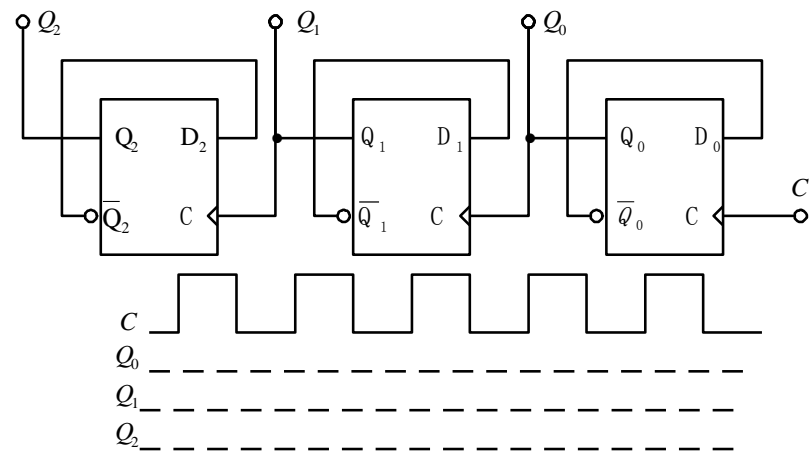


40. 有 3 台电动机 A 、 B 、 C ，正常情况下必须有两台开机，而且只允许两台开机，但是 B 和 C 两台电动机不能同时开机。若用指示灯 F 显示工作情况正常，列出真值表，写出 F 的逻辑表达式并化简，画出用门电路实现的逻辑图。

41. 逻辑电路如图所示，图中 Q_0 、 Q_1 为 J, K 悬空时的触发器输出，其初始状态均为“0”，若 C 端有 4 个计数脉冲依次作用，试列出四个“与”门输出 F_0 ， F_1 ， F_2 ， F_3 的状态表。（10 分）

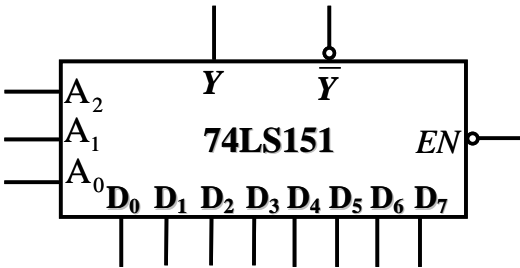


42. 逻辑电路如图所示，若各触发器的初始状态为“1”，已知 C 脉冲波形，试画出输出 Q_0 ， Q_1 及 Q_2 的波形，并说明它属何种类型计数器（计数器的类型是指几进制，同步还是异步，加法还是减法）。

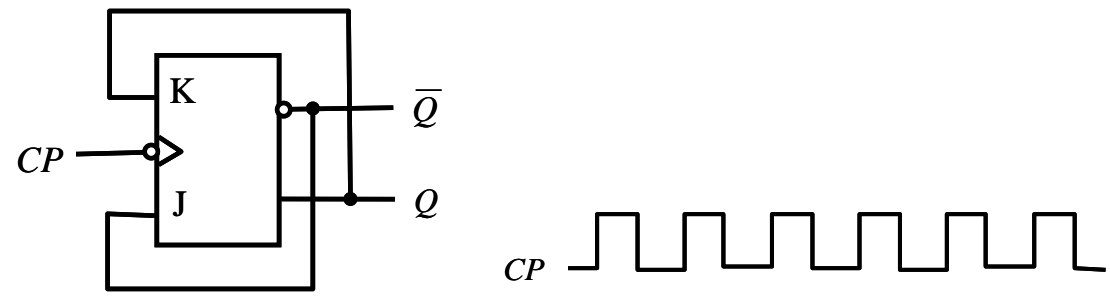


43. 用 74LS151 实现逻辑函数 $L = (A \oplus B)C$ 。74LS151 的逻辑符号和功能表如图所示。 注：画电路图时，在已有的逻辑符号图上添加即可。

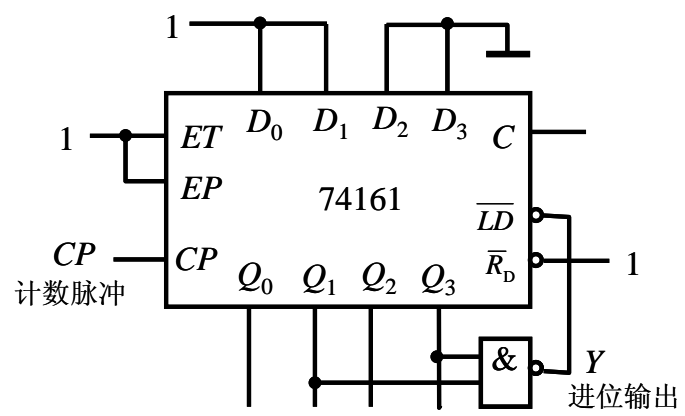
输入				输出	
EN	A ₂	A ₁	A ₀	Y	\overline{Y}
1	×	×	×	0	1
0	0	0	0	D ₀	$\overline{D_0}$
0	0	0	1	D ₁	$\overline{D_1}$
0	0	1	0	D ₂	$\overline{D_2}$
0	0	1	1	D ₃	$\overline{D_3}$
0	1	0	0	D ₄	$\overline{D_4}$
0	1	0	1	D ₅	$\overline{D_5}$
0	1	1	0	D ₆	$\overline{D_6}$
0	1	1	1	D ₇	$\overline{D_7}$



44. 电路如图所示，设触发器的初始状态为 0 态。（1）写出 JK 触发器的特性方程；（2）试画出触发器在时钟脉冲 CP 作用下 Q 端的波形。



45. 分析图示计数器电路，画出电路的状态转换图，说明这是多少进制的计数器。74LS161 是十六进制的计数器，其功能表如下所示。



74LS161的功能表

CP	\overline{R}_D	\overline{LD}	EP	ET	功能
×	0	×	×	×	直接置零
\downarrow	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但C=0)
\downarrow	1	1	1	1	计数

46. 已知逻辑函数 $Y(A,B,C) = \sum m(1, 3, 5, 7)$ ，要求：（1）填写函数 Y 的卡诺图；（2）用卡诺图将函数 Y 化为最简，并写出化简结果。

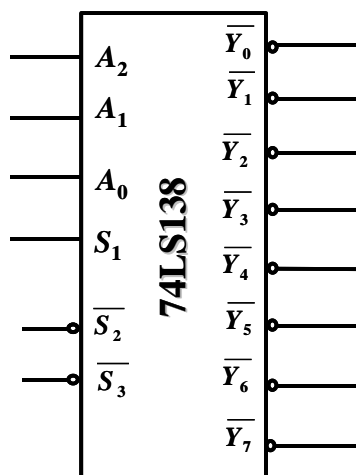
A \ BC	BC			
	00	01	11	10
0				
1				

47. 分别将函数 $Y_1 = AC$ 和 $Y_2 = \overline{A}\overline{B}C + A\overline{B}C + BC$ 化为最小项表达式，并用 74LS138 实现。74LS138 的逻辑符号和功能表如图所示。

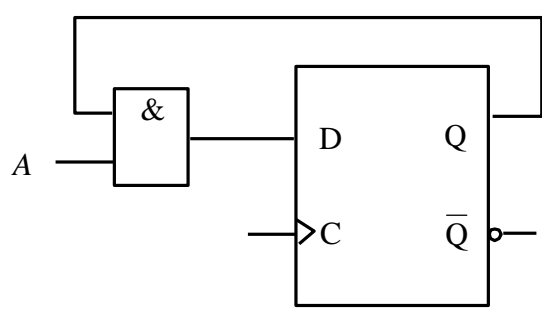
74LS138的功能表

输入					输出							
S_1	$\overline{S_2} + \overline{S_3}$	A_2	A_1	A_0	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

注：画电路图时，在已有的逻辑符号图上添加即可。



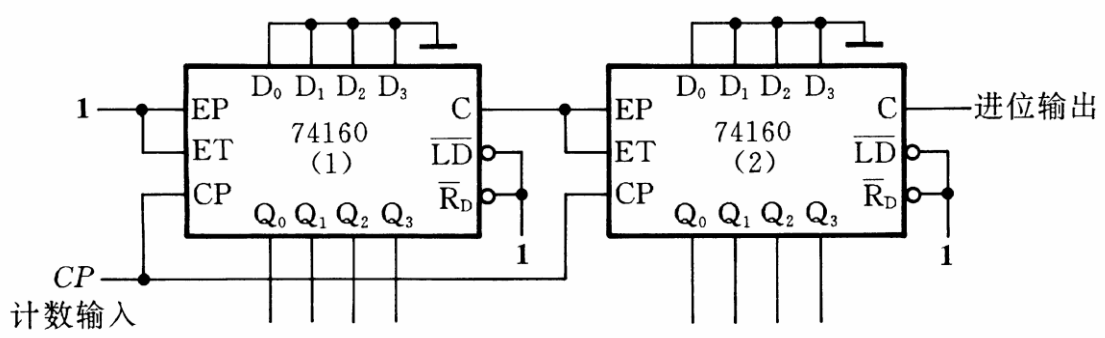
48. 逻辑电路如图所示，写出 D 触发器的特性方程，并分析在 A=0 和 A=1 两种情况下 D 触发器具有何种功能（计数、置 0、置 1、保持）。



49. 由 74LS160 构成的计数器电路如下图所示，问两片之间采取何种连接方式（串行进位、并行进位、整体置零、整体置数）？并分析电路为几进制的计数器。74LS160 是十进制计数器，其功能如下。

74LS160的功能表

CP	$\overline{R_D}$	\overline{LD}	EP	ET	功能
×	0	×	×	×	直接置零
\lceil	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持 (但C=0)
\lceil	1	1	1	1	计数



50. 用代数法求函数 $F(A,B,C)=AB+AC+\overline{B}\cdot\overline{C}+\overline{A}\cdot\overline{B}$ 的最简“与-或”表达式。

51. 用卡诺图化简逻辑函数

$F(A, B, C, D)=\sum m(2, 3, 9, 11, 12)+\sum d(5, 6, 7, 8, 10, 13)$
 求出最简“与-或”表达式和最简“或-与”表达式。

CD \ AB	AB			
	00	01	11	10
00				
01				
11				
10				

52. 设计一个将一位十进制数的余 3 码转换成二进制数的组合电路，电路框图如图 3 所示。

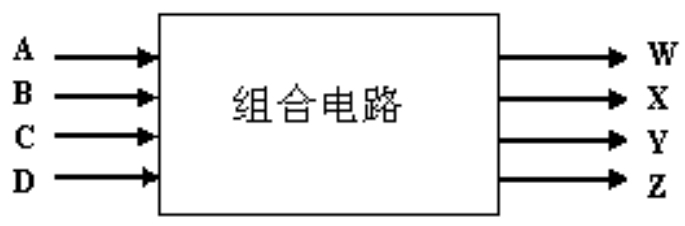


图 3

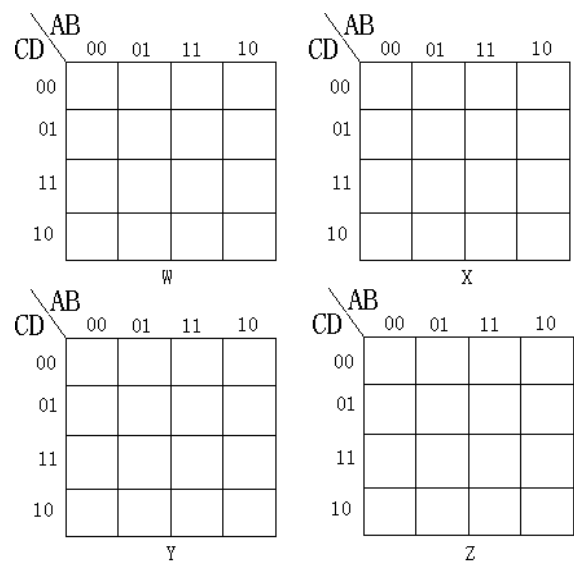
要求：

1. 填写表 1 所示真值表；

表 1

ABCD	WXYZ	ABCD	WXYZ
0000		1000	
0001		1001	
0010		1010	
0011		1011	
0100		1100	
0101		1101	
0110		1110	
0111		1111	

2. 利用图 4 所示卡诺图，求出输出函数最简与-或表达式；



53. 分析与设计

某同步时序逻辑电路如图 5 所示。

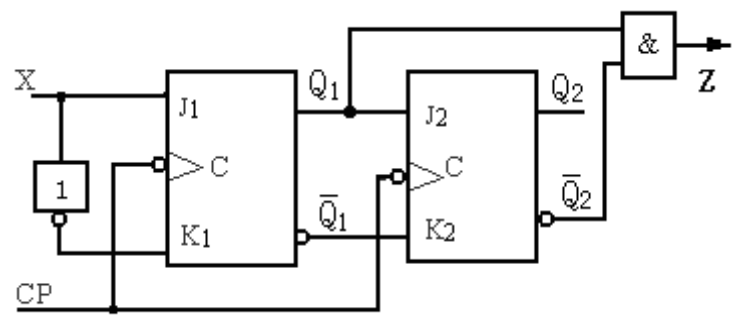


图 5

- (1) 写出该电路激励函数和输出函数；
- (2) 填写表 2 所示次态真值表；

表 2

输入	现态	激励函数	次态	输出
X	$Q_2 \ Q_1$	$J_2 \ K_2 \ J_1 \ K_1$	$Q_2^{(n+1)} \ Q_1^{(n+1)}$	Z

--	--	--	--	--

(3) 填写表 3 所示电路状态表;

表 3

现态	次态 $Q_2^{(n+1)} Q_1^{(n+1)}$		输出
$Q_2 Q_1$	X=0	X=1	Z
00			
01			
10			
11			

(4) 设各触发器的初态均为 0，试画出图 6 中 Q_1 、 Q_2 和 Z 的输出波形。

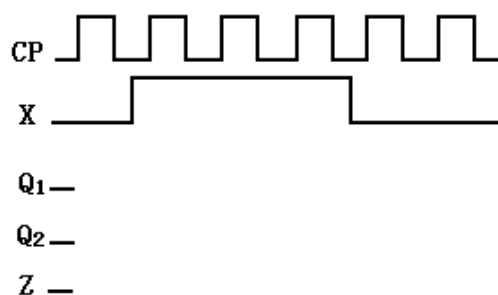


图 6

(5) 改用 T 触发器作为存储元件, 填写图 7 中激励函数 T_2 、 T_1 卡诺图, 求出最简表达式。

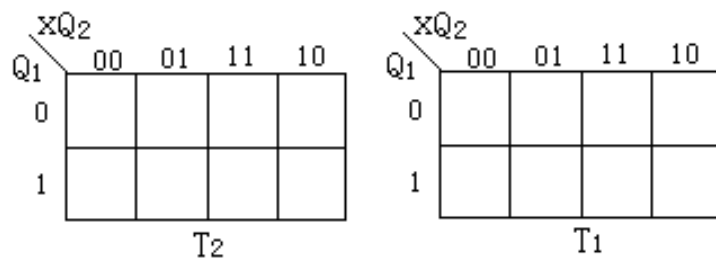


图 7

54. 分析与设计

某组合逻辑电路的芯片引脚图如图 9 所示。

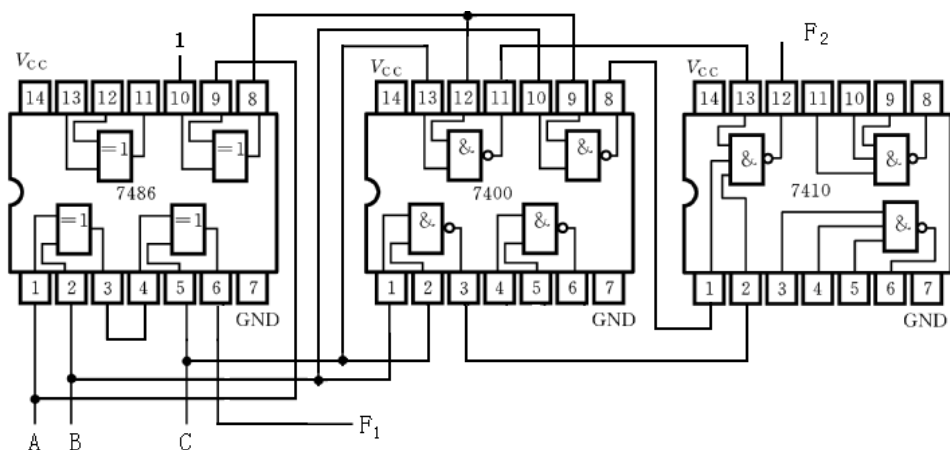
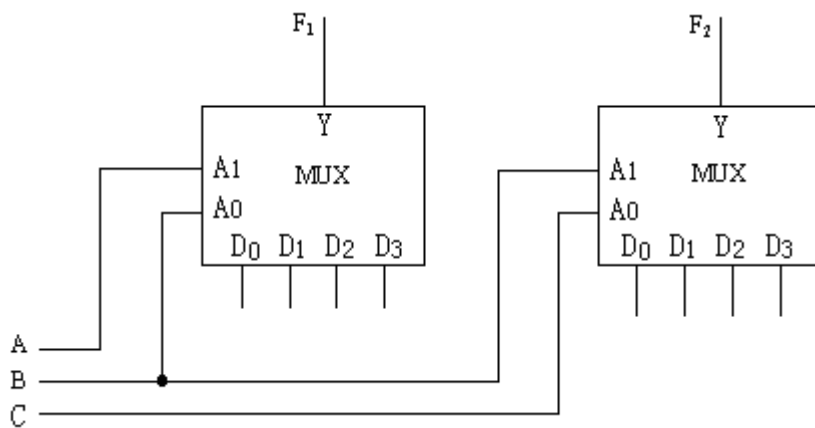


图 9

1. 分析图 9 所示电路，写出输出函数 F_1 、 F_2 的逻辑表达式，并说明该电路功能。
2. 假定用四路数据选择器实现图 9 所示电路的逻辑功能，请确定图 10 所示逻辑电路中各数据输入端的值，完善逻辑电路。



55. 集成电路的引脚图如下图所示，则此集成电路的型号是什么？地址线有多少根？数据线有多少根？总容量有多少？

