**实验1-实验名称**

课程名称： 数字逻辑 实验教学学时： 学时

年级/班级： 软件6班 分组学生人数： 2 专业：软件工程

**一、实验目的**

（1）掌握技能使用Xilinx Vivado软件利用Vivado IP集成创建一个简单的数字电路（IPI）。

1. 创建一个针对一个特定的FPGA装置位于basys3板和使用提供的部分完成的Xilinx Vivado工程设计约束（XDC）文件来约束一些销定位 离子和添加额外的限制使用Tcl脚本功能Vivado
2. 使用XSIM模拟器模拟的设计，同时，合成和实施设计并生成比特流•和配置FPGA使用产生的比特流的一个 验证功能

（4）设计一些输入直接连接到相应的输出LED和输入逻辑上操作之前的结果是在剩余的LED输出。

**二、实验原理或预习内容**

（1）操作logcially根据数字电路的规则输入，开关是一个（真正的）时，LED的光输出是一个（右），我们可以观察到发光二极管测试我们的保监会 UIT。

## （2）原理图如下

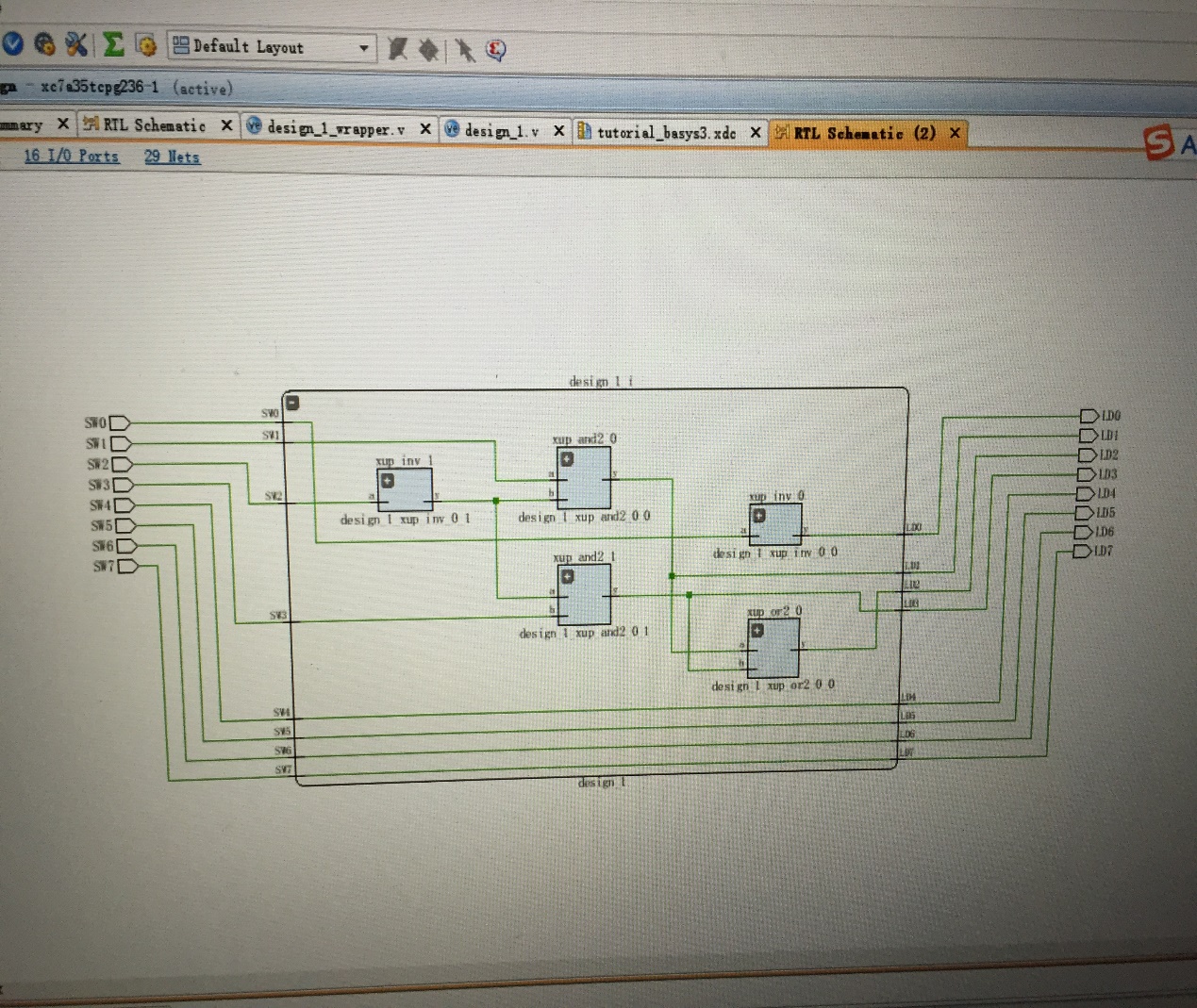


图-1

当您打开开关，开关将输出1，或将输出0和LED将是轻的，当它接收到的信号的1，相反，它将是黑暗的。

例如，当你打开SW0，信号将成为0尽快通过变频器和在黑暗的安全剂量。

以下是用于解释电路的真表。

SW1 SW2 SW3 LD1 LD2 LD3

**0 0 0 0 0 0**

**0 0 1 0 1 1**

**0 1 1 0 0 0**

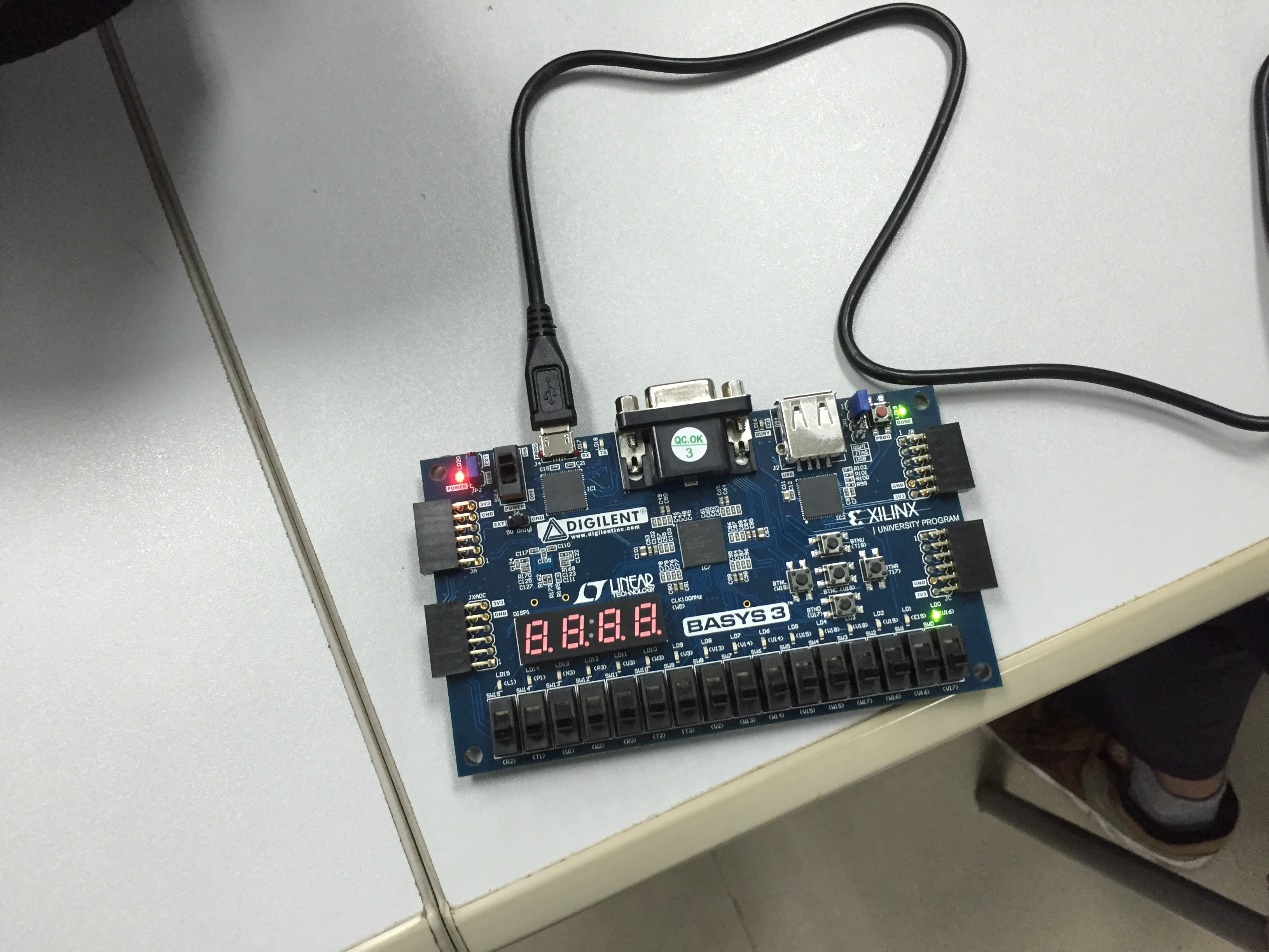
**0 1 0 0 0 0**

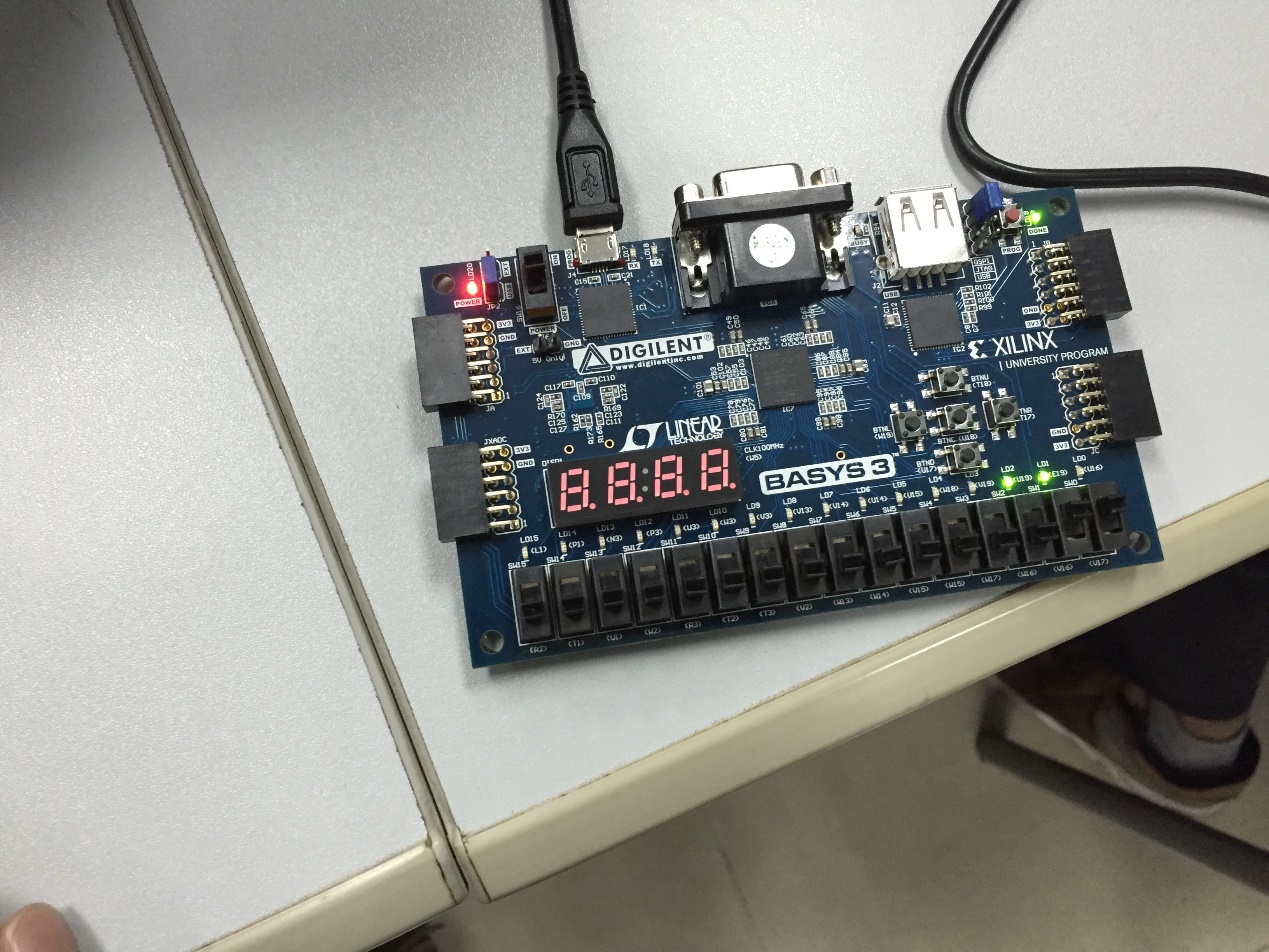
**1 1 0 0 0 0**

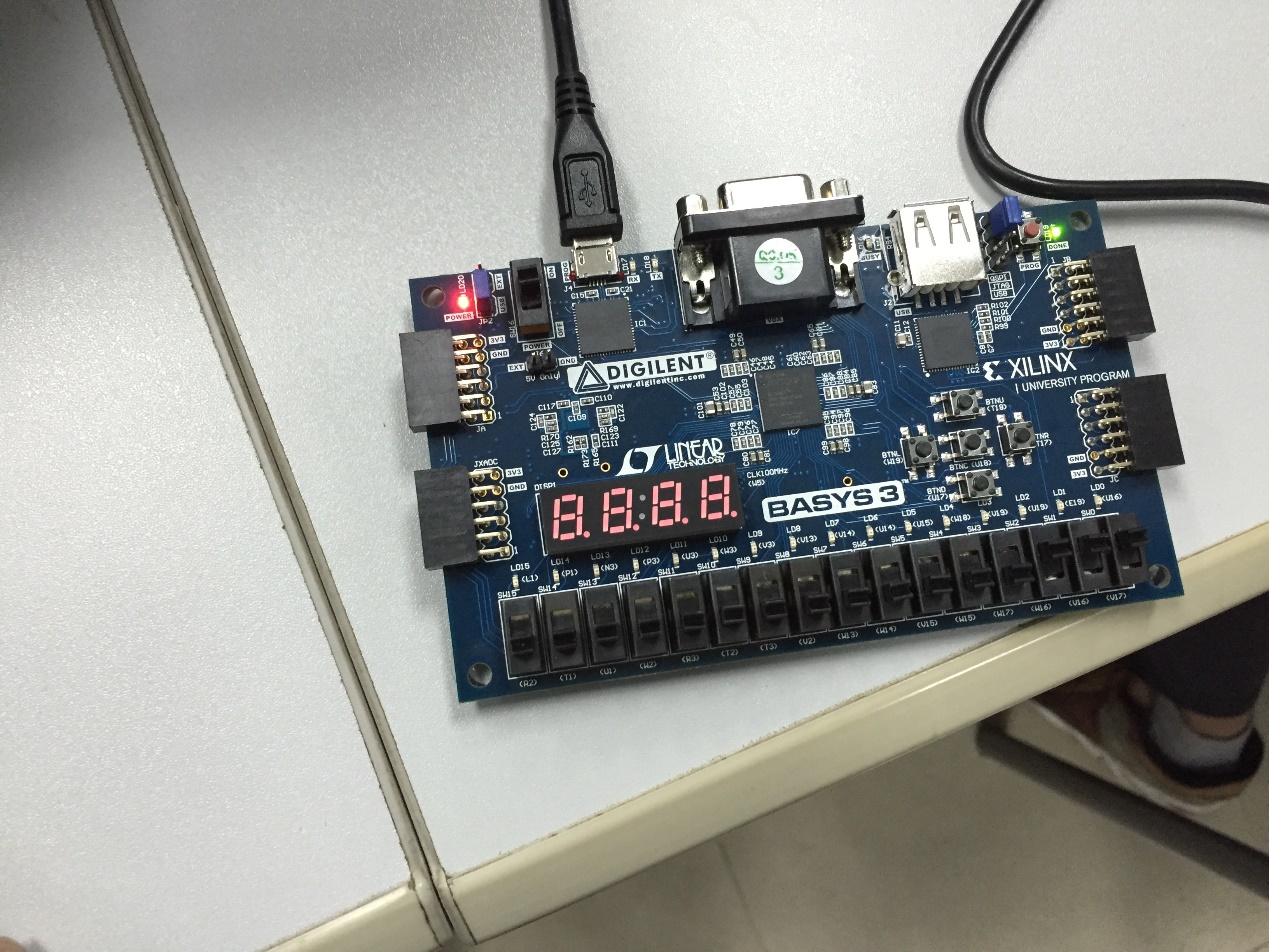
**1 1 1 0 0 0**

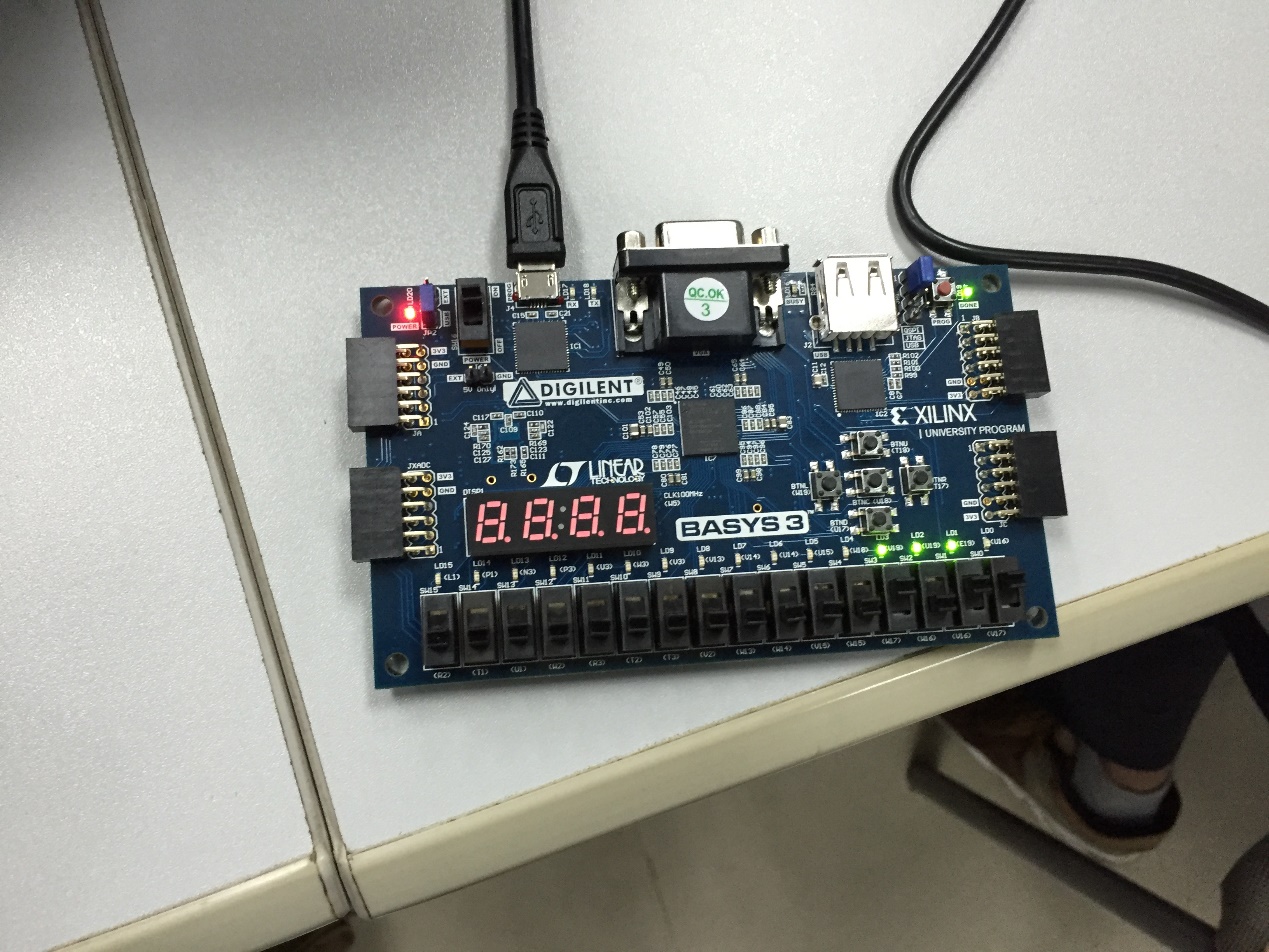
**1 0 1 1 1 1**

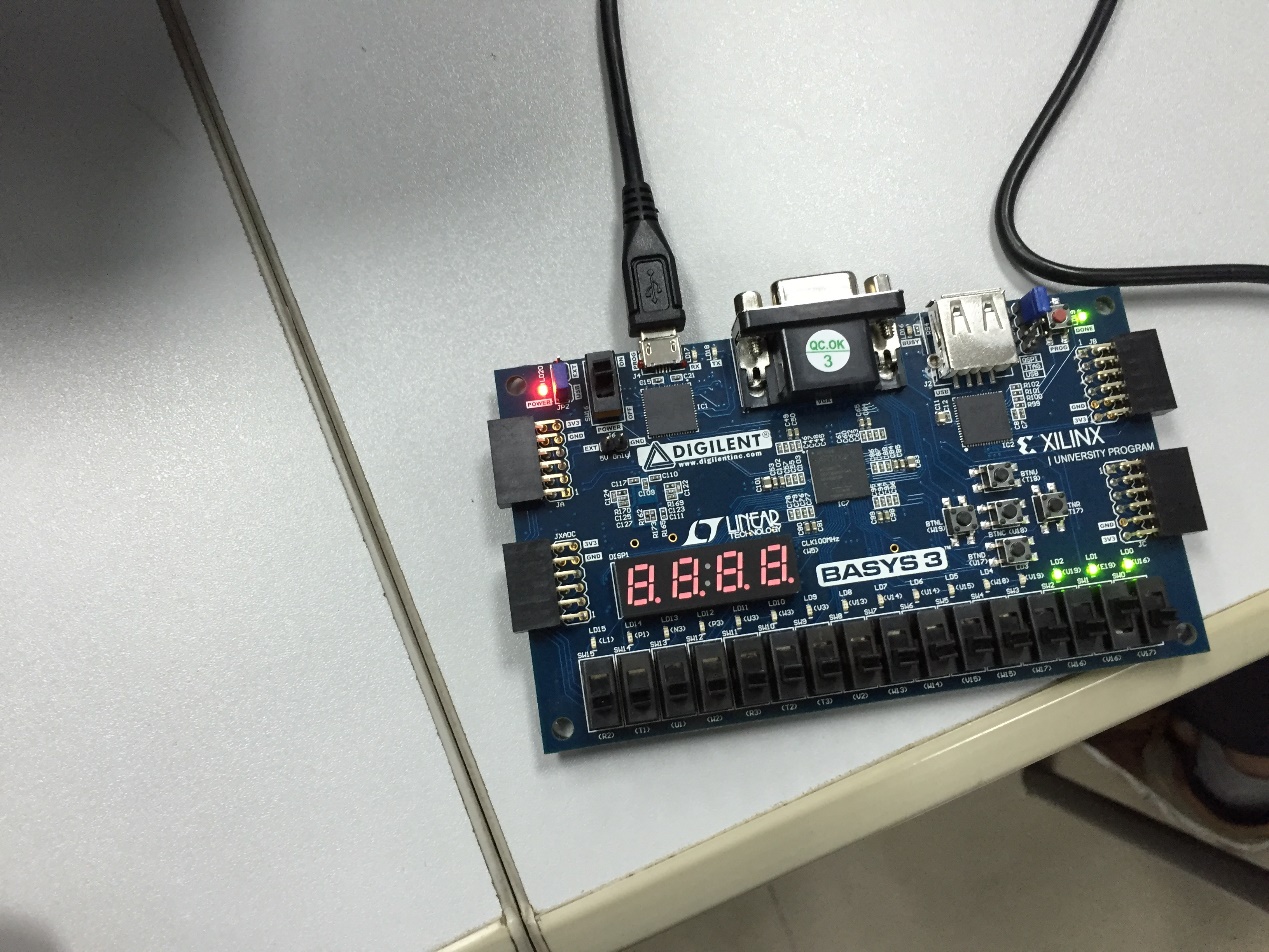
**1 0 0 1 1 0**

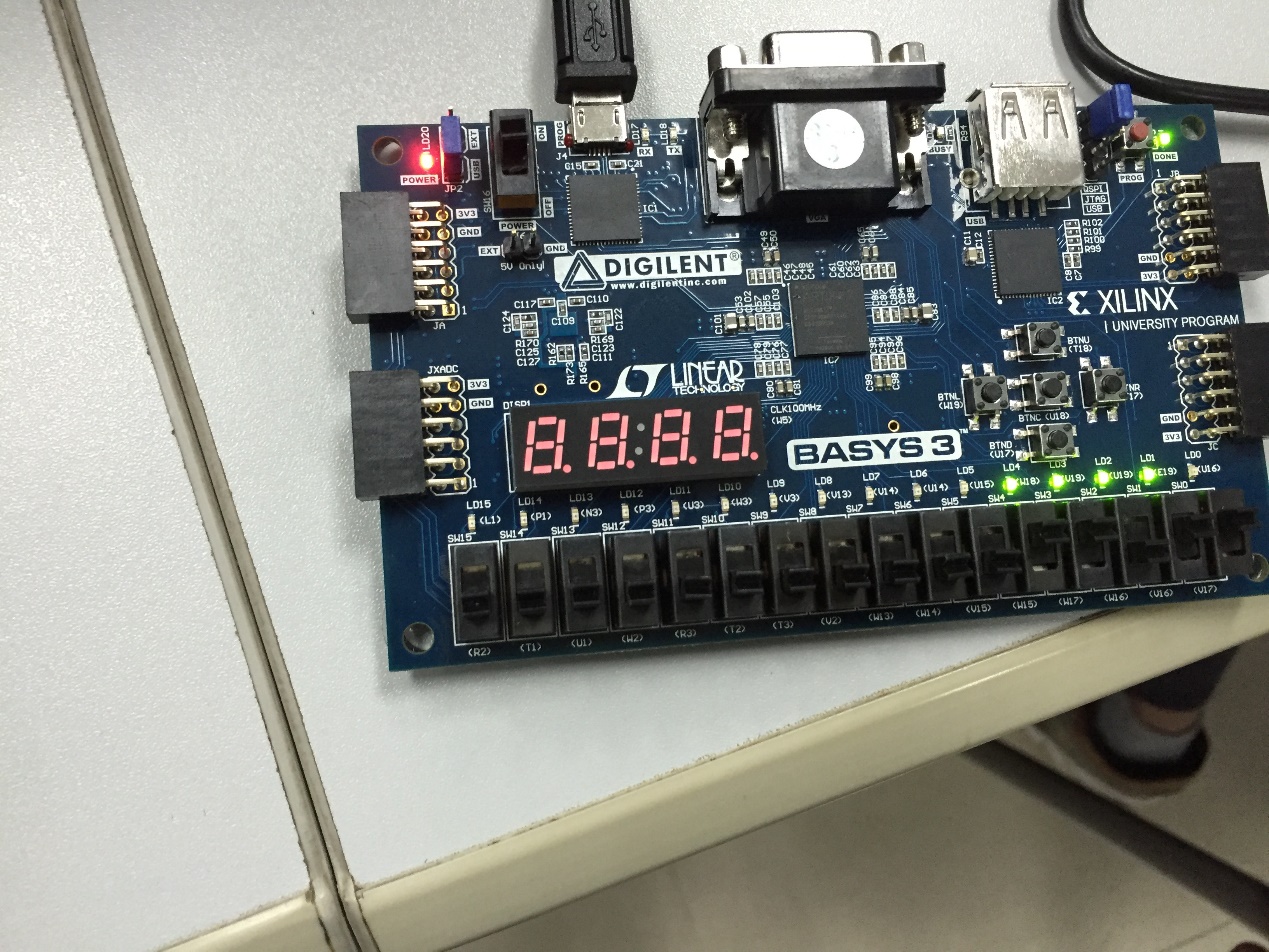
****

****

****

****

****

****

**三、实验环境**

（1）Basys3 board

（2）Vivado

**四、实验内容**

1. 创建一个针对一个特定的FPGA装置位于basys3板和使用提供的部分完成的Xilinx Vivado工程设计约束（XDC）文件来约束一些销定位 离子和添加额外的限制使用Tcl脚本功能Vivado

(2)使用XSIM模拟器模拟的设计，同时，合成和实施设计并生成比特流•和配置FPGA使用产生的比特流的一个 验证功能

（3）设计一些输入直接连接到相应的输出LED和输入逻辑上操作之前的结果是在剩余的LED输出。

（4） basys3板与计算机和测试电路是否是我们想要的连接。

**五、实验结论及思考题**

（1）根据basys3板的输出，我们可以得出一个结论，我们已经成功地创建了一个针对一个特定的FPGA装置位于basys3板Vivado项目，这表明T 他Vivado软件工具可用于一个完整的设计流程的执行。

（2）完美的输出表明，我们设计的数字电路可以很好地工作。