



中国科学技术大学
University of Science and Technology of China

数字电路实验

Lab3 上板运行

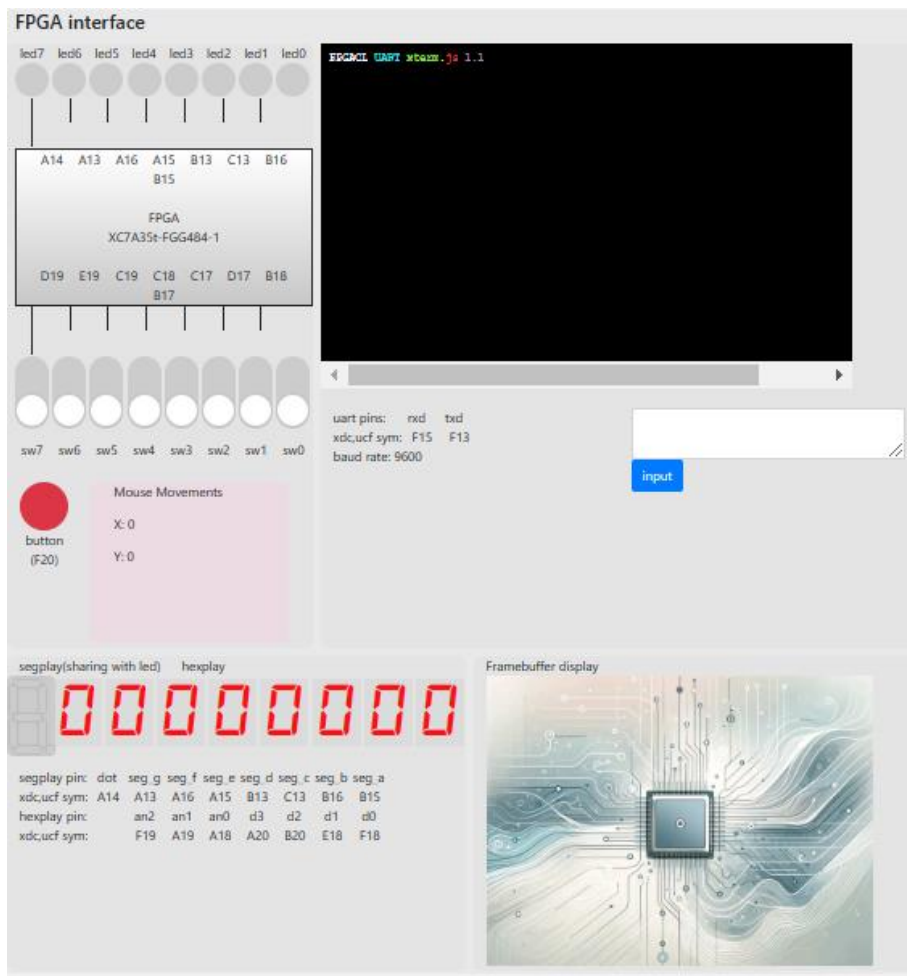
2024-10-17

实验介绍



中国科学技术大学
University of Science and Technology of China

- 在本次实验中，我们将要学习 FPGAOL 平台的使用方式，并使用 Vivado 进行项目的综合与实现。



▼ SYNTHESIS

▶ Run Synthesis

> Open Synthesized Design

▼ IMPLEMENTATION

▶ Run Implementation

> Open Implemented Design

▼ PROGRAM AND DEBUG

▶ Generate Bitstream

> Open Hardware Manager

■ FPGAOL

中国科大计算机教学实验中心组织开发的、基于Web端的线上硬件实验平台。

- 用户可以远程访问我们部署好的FPGA (Nexys 4 DDR)集群，上传本地生成好的比特流文件，并交互地控制FPGA，实时获得FPGA的输出。
- 科大校内学生请选择统一身份认证登录。



Login to FPGAOL

体验FPGAOL新界面!

科大统一身份认证登录

其他学校认证登录

游客访问 / Visitor Login

If you are interested in the FPGAOL, please feel free to contact Mr. Lu.

lujl@ustc.edu.cn

QQ: 2921999133

■ 设备请求

一次可申请 20 分钟的节点使用资源，超过时间后资源将被自动释放，继续使用则需要重新申请资源。

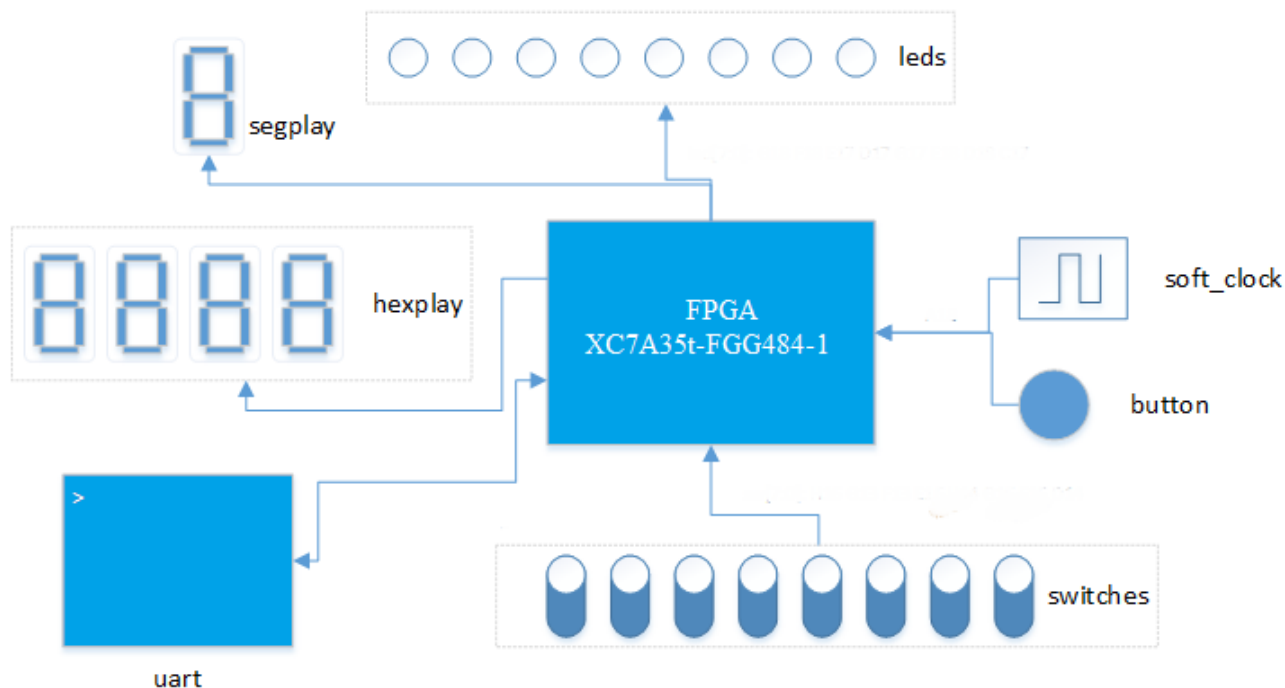
- 点击 acquire 后，平台便会自动分配一个可用节点，并返回使用链接。
- 单击链接即可跳转到相应的操控界面。
- 使用完毕后，点击 release 释放已申请的节点。

#	Device Type	Vacant/Total	Manual	xdc	Use
1	FPGAOL 1.0	60 / 60	FPGAOL v2.1 manual	fpgaol1.xdc	<div>acquire</div> <div>release</div>
1	ZYNQ 2.0	82 / 83	FPGAOL ZYNQ v2.0 manual	fpgaol_zynq.xdc	<div>acquire</div> <div>release</div> <div>1</div> <div>2</div>
Device ID	None	37	申请可用节点 释放已申请节点		
Acquire Time	None	Oct. 16, 2024, 9:45 a.m.			
Expiration Time	None	Oct. 16, 2024, 10:05 a.m.			
		<div>3</div> 点击连接进入交互界面			
Panel Link	None	<div>http://202.38.79.134:14037/?token=G42DIZBXGE2WCZBYGFSGCMRVGI3TQM3BGI4TEMRYGM2DOYTCMNSTEM3GG43TGMZWP0614</div>			
XVC Server	None	None			

■ 外设

外部设备，是指连在计算机主机以外的硬件设备。

- 按钮
- 开关
- 七段数码管
- LED
- 串口

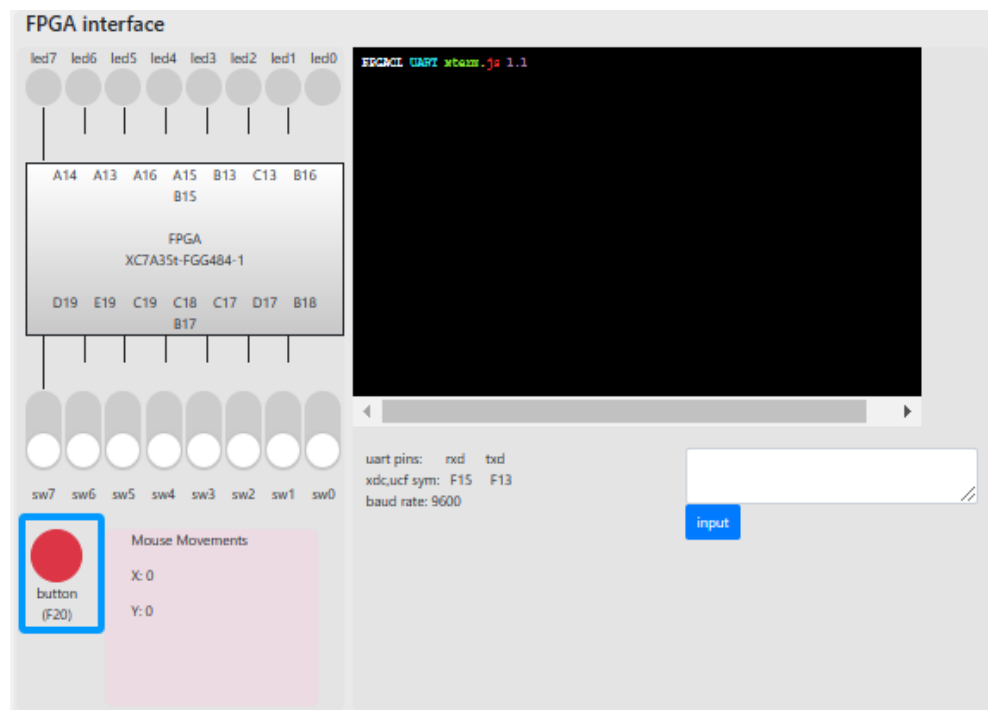
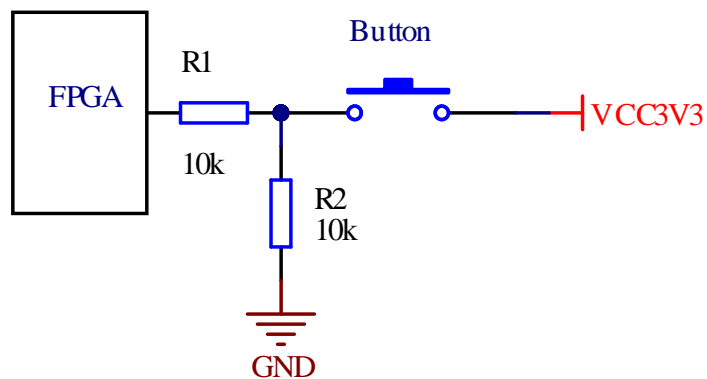


■ 按钮 (1个)

默认处于松开状态。

按下：向 FPGA 芯片输入**高电平**信号，button = 1

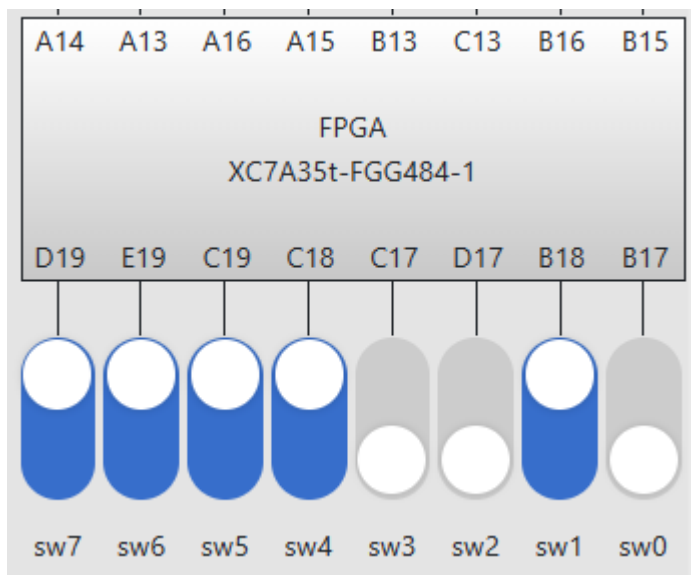
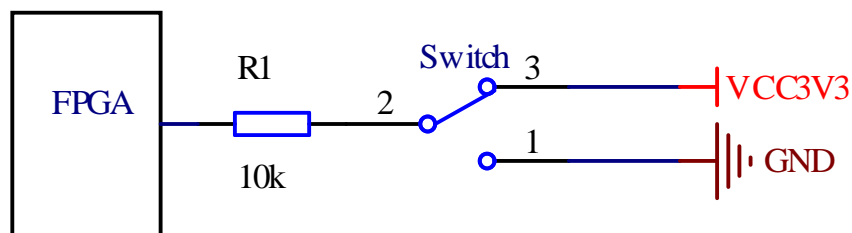
松开：向 FPGA 芯片输入**低电平**信号，button = 0



■ 开关 (8个)

拨上去: 向 FPGA 芯片输入**高电平**信号, $sw[i] = 1$

拨下来: 向 FPGA 芯片输入**低电平**信号, $sw[i] = 0$



$sw = 8'b1111_0010$

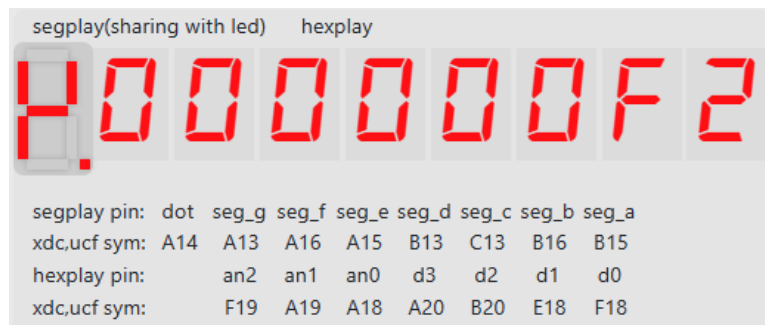
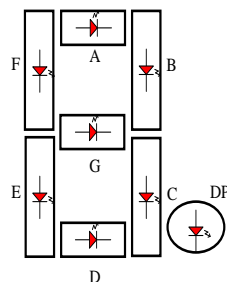
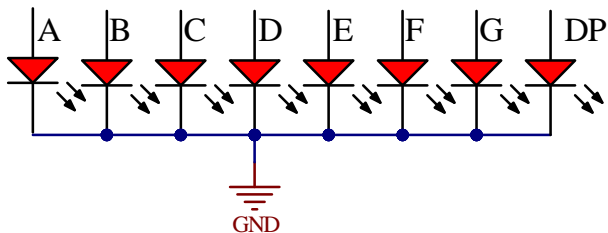
■ 七段数码管 (8个)

七段数码管的显示原理:

1个七段数码管本质上是由 8 个 LED (发光二极管) 构成, 其中 7 个 LED 组成数字本身, 1 个 LED 组成小数点。

所有 LED 的阴极共同连接到一端并接地, 而阳极分别由 FPGA 的 8 个输出管脚控制。当输出管脚为高电平时, 对应的 LED 亮起。

例如, 当 A~F 的 6 个 LED 亮起, 而 G、DP 两个 LED 熄灭时, 数码管显示的便是字符 "0" 。



■ 七段数码管 (8个)

如何“同时”点亮多个数码管？

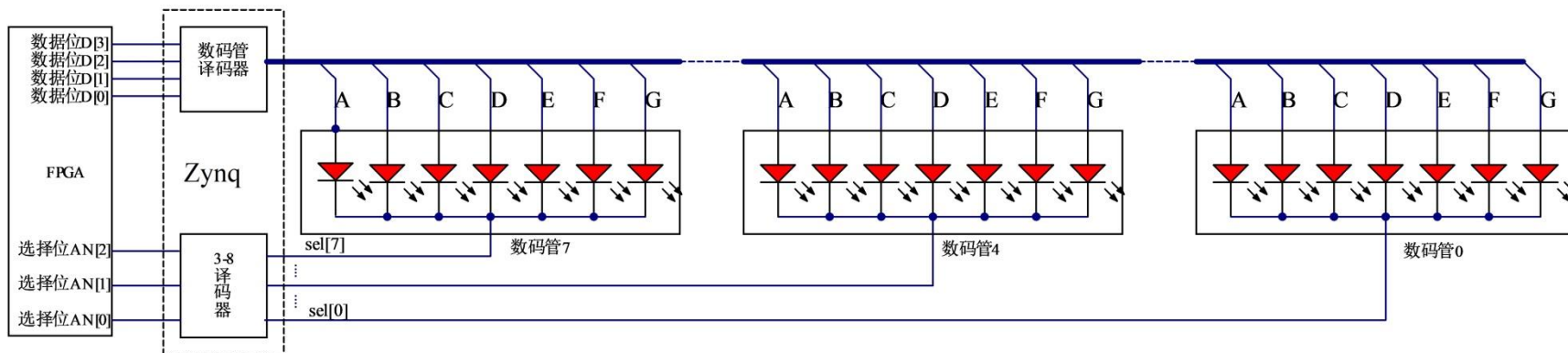
分时复用：利用人眼的视觉暂留特性，轮流点亮每个数码管。只要刷新速度足够快，人眼就不会区分出 LED 的闪烁，认为这些数码管是同时点亮的。

建议的数码管的扫描频率：50Hz。也就是说，如果要驱动 8 个数码管，需要一个 400Hz 的时钟。

如何在实验平台点亮数码管？

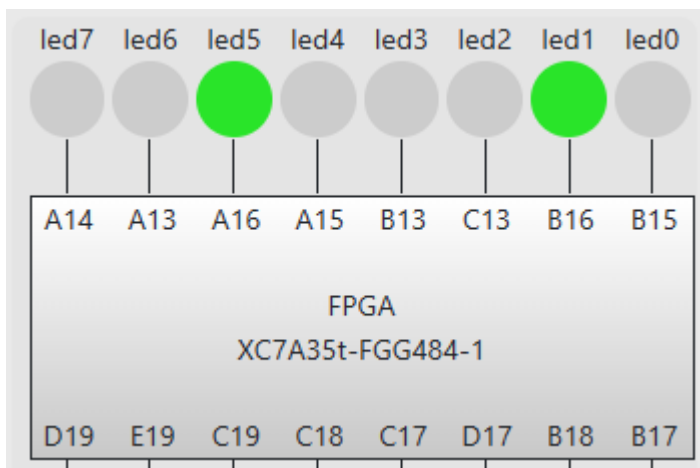
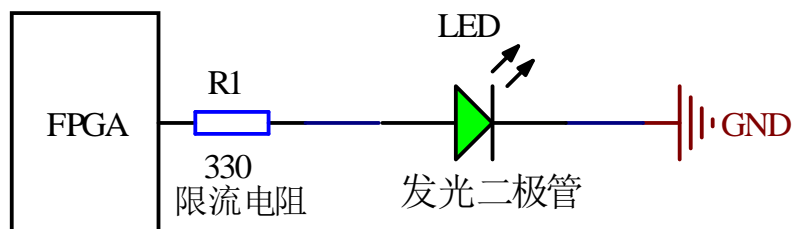
简化的显示方式：

- 使能：AN[2 : 0]所表示的二进制数对应的数码管
- 数字：D[3 : 0]对应的16进制数



■ LED (8个)

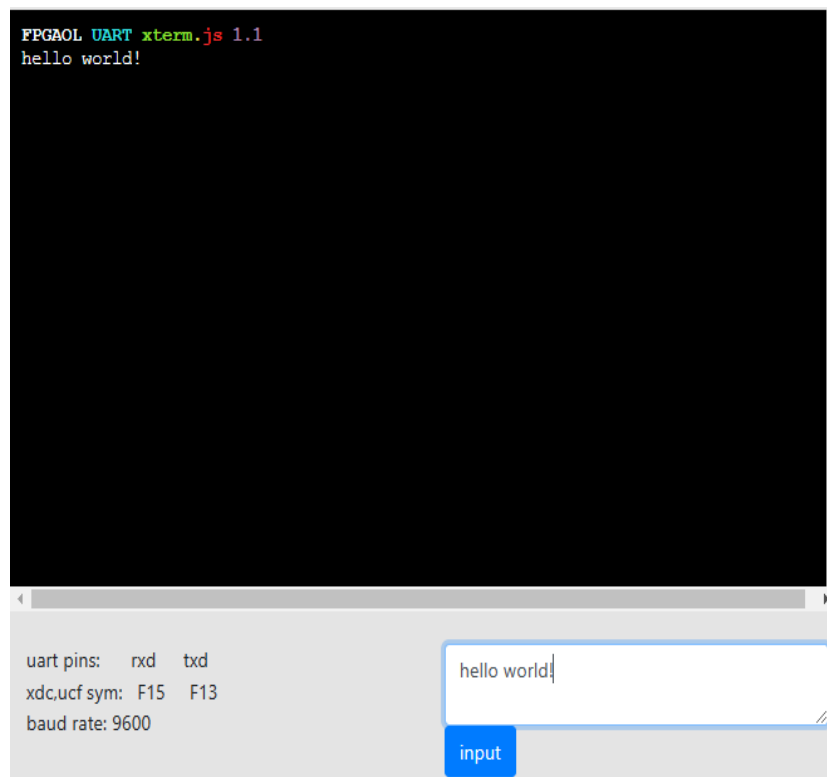
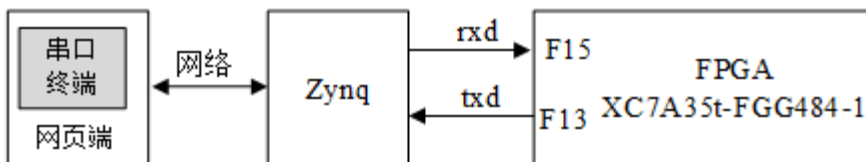
- 高电平: $\text{led}[i] = 1$, LED 点亮
- 低电平: $\text{led}[i] = 0$, LED 熄灭



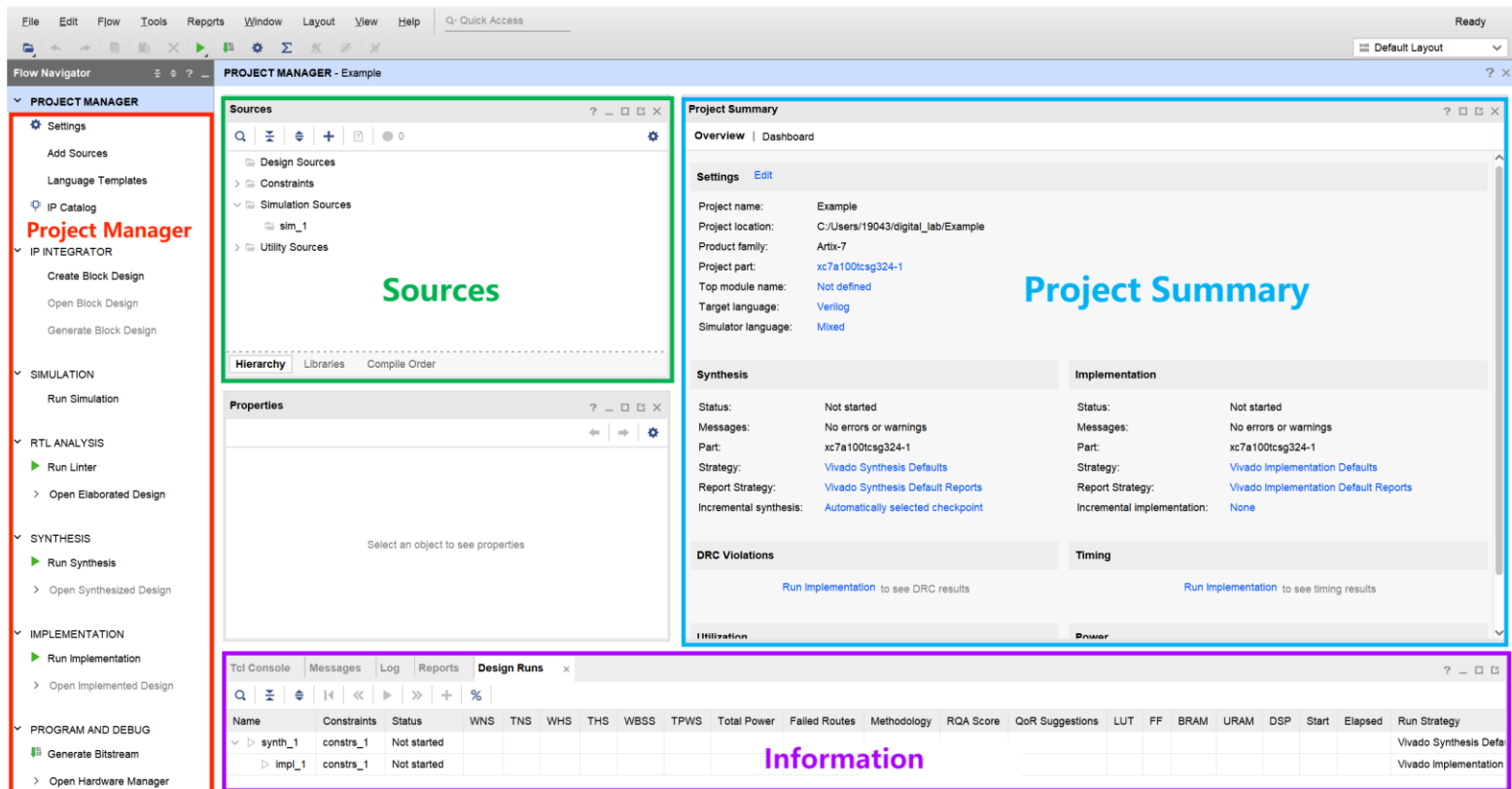
`led = 8'b0010_0010`

■ 串口界面

- 输入：单击input后，input文本框的内容将作为FPGA串口的输入发送
- 输出：FPGA串口的输出数据将显示在黑色屏幕上



流程：创建项目→编写设计文件→综合→实现→生成比特流
→在 FPGAOL 上运行 / 在物理开发板上运行



The screenshot displays the Vivado IDE interface with several panels highlighted by colored boxes:

- Project Manager (Red box):** Contains settings, sources, and simulation options.
- Sources (Green box):** Shows the project's source files, including Design Sources, Constraints, Simulation Sources, and Utility Sources.
- Project Summary (Blue box):** Provides an overview of the project settings, including Project name, Project location, Product family, Project part, Top module name, Target language, and Simulator language.
- Design Runs (Purple box):** A table showing the status of various design runs.

Project Summary Details:

Settings	Value
Project name:	Example
Project location:	C:/Users/19043/digital_lab/Example
Product family:	Artix-7
Project part:	xc7a100tcsg324-1
Top module name:	Not defined
Target language:	Verilog
Simulator language:	Mixed

Design Runs Table:

Name	Constraints	Status	WNS	TNS	WHS	THS	WBSS	TPWS	Total Power	Failed Routes	Methodology	RQA Score	GoR Suggestions	LUT	FF	BRAM	URAM	DSP	Start	Elapsed	Run Strategy	
synth_1	constrs_1	Not started																				Vivado Synthesis Defa
impl_1	constrs_1	Not started																				Vivado Implementation

Information

■ 简易流水灯

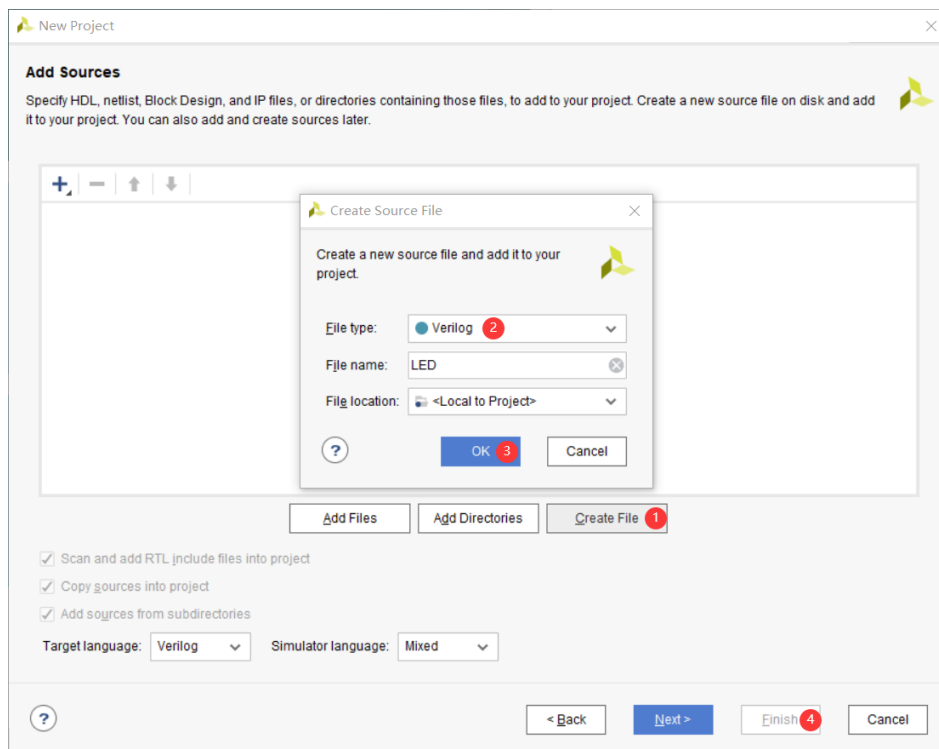
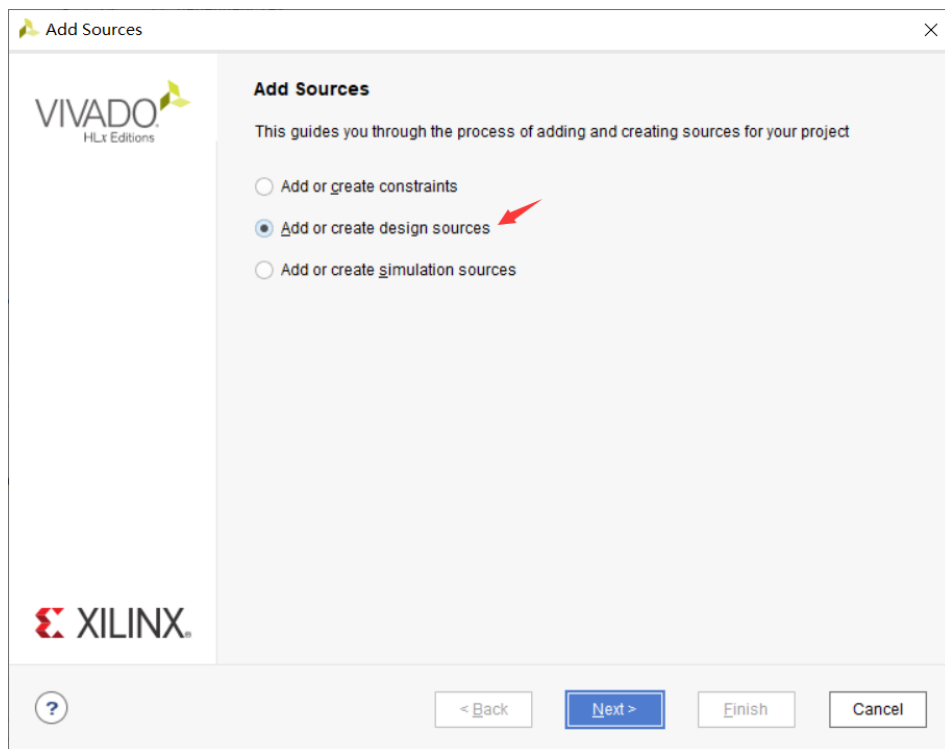
每间隔 1s，流水灯向左移动一格



```
module LED (  
    input      clk,  
    input      rst,  
    output reg [7:0] led  
);  
  
reg [31:0] count_1hz;  
parameter TIME_CNT = 100_000_000;  
  
always @(posedge clk) begin  
    if (rst)  
        count_1hz <= 0;  
    else if (count_1hz >= TIME_CNT)  
        count_1hz <= 0;  
    else  
        count_1hz <= count_1hz + 1;  
end  
  
always @(posedge clk) begin  
    if (rst)  
        led <= 8'b00000_1111;  
    else if (count_1hz == 1) begin  
        led <= {led[6:0], led[7]};  
    end  
end  
endmodule
```

■ 添加设计文件

在 Project Manager 窗口中点击 Add Sources, 选择 “Add or create design sources”



■ 添加约束文件

在 Project Manager 窗口中点击 Add Sources, 选择 “Add or create constraints”



■ 综合

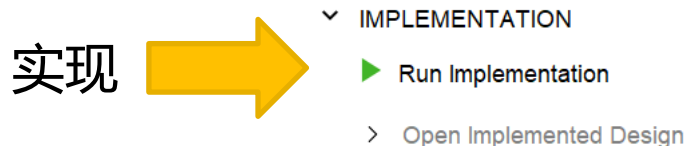
在 Flow Navigator 窗口中点击 Run Synthesis

■ 实现

在 Flow Navigator 窗口中点击 Run Implementation

■ 生成比特流

在 Flow Navigator 窗口中点击 Generate Bitstream



■ 生成的比特流文件

一般存放在 工程目录/工程名.runs/impl_1/ 目录下，为顶层模块名.bit。
建议大家每次生成后**将其拷贝到特定的目录**，因为下次综合时会清除掉原先的比特流文件。

VivadoProject > project_led > project_led.runs > impl_1



🔍 在 impl_1 中搜索

名称	修改日期	类型	大小
 init_design.pb	2023/10/13 17:11	PB 文件	2 KB
 ISEWrap.js	2023/10/13 17:10	JavaScript 文件	8 KB
 ISEWrap.sh	2023/10/13 17:10	Shell Script	2 KB
 LED.bit 	2023/10/13 17:12	BIT 文件	3,737 KB
 LED.tcl	2023/10/13 17:10	Altium Script Do...	6 KB
 LED.vdi	2023/10/13 17:12	VDI 文件	23 KB
 LED_bus_skew_routed.pb	2023/10/13 17:11	PB 文件	1 KB

■ 生成的比特流文件

在申请的在线开发板中单击 Select File，将文件上传至服务器。上传完成后点击 Program! 就可以在线进行测试了。



实验任务



中国科学技术大学
University of Science and Technology of China

- [必做] 了解 FPGAOL 平台的使用方式;
- [必做] 学习使用 Vivado 开发项目并在 FPGAOL 上运行的流程;
- [必做] 学习基础的信号处理技术;
- [选做] 了解常见的 Vivado 警告信息;
- [必做] 完成 Lab3 的实验练习题。

实验检查 DDL: 10.24

报告提交 DDL: 10.31

谢谢！