



中国科学技术大学
University of Science and Technology of China

数字电路实验

Lab7

乘法器设计及性能分析

2024-11-14

- 基于加法运算的逻辑电路以及有限状态机的内容，**实现**一个较为简单的**乘法模块**。
- 对基础乘法器进行**优化**，以减少空间开支，同时，也要让其能够适配有符号数的情况。
- 利用 Vivado 提供的工具，对电路进行时间性能和资源占用的分析。

实验目的



中国科学技术大学
University of Science and Technology of China

- 进一步掌握时序逻辑电路设计。
- 进一步掌握有限状态机的设计。
- 掌握基本的算术电路的设计方法。
- 学会测试时间性能和电路资源使用情况，掌握分析电路性能的技巧。

组合逻辑乘法器

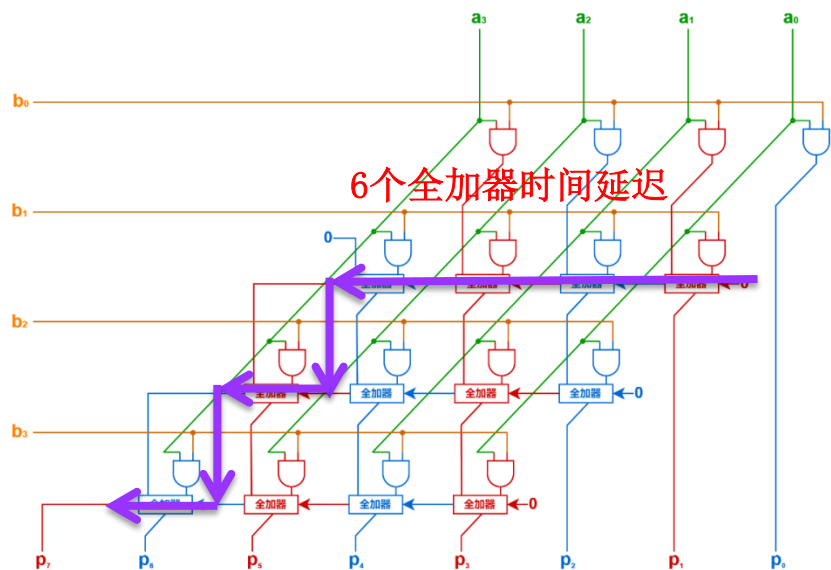


中国科学技术大学
University of Science and Technology of China

- 无符号二进制数计算过程：
- 1) **部分积**: 乘数的1位乘以被乘数的所有位，只不过二进制中部分积要么是被乘数，要么全部为0；
- 2) **部分积相加**: 移位这些部分积，并将他们相加得到最后结果；二进制中乘数某一位为1，就将部分积（被乘数）左移该位的位数。

15	被乘数	1111
x 13	乘数	x 1101
45		1111
15	部分积	0000
195		1111
	乘积	1111
		11000011
十进制		二进制

缺点: 1) 逻辑门延迟长，运算速度受限
2) 需要逻辑资源多，成本高



4位组合逻辑乘法器结构

组合逻辑乘法器



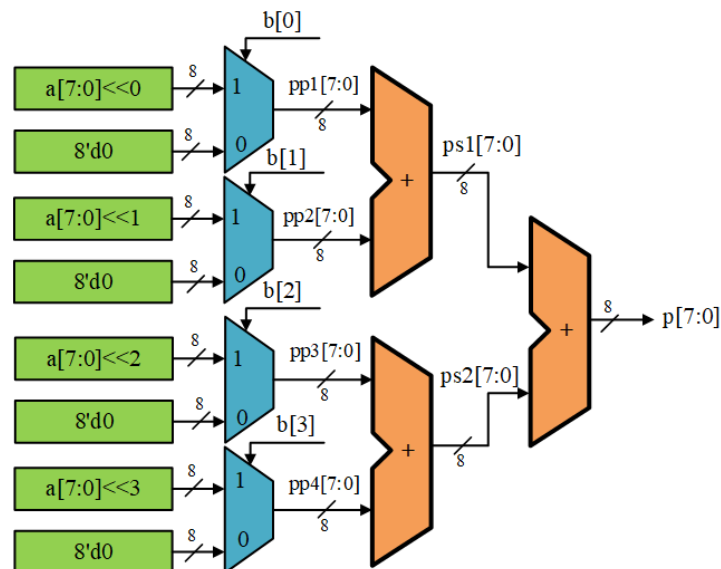
中国科学技术大学
University of Science and Technology of China

■ 树形乘法器

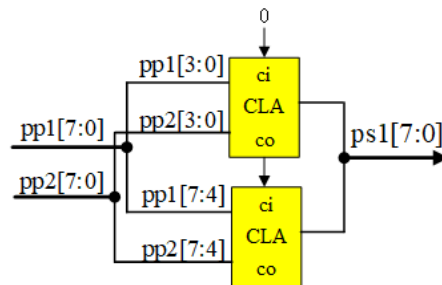
■ 要点：部分积并行相加，级内采用4位CLA，优化关键路径

■ 实现过程：

- 将4位被乘数扩展成8位；
- 采用8位两路选择器得到部分积：当乘数第 i 位 ($i=0\sim 3$) 为1时，部分积就是左移 i 位后的被乘数，否则就是0；
- 每一层二叉树使用8位加法器，每一层级内加法器可以采用两个4位超前进位加法器串联，层级间再串联。



4位树形乘法器结构



部分积级内加法器

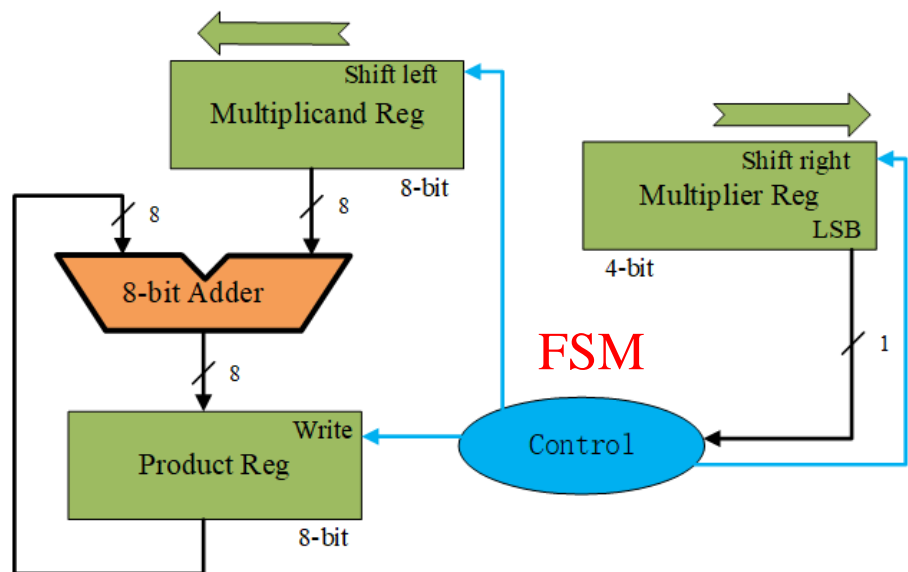
时序逻辑乘法器



中国科学技术大学
University of Science and Technology of China

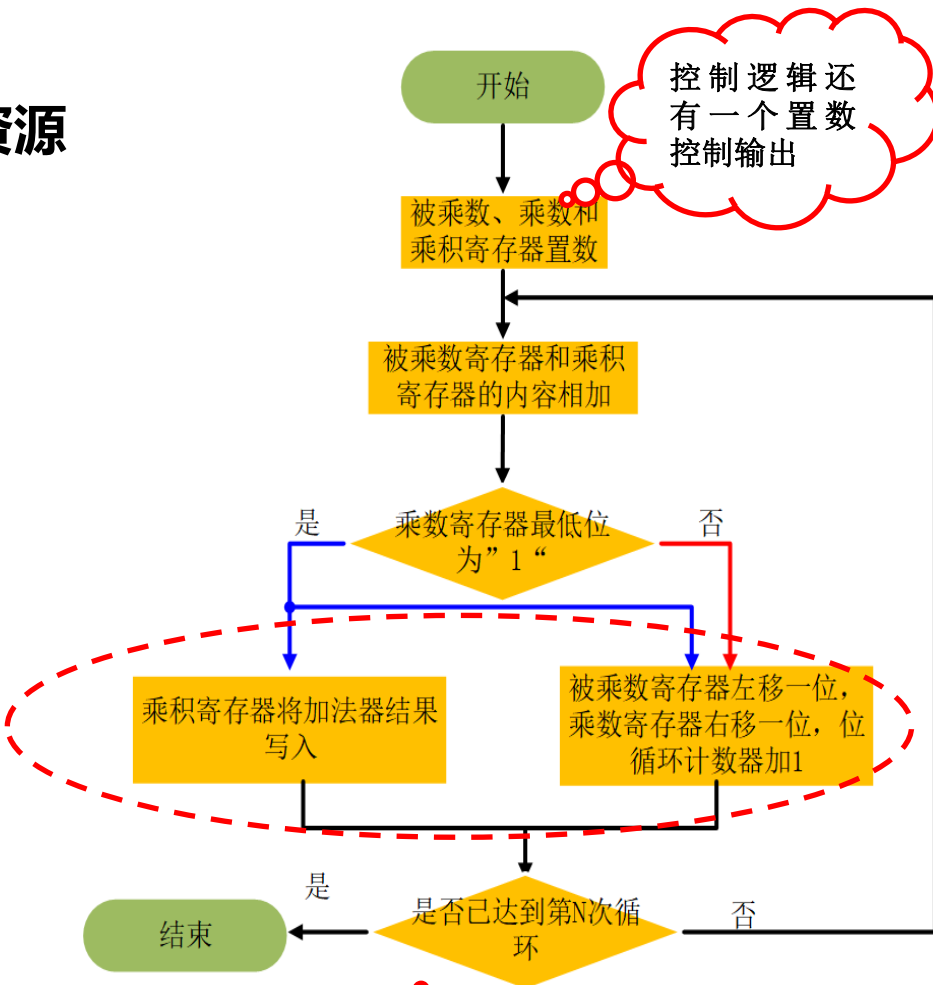
■ 移位乘法器

■ 要点：分时复用加法器，优化逻辑资源



4位移位乘法器结构

控制逻辑有一个位循环计数作为输入



控制逻辑还有一个置数控制输出

结束

移位乘法器工作流程

时序逻辑乘法器



中国科学技术大学
University of Science and Technology of China

■ 移位乘法器优化

■ 要点：减少不必要的硬件资源

■ 优化结果：

a) 被乘数寄存器缩减为4位，且取消左移功能；

b) 取消乘数寄存器；

c) 乘积寄存器位宽不变，增加右移功能，高4

位存储乘积中间结果，低4位存储乘数初始值；

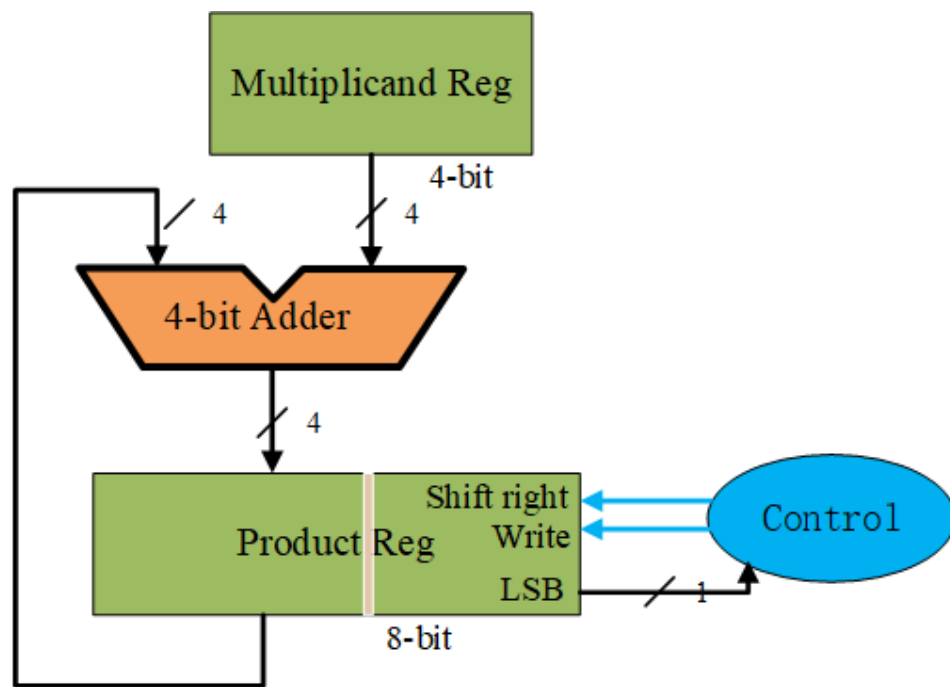
只有高4位参与加法运算；随着运算过程乘积中

间结果不断右移，最后占满乘积寄存器；

d) 加法器缩减为4位；

e) 控制逻辑接收乘积寄存器最低位输入，并

输出右移控制和写使能信号至乘积寄存器。



4位移位乘法器优化结构

■ 时序约束

■ FPGA开发离不开IO约束和**时序约束**。

■ IO约束：用于确定输入/输出端口的物理端口和电气特性，与芯片和电路设计有关。

```
set_property -dict { PACKAGE_PIN J15  IOSTANDARD LVCMOS33 } [get_ports { SW[0] }];
```

```
set_property -dict { PACKAGE_PIN L16  IOSTANDARD LVCMOS33 } [get_ports { SW[1] }];
```

```
set_property -dict { PACKAGE_PIN L16  IOSTANDARD LVCMOS33 } [get_ports { SW[2] }];
```

■ 时序约束：用于设定FPGA设计中的时序特性，以确保系统能够在**预期时钟频率下正常运行**，主要包括**时钟约束**、**偏移约束**、**静态时序路径约束**。

```
set_property -dict { PACKAGE_PIN E3  IOSTANDARD LVCMOS33 } [get_ports { CLK100MHZ }];
```

```
create_clock -add -name sys_clk_pin -period 10.00 -waveform {0 5} [get_ports {CLK100MHZ}];
```


静态时序分析STA



中国科学技术大学
University of Science and Technology of China

■ 静态时序分析STA

■ 概念

FPGA 在**加约束**、**综合**后，时序分析工具依据特定的时序模型进行分析，生成时序分析报告（**Signal Integrity Report**）。设计人员会检查时序报告、根据工具的提示找出不满足 **setup/hold time** 的路径，以及不符合约束的路径，**以保证设计能稳定地工作在某一频率下**，这个过程就是静态时序分析（Static Timing Analysis, STA）。

■ 静态时序分析作用

a) **确定芯片最高工作频率**； b) 检查时序约束是否满足 (**修改至满足时序要求**)； c) 分析时钟质量

■ 静态时序分析工作流程

静态时序分析数据准备 > > **建立时间分析** > > **保持时间分析** > > 时序设计规则分析 > > **时序违反修复**

■ 查看STA

Flow Navigator > > IMPLEMENTATION > > Open Implemented Design > > Report Timing Summary > > Design Timing Summary

静态时序分析STA



中国科学技术大学
University of Science and Technology of China

- STA模型及特点：电路是同步逻辑设计；电路被触发器分割。



- 静态时序分析相关术语



a) 建立时间 (Tsu: set up time)

是指在触发器的时钟信号上升沿到来以前，数据稳定不变的时间，如果建立时间不够，数据将不能在这个时钟上升沿被稳定的打入触发器，Tsu就是指这个最小的稳定时间。 ($WNS > 0$, $TNS = 0$)

静态时序分析STA



中国科学技术大学
University of Science and Technology of China

■ 静态时序分析相关术语

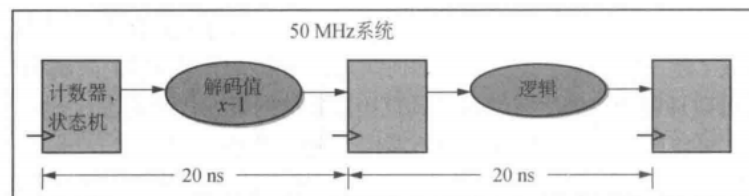
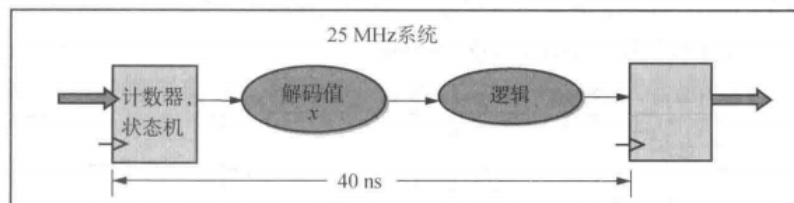
b) 保持时间 (Th: hold time)

指在触发器的时钟信号上升沿到来以后，数据稳定不变的时间，**如果保持时间不够，数据同样不能被稳定的打入触发器**，Th就是指这个最小的保持时间。($WHS > 0$, $THS = 0$)

c) 输出延迟时间 (Tco)

触发器输出的响应时间，也就是触发器的输出在clk时钟上升沿到来之后多长的时间内发生变化，也即触发器的输出延时。

■ 举例



Implementation (1 critical warning)

Route Design (1 critical warning)

❗ [Timing 38-282] The design failed to meet the timing requirements. Please see the timing summary report for details on the timing violations.

■ Report Utilization

Flow Navigator>>IMPLEMENTATION>>Open Implemented Design>>Report Utilization>>Hierarchy/Summary

- ✓ 逻辑单元 (LUT) : LUT是FPGA中最基本的逻辑单元, 可以实现任意的逻辑功能。
- ✓ 寄存器 (FF) : FPGA中的寄存器通常是D触发器, 提供时序控制和数据存储的功能。
- ✓ 片上存储器 (BRAM) : FPGA中的BRAM可以存储大量的数据, 如存储程序代码和数据。
- ✓ 输入输出 (IO) : FPGA中的IO可以连接到外部设备。

Name ^ 1	Slice LUTs (63400)	Slice Registers (126800)	Bonded IOB (210)	BUFGCTRL (32)
▼ N top	301	366	55	3
u1 (alu)	64	100	0	0
u2 (pdu)	237	266	0	0

Vivado 提供了丰富资源占用分析工具, 可以帮助工程师更加深入地了解各个子模块的资源占用情况, 并进行针对性优化, 进而提高 FPGA 设计的性能和资源利用率。

实验任务



中国科学技术大学
University of Science and Technology of China

- **[必做]理解乘法器的工作原理，掌握乘法器模块的设计方法；**
- **[必做]修改乘法器，优化空间开支，并使其适配有符号数运算；**
- **[必做]学习 Vivado 的性能分析方法，并比较不同设计方法的时间性能和电路资源使用情况；**
- **[必做]完成 Lab7 的实验练习题。**

实验检查 DDL: 11.28

报告提交 DDL: 12.5

谢谢！