



中国科学技术大学
University of Science and Technology of China

数字电路实验

Lab4

组合逻辑电路

2024/10/24

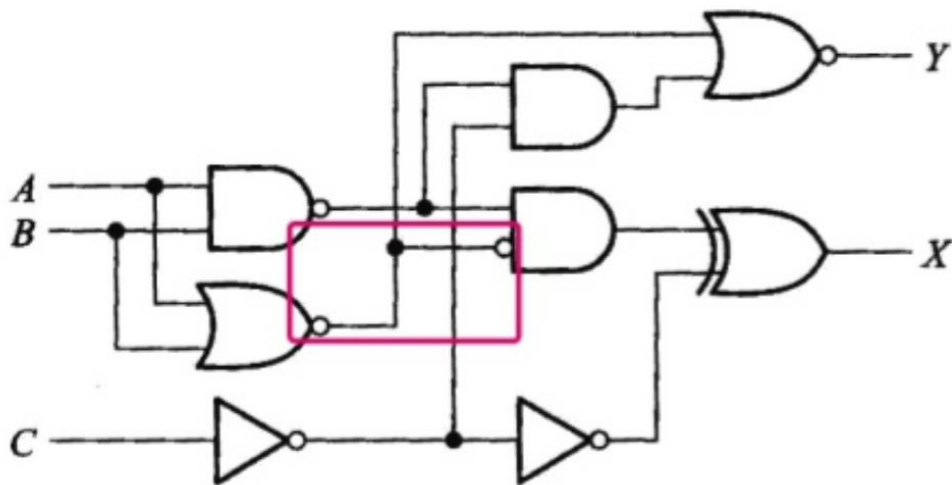
- 在本次实验中，我们将学习如何从零开始设计一个组合逻辑电路，并最终通过编写verilog代码实现。
- 我们还将介绍如何使用Logisim通过输入真值表或逻辑表达式生成我们所需要的组合逻辑电路。

组合逻辑电路



中国科学技术大学
University of Science and Technology of China

- 组合逻辑电路是数字逻辑电路中一种重要的电路类型，它由多个逻辑门（与、或、非门等）组成。
- 在任意时刻的输出仅取决于该时刻的输入，与电路原来的状态无关。所以组合逻辑电路可以看成是纯粹的逻辑运算器。



电路特点



中国科学技术大学
University of Science and Technology of China

- 由逻辑门和电线构成，没有存储器件；
- 输出仅与输入有关，不存在任何时序关系；
- 逻辑门的输出可以直接连接到其他门的输入端；
- 不允许产生任何形式的反馈。

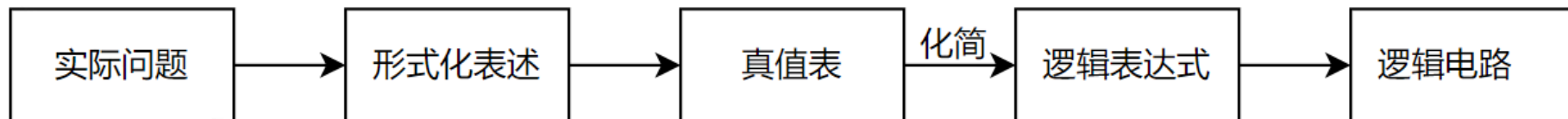


设计流程



中国科学技术大学
University of Science and Technology of China

- 一般而言，针对特定的问题，设计组合逻辑电路的流程如下图所示；
- 最终电路是以Verilog的数据流描述方式实现。



■ 实际问题

- 判断一个数是否为素数;
- 输入: 4bit的2进制无符号整数;
- 期望输出: 当输入的数是素数或1时, 输出为1, 否则为0。

■ 真值表

in	out	in	out
0000	0	0001	1
0010	1	0011	1
0100	0	0101	1
0110	0	0111	1
1000	0	1001	0
1010	0	1011	1
1100	0	1101	1
1110	0	1111	0

■ 生成逻辑表达式

- 一般而言，可以通过真值表直接得出输出信号的逻辑表达式
- 但是这样得到的逻辑表达式通常都不是最简形式。本问题中out直接根据真值表得到的逻辑表达式为：

$$out = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + \bar{A}B\bar{C}\bar{D} + \bar{A}BCD + A\bar{B}CD + AB\bar{C}\bar{D}$$

- 期望用最少的逻辑资源完成需求和目标

■ 卡诺图化简表达式

- 用于化简逻辑表达式，相比真值表更简洁直观，但依然只适用于变量少的情况。
- 画圈原则：
 1. 需要包含所有为 1 的方格，不能包含为 0 的方格；
 2. 圈可以重叠，但必须为矩形，且大小为 2 的幂；
 3. 每个圈需要尽可能大。换而言之，圈的数目应当尽可能少。

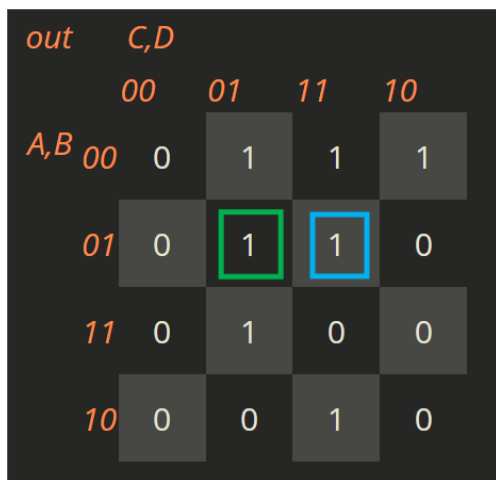


Figure a shows a 4x4 Karnaugh map for a function with variables A, B, C, and D. The map is labeled 'out C,D' and 'A,B'. The columns are labeled 00, 01, 11, 10 and the rows are labeled 00, 01, 11, 10. The values in the cells are: (00,00)=0, (01,00)=1, (11,00)=1, (10,00)=1; (01,01)=0, (11,01)=1, (10,01)=0; (11,11)=0, (10,11)=0; (10,10)=1. Two circles are drawn: a green circle around the cell (01,01) and a blue circle around the cell (11,01).

out C,D	00	01	11	10
A,B 00	0	1	1	1
01	0	1	1	0
11	0	1	0	0
10	0	0	1	0

图a

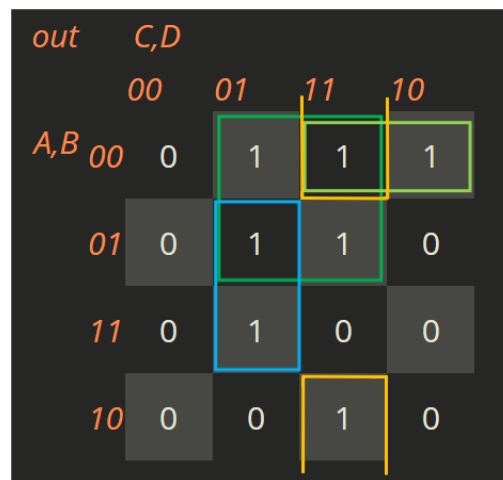


Figure b shows the same 4x4 Karnaugh map as Figure a, but with four circles drawn: a green circle around the cells (01,00) and (01,01), a blue circle around the cells (11,00) and (11,01), a yellow circle around the cells (11,00) and (11,11), and an orange circle around the cells (10,00) and (10,11).

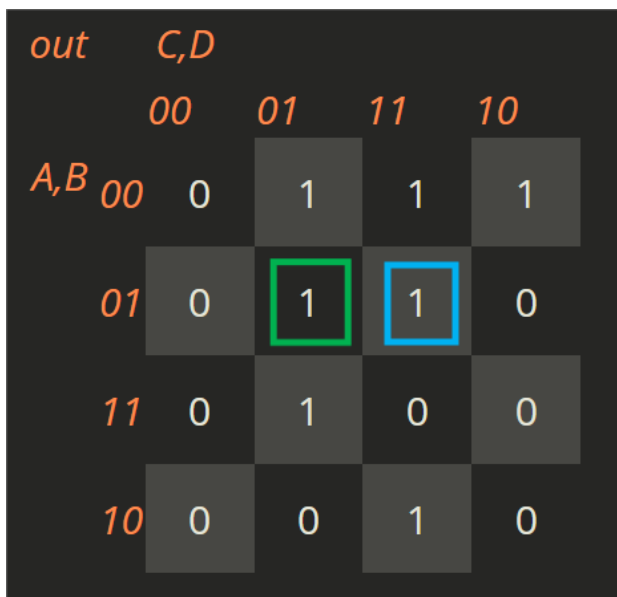
out C,D	00	01	11	10
A,B 00	0	1	1	1
01	0	1	1	0
11	0	1	0	0
10	0	0	1	0

图b

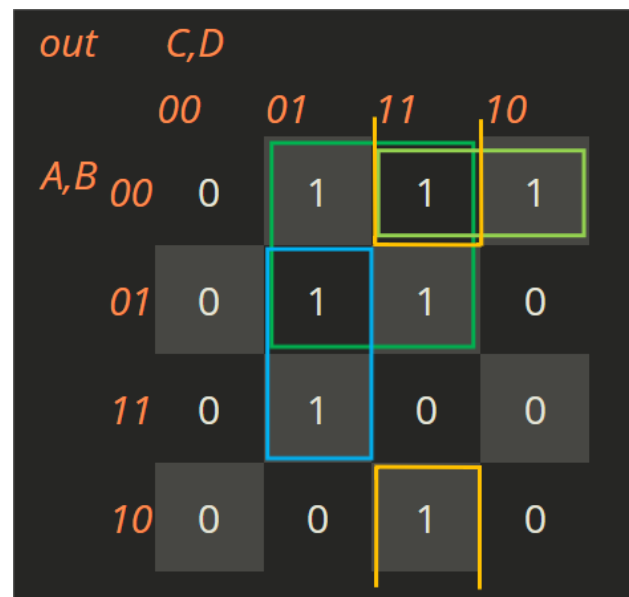
■ 卡诺图化简表达式

- 我们可以根据图b得到相应的表达式：

$$out = \bar{A}D + B\bar{C}D + \bar{A}\bar{B}C + \bar{B}CD$$



图a



图b

■ Verilog实现

- 根据上述表达式，可以使用verilog来实现挑选素数的功能；
- 这里采用数据流描述方式来实现。

```
1  module Prime (  
2      input [3:0]          in,  
3      output              out  
4  );  
5  wire A = in[3];  
6  wire B = in[2];  
7  wire C = in[1];  
8  wire D = in[0];  
9  assign out = (~A&D) | (B&~C&D) | (~A&~B&C) | (~B&C&D);  
10 endmodule
```

■ 其他实现形式

- 上述流程适用于简单的组合逻辑电路设计；
- 随着实际问题变得复杂，大多数应用场景一般很难直观了解电路结构，更多的是使用Verilog 行为级描述直接实现模块的功能；
- 参考实验文档“案例分析”部分。

```
1 module Encode(  
2     input    [3:0]  
3     output reg [1:0]  
4 );  
5 always @(*) begin  
6     case (I)  
7         4'b1000: Y = 2'b11;  
8         4'b0100: Y = 2'b10;  
9         4'b0010: Y = 2'b01;  
10        4'b0001: Y = 2'b00;  
11        default: Y = 2'b00;  
12    endcase  
13 end  
14 endmodule
```

简单编码器

```
1 always @(*) begin  
2     valid = 1;  
3     casez (I)  
4         4'b1??? : Y = 2'b11;  
5         4'b01?? : Y = 2'b10;  
6         4'b001? : Y = 2'b01;  
7         4'b0001 : Y = 2'b00;  
8         default: begin  
9             Y = 2'b00;  
10            valid = 0;  
11        end  
12    endcase  
13 end
```

优先编码器

```
1 module Decoder (  
2     input [2:0]      A,  
3     output reg [7:0] Y  
4 );  
5 always @(*) begin  
6     case (A)  
7         3'b000: Y = 8'b0000_0001;  
8         3'b001: Y = 8'b0000_0010;  
9         3'b010: Y = 8'b0000_0100;  
10        3'b011: Y = 8'b0000_1000;  
11        3'b100: Y = 8'b0001_0000;  
12        3'b101: Y = 8'b0010_0000;  
13        3'b110: Y = 8'b0100_0000;  
14        3'b111: Y = 8'b1000_0000;  
15    endcase  
16 end  
17 endmodule
```

译码器

■ 实际问题

- 考虑一个 3bits 优先编码器，输入为 3bits，输出为 2bits。
- 当输入均为 0 时，输出为 11，代表无输入；否则输出为当前的优先编码结果。

■ 初步分析

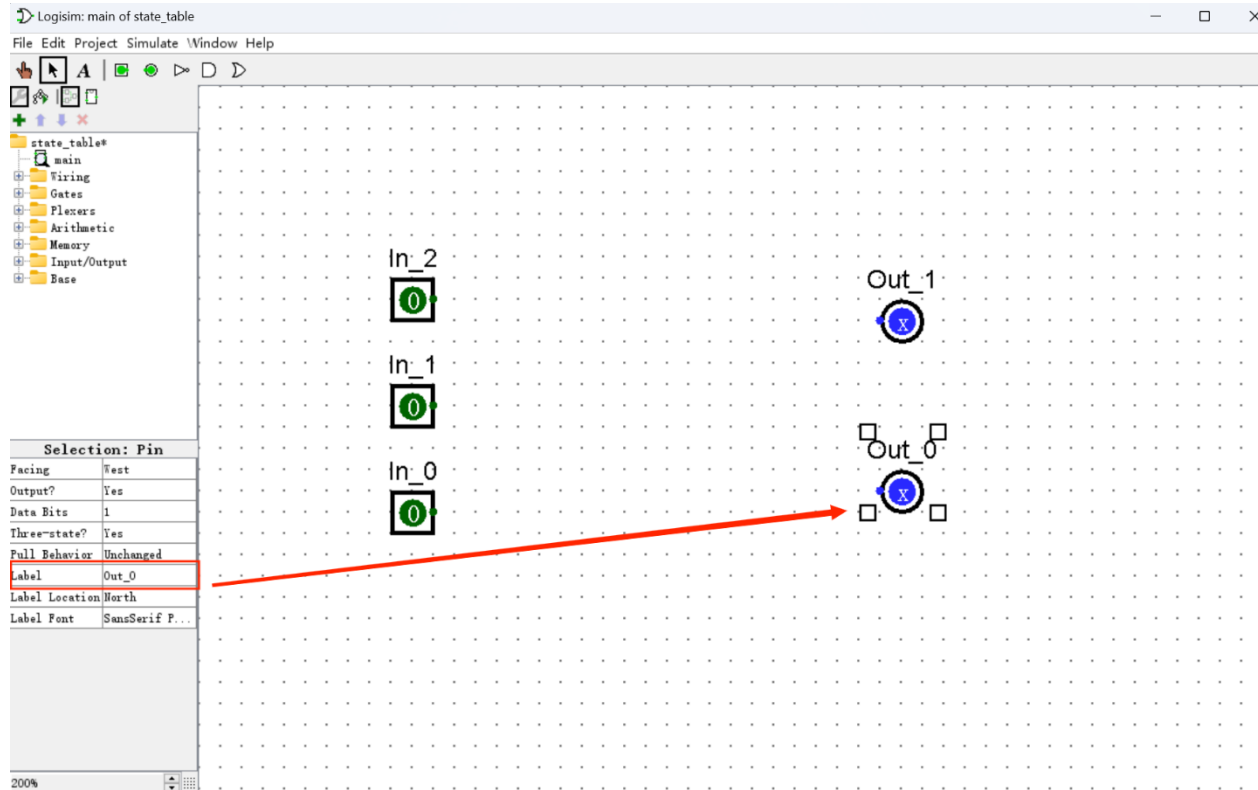
- 输入：In_0、In_1、In_2；输出：Out_0、Out_1

Logisim生成电路



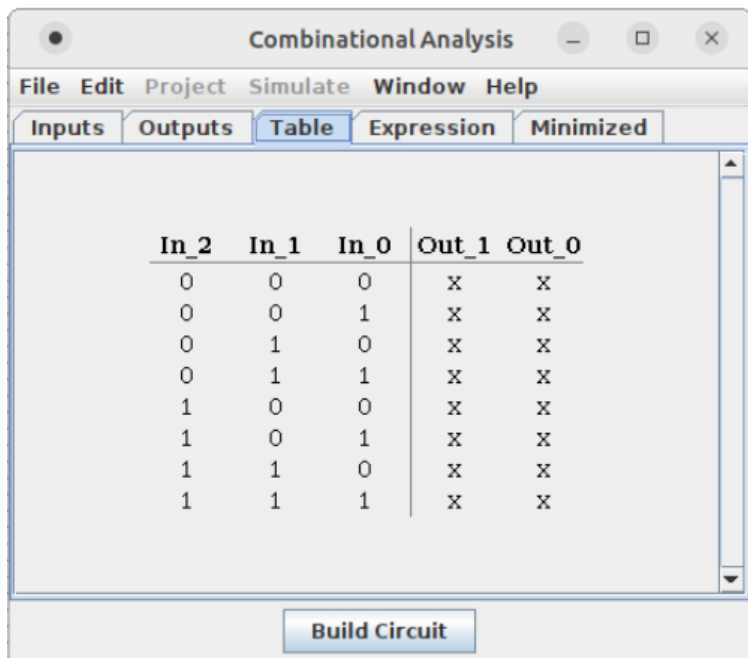
中国科学技术大学
University of Science and Technology of China

■ 1. 布置引脚

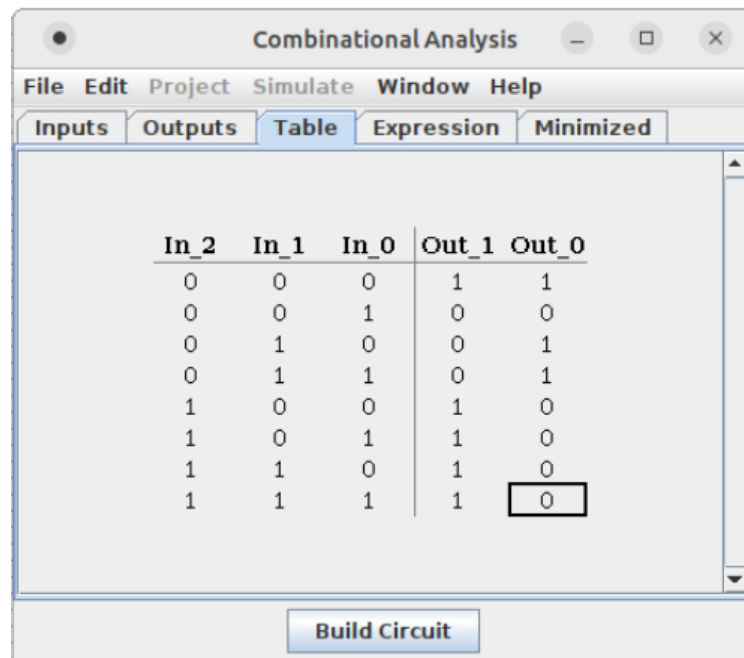


■ 2.1 输入真值表

Project->Analyze Circuit->Table



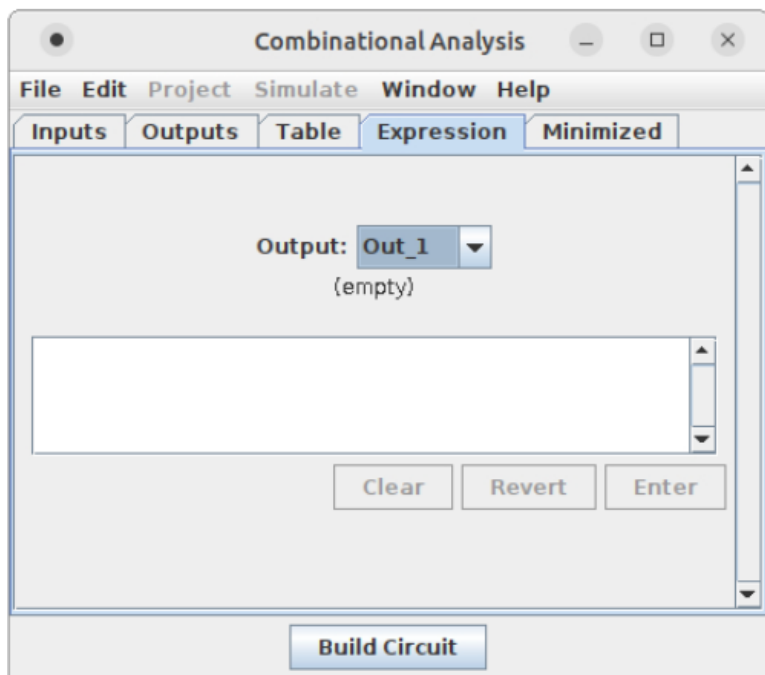
打开窗口



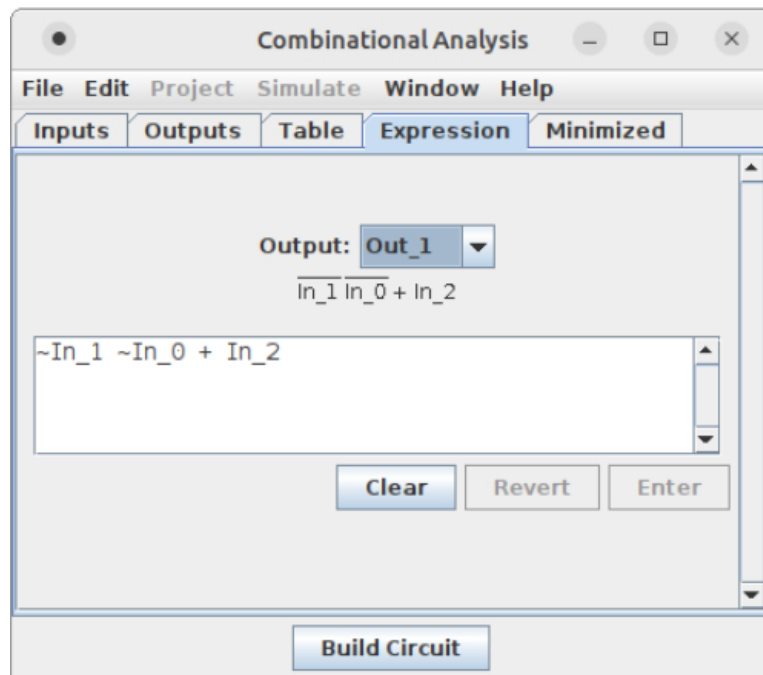
输入真值表

■ 2.2 输入表达式

Project->Analyze Circuit->Expression

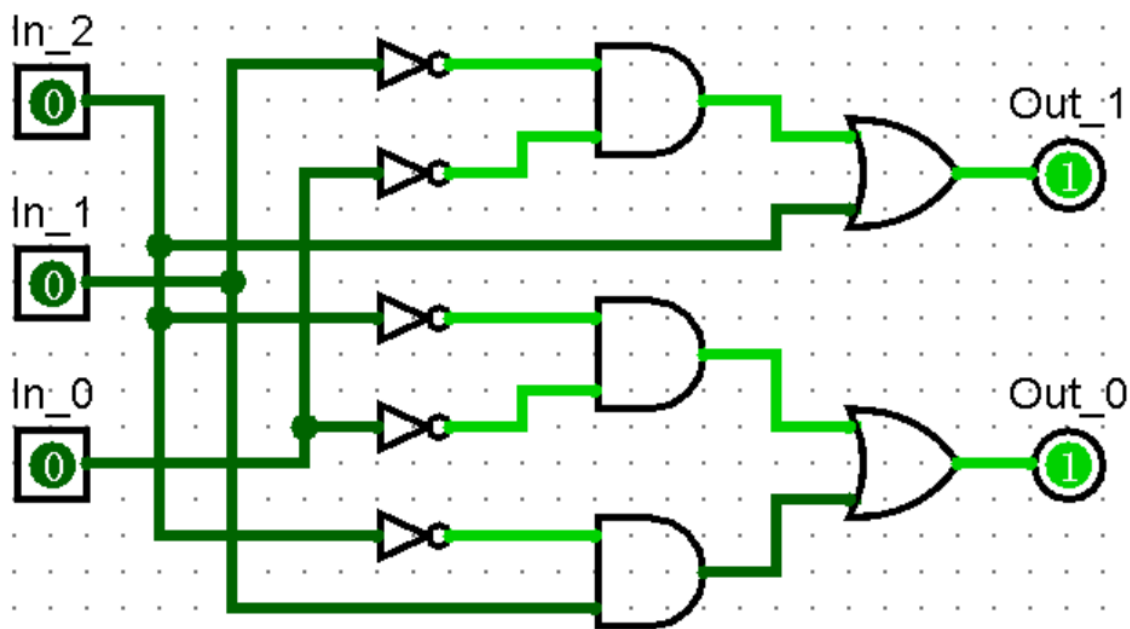


打开窗口



输入表达式

■ 3. 自动生成电路



实验任务



中国科学技术大学
University of Science and Technology of China

- **【必做】 学习组合电路的设计流程**
- **【必做】 学习组合逻辑电路设计的实例**
- **【选做】 学习如何使用 Logisim 自动生成组合逻辑电路**
- **【必做】 完成 Lab4 相关练习**

实验检查 DDL: 10.31

报告提交 DDL: 11.07

谢谢！