

宋昕乐

erics311@ucla.edu | 131-2227-3608 | github.com/EricSongXinLe



教育经历

- 加州大学洛杉矶分校 (UCLA)2023 年 9 月 - 2027 年 6 月 (预计)
- 计算机工程专业理学学士 GPA: 3.862/4.0 院长荣誉提名
 - 获得校 John Richard Leffler 奖学金 (唯一获奖的国际学生)

专业技能

- 编程语言: C/C++, Verilog/SystemVerilog, Python, JavaScript, HTML/CSS
- 开发工具: Vivado, Linux, OpenMP, CMake, Docker, GDB, Git
- 技术: 计算机架构, FPGA, 并行计算, 嵌入式系统, 传感器融合, PID 控制

实习、科研经历

- UCLA ORCAS 实验室本科生研究员2025 年 1 月 - 至今
- 研究 **Vortex GPU** 在轻量级 FPGA 上的实现, 优化 **RTL 代码** 以适配硬件资源限制。
 - 设计 **Vortex 驱动库**, 实现 **RISC-V** 环境下的 GPU 加速。
 - 探索轻量级 **FPGA 资源管理** 与 GPU 指令执行优化策略, 提升系统性能。

- UCLA NanoCAD 实验室本科生研究员2024 年 10 月 - 至今
- 集成 **CATCH** 与 **HISIM-脉动阵列** 模型, 模拟 AI 专用芯片, 深入分析芯粒系统的尺寸、功耗、性能权衡。
 - 开发 Python **转译程序**, 将 **CATCH** 模型的 **XML** 参数输入 (如 芯粒架构: CPU、GPU、Memory) 转换为 **HISIM** 模拟脉动阵列芯片所需的输入格式, 实现两种模型的无缝集成。
 - 目标是优化芯片设计决策, **提高计算效率与良率**, 并为未来 Chiplet 设计提供数据支撑。

- UCLA CHIPS 实验室本科生研究员2024 年 1 月 - 2024 年 10 月
- 主导开发 **FlexTrate LED 显示屏的 C 语言驱动**, 使其兼容新款 **TLC6984 驱动芯片** 及 **11×11 显示阵列**。
 - 分析代码库, 梳理现有逻辑后, 设计并实现 **像素级控制算法**, 成功以 **25 FPS 速率** 显示 “UCLA” 字样。
 - 编写 **自动化测试脚本**, 覆盖显示屏自检流程, 将测试时间缩短 **70%**, 大幅提升调试效率。

项目经历

- 带五级流水线的 RISC-V CPU 模拟器 | C++11, 计算机体系结构, GNU Make, Git2025 年 1 月 - 至今
- 使用 **C++** 实现了基于 **RISC-V 指令集** 的 **五级流水线 CPU 模拟器**。
 - 完成 **指令解码、执行及流水线时序逻辑**, 通过所有功能和时序测试。
 - 使用 **GNU Make** 和基于 **Linux** 的开发环境 (**Ubuntu 18.04+**) 验证并调试代码。
 - 交付了完整且准确的模拟器, 成功满足项目 **所有评分标准**。

- 基于 FPGA 的音频可视化工具 | System Verilog, Quartus, FPGA 开发, Git2024 年 10 月 - 至今
- 利用 **RTL 设计** 和 **数字逻辑**, 开发一个基于 **FFT** 的项目, 在 **VGA 显示屏** 上动态展示音频频率的变化。
 - 学习 **时序电路** 和 **组合电路** 以及 **Quartus** 等行业常用工具的实践经验。

- Brewin 解释器 | Python, 抽象语法树 (AST), 静态类型, Git2024 年 10 月 - 2024 年 12 月
- 主导 **Brewin 编程语言解释器** 开发, 实现 **静态类型检查**、**用户自定义结构体** 和 **类型转换**, 扩展语言功能。
 - 优化解析和执行流程, 支持 **嵌套结构体**、**默认返回值** 及 **按值/引用传参**, 增强语言表达能力。
 - 设计 **作用域管理** 单元, 高效实现 **for/if 语句**、**函数声明与调用**、**静态作用域** 等核心功能, 将变量解析速度提升 **30%**。
 - 构建全面的 **单元测试** 框架, 覆盖所有边界情况, 严格符合 **Brewin 语言规范**, 测试通过率达 **100%**。