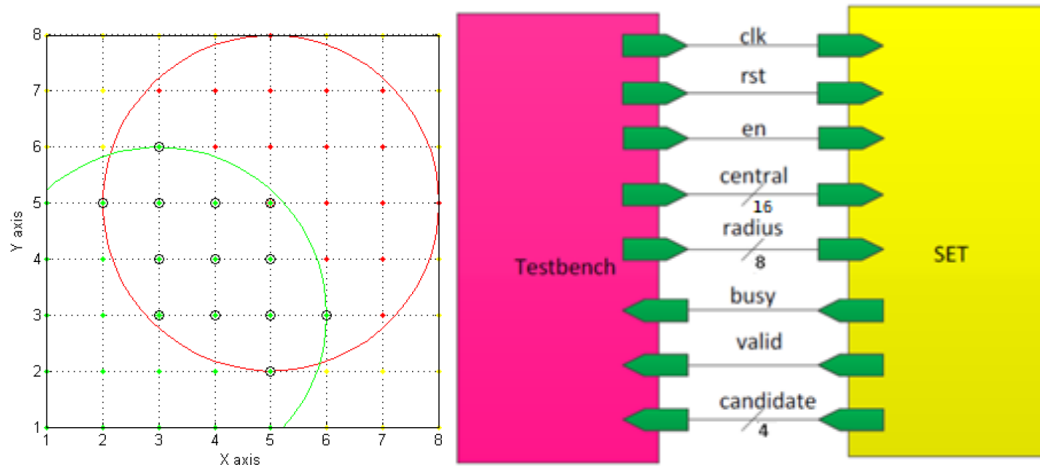


2021 ICD HW2 & 3 – Digital IC Design

Counting the Number of United Vertex Covers

1. 問題描述

本題目須完成利用所提供之圓形圖，計算 A、B 兩個集合交集所覆蓋的格子點個數。此測試模組之 10x10 座標系統 x,y 座標範圍落在 0~9 之間。如下圖一所示，在座標系統內有兩圓形，其中 A、B 圓心座標分別為(3,3)及(5,5)，半徑 $r=3$ ，其交集所涵蓋(包含剛好坐落在圓周上的點)的 10x10 中每一整數座標點形成一個集合為 $A \cap B = \{\dots\}$ ，|集合 $A \cap B$ | 則表示所涵蓋的元素數量，電路最後輸出此集合內的元素個數 13。(兩圓 r 可能不同，其中圓心座標與半徑皆是整數。)



圖一、二維座標系統與系統方塊圖

2. 設計規格

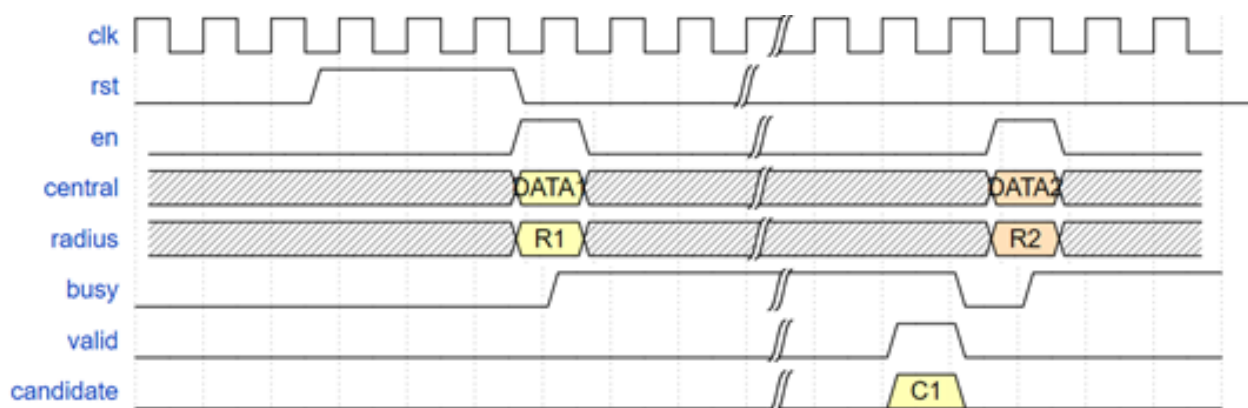
信號名稱	輸出/入	位元寬度	說明
<i>clk</i>	<i>Input</i>	1	時脈信號，本系統為同步於時脈正緣設計
<i>rst</i>	<i>Input</i>	1	高位準非同步(active high asynchronous)之系統重置訊號
<i>en</i>	<i>Input</i>	1	當 <i>en</i> =1 時，輸入的 <i>central</i> 及 <i>radius</i> 為有效訊號
<i>central</i>	<i>Input</i>	16	集合座標資料。其組成為 {x,y, x,y}，其中 <i>central</i> [15:8]：為 A 集合的 X,Y 軸座標 <i>central</i> [7:0]：為 B 集合的 X,Y 軸座標
<i>radius</i>	<i>Input</i>	8	集合半徑資料。 <i>radius</i> [7:4] 為 A 集合的半徑值 <i>r</i> <i>radius</i> [3:0] 為 B 集合的半徑值 <i>r</i>
<i>busy</i>	<i>Output</i>	1	系統忙碌指示訊號。當此訊號為 1 時表示系統為忙碌中。
<i>valid</i>	<i>Output</i>	1	當 <i>valid</i> =1 時，輸出訊號為有效訊號，testbench 會檢查 <i>candidate</i> 是否正確
<i>candidate</i>	<i>Output</i>	4	輸出題目所指定的元素個數

表一、輸入/輸出訊號

3. 系統功能描述

當 reset 結束後。每當測試模組偵測到 busy=0 且經時脈訊號負緣觸發時會立刻送出輸入致能訊號 en、集合座標資料 central 及集合半徑資料 radius；而當 en=1 且經時脈訊號正緣觸發之 central 及 radius 為有效輸入訊號。系統需在接收到有效輸入訊號後將 busy 拉為 1 表示系統忙碌中，並計算出其集合空間裡所涵蓋的元素個數（10x10 座標系統外的不須理會）。接著系統須將 valid 拉為 1 並同時將前述計算完成之集合座標點數目利用 candidate 訊號輸出。接著請再次將 busy 設定為 0 表示系統閒置，測試模組將在偵測到 busy=0 且經時脈訊號負緣觸發後輸出下一筆待測訊號。

詳細的時序圖請參考圖三。



圖三、系統時序圖

4. 檔案說明

檔名	說明
testbench.v	測試樣本檔，此 testbench 共輸入 64 組測資
SET.v	設計檔，請勿更改輸入輸出宣告，同學請於此檔案內做設計
./dat/Central_pattern.dat	Central 測試樣本
./dat/Radius_pattern.dat	Radius 測試樣本
./dat/candidate_result_Length.dat	Candidate 比對樣本
sythesis.tcl	合成用 design constraint 資料，可在裡面修改 cycle
.synopsys_dc.setup	合成用 Design compiler 環境設定檔(不須更動)
tsmc13.v	合成模擬用製程檔
./layout/SET_APR.sdc	APR 用 design constraint 資料，可在裡面修改 cycle
./layout 其餘檔案&.library	APR 用資料(不須更動)
.syn/tsmc13_neg.v	APR 模擬用製程檔

5. RTL 模擬指令

本次提供一個 testbench，模擬相關指令如下。

```
ncverilog testbench.v SET.v
```

如果要輸出波形，可以使用+define+FSDB 或者是+define+VCD 並且加上 +access+r

```
ncverilog testbench.v SET.v +define+FSDB +access+r
```

```
ncverilog testbench.v SET.v +define+VCD +access+r
```

6. Synthesis 模擬指令

Synthesis 合成後 testbench，模擬相關指令如下。

```
ncverilog testbench.v SET_syn.v tsmc13.v +define+SDFSYN
```

如果要輸出波形，可以使用+define+FSDB 或者是+define+VCD 並且加上 +access+r

```
ncverilog testbench.v SET_syn.v +define+FSDB+SDFSYN +access+r
```

```
ncverilog testbench.v SET_syn.v +define+VCD+SDFSYN +access+r
```

調整 testbench 中的 cycle time，必須和.tcl 中的 cycle time 相同，如果模擬沒過，可以慢慢提高 testbench 中的 cycle time，直到通過為止。

7. APR 模擬指令

APR 後的 testbench，模擬相關指令如下。

```
ncverilog testbench.v SET_APR.v -v ./syn/tsmc13_neg.v +define+SDFAPR +ncmaxdelays
```

如果要輸出波形，可以使用+define+FSDB 或者是+define+VCD 並且加上 +access+r

調整 testbench 中的 cycle time，必須和.sdc 中的 cycle time 相同，如果模擬沒過，可以慢慢提高 testbench 中的 cycle time，直到通過為止。

如果跳一兩個 error 說 SET_APR.v 中某幾行有 ANTENNA...之類的問題，進入檔案把它們註解掉即可。

8. 模擬結果

如果模擬結果都正確的話，應該可以看到如下圖的結果

```
Pattern      62 is passed !
Pattern      63 is passed !
----- Simulation Stops !!-----
=====
**          **
** Congratulations !! **
** Simulation Complete!! **
**          **
*****
/|_|/
/ 0,0
/ ^ ^ ^ \
|^ ^ ^ ^ |w
\m _ m _|
```

圖四、模擬結果正確

有錯誤時，則可能會出現

```
Pattern      62 failed !. Expected candidate = 24, but the Response candidate = 168 !!
Pattern      63 failed !. Expected candidate = 34, but the Response candidate = 178 !!
----- Simulation Stops !!-----
=====
(T_T) ERROR found!! There are          2 errors in total.
=====

Pattern      8 failed !. Expected candidate = 225, but the Response candidate = 194 !!
Pattern      9 failed !. Expected candidate = 9, but the Response candidate = 18 !!
=====
(>_<) ERROR!! There are more than 10 errors during the simulation! Please check your code @@
=====
```

圖五、模擬結果錯誤

```
----- [ Simulation Starts !! ] -----
Pattern      0 is passed !
=====
(/'n`)/ ~# There is something wrong with your code!!
Time out!! The simulation didn't finish after      200000 cycles!!, Please check it!!!
=====
Simulation complete via $finish(1) at time 200 US + 0
```

圖六、模擬時間超過 TIMEOUT

如果出現如圖六的訊息時，則可能是 ENDCYCLE 數字太小，使得你的模擬來不及跑完，或是你的控制訊號有誤，輸出太少，請同學檢查 valid 訊號，或調整 testbench 中的 ENDCYCLE。

8. 作業要求

[HW2]

1. 通過 testbench 的 RTL Level 模擬
2. 繳交檔案如下：HW2_b0*901***.zip

分類	檔案名稱	描述
RTL	SET.v	RTL Verilog Code

[HW3]

1. 通過 testbench 的 Synthesis Level 模擬
2. 通過 testbench 的 Layout Level 模擬
3. Layout 設計品質

Score = Area*Timing、越小越好

Area = Area report 中的 total cell area

Timing = testbench 所執行的時間 (舉例如下圖為 315ns)

```
Simulation complete via $finish(1) at time 315 NS + 0
```

提示：盡量把 cycle 壓低，slack 接近 0

4. 繳交檔案如下：HW3_b0*901***.zip

分類	檔案名稱	描述
RTL	SET.v	RTL Verilog Code (可修改，不須跟 HW2 相同)
Synthesis	SET_syn.v	Synthesis Verilog Code
Synthesis	SET_syn.sdf	SDF file
Synthesis	SET_syn.ddc	DDC file

Synthesis	SET_timing.txt	Timing Report
Synthesis	SET_area.txt	Area Report
Synthesis	SET_power.txt	Power Report
APR	SET_APR.v	Netlist Verilog Code
APR	SET_APR.sdf	SDF file
Report	b0*901***_report.pdf	填寫 report.doc 存成 pdf

9. 繳交期限

[HW2] 5/5 (三)中午 13:00 以前上傳至 Ceiba

[HW3] 5/26 (三)中午 13:00 以前上傳至 Ceiba

同學如果有任何問題，請先盡量透過 email 詢問助教。剛開始學習大家遇到的問題都會蠻像的，如果要寄 email，**請同時寄給兩位助教**，記得在信件前加 [積體電路設計] 避免漏信。

助教 林奕憲 d06943006@ntu.edu.tw

助教 葉陽明 d05943006@ntu.edu.tw