Sistemas Digitais II

Caio Vinícius Jun Pereira
Caio Hokama Freitas
João Pedro Lopes de Sousa Gomes
Erick Diogo de Almeida Sousa
Pedro Guilherme Croitor da Cruz

Atividade Formativa 1

Introdução

Aqui será apresentado o sumário do que foi desenvolvido para a consolidação da Atividade Formativa 1, respectivamente com o passo a passo seguindo e a linha de raciocínio em cada etapa.

Passso a passo

Inicialmente a equipe tentou seguir as etapas do projeto, apresentada no enunciado, iniciando pelo entendimento do algoritmo, mas posteriormente preferiu seguir uma ordem própria, passando em seguida, para o desenvolvimento do pseudocódigo, elaboração do diagrama ASM, identificação dos elementos do fluxo de dados e seus respectivos sinais de controle e sinais de condição, codificação do circuito e da testbench em VHDL e por fim, simulando os casos de teste.

Entendimento do algoritmo

Primeiramente, o grupo se preocupou em entender o funcionamento do algoritmo do multiplicador ilustrado no enunciado, detalhando o passo a passo das ações tomadas até a obtenção do resultado. Tendo isso em mente, o grupo verificou que, basicamente, o algoritmo replica aquilo que aprendemos quando temos o primeiro contato com a operação de multiplicação. Isto é, é feita a multiplicação de cada algarismo do multiplicador com o multiplicando, somando cada resultado parcial, deslocando-o.

Da mesma forma que foi descrita anteriormente, o algoritmo do multiplicador de 4 bits começa a operação pelo algarismo das unidades do multiplicador, adicionando o resultado da multiplicação a um resultado parcial. Após percorrer todos os 4 bits do multiplicador, obtemos o resultado final. A cada mudança de algarismo do multiplicador, desloca-se o resultado parcial uma casa para a direita. Contudo, no caso dessa atividade, esse processo é mais simples, pois temos apenas os bits '1' e '0' para analisar. Ou seja, caso o algarismo analisado seja '1', soma-se o valor do multiplicando ao resultado parcial e desloca-se o valor obtido para a direita. Quando o algarismo for igual a '0', soma-se “0000” ao resultado parcial e desloca-se o valor obtido para a direita.

Pseudocódigo

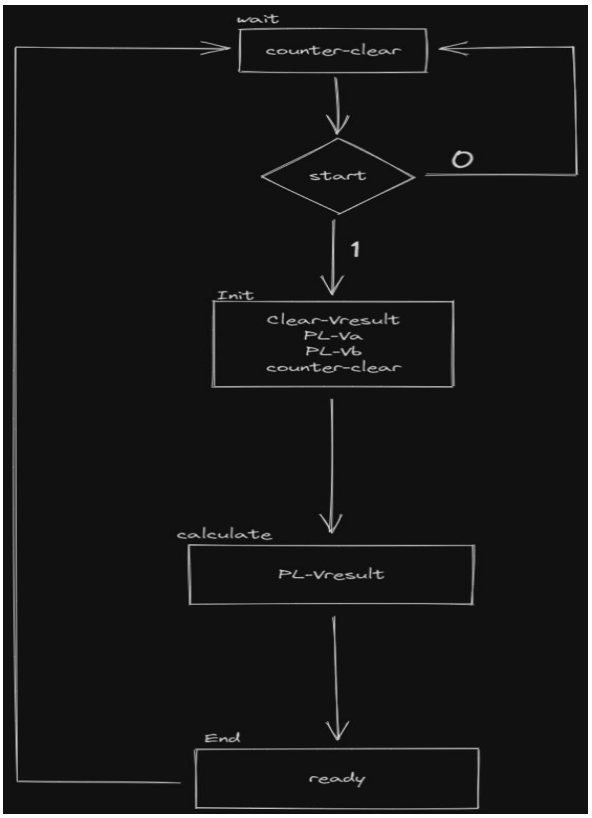
Após o entendimento do passo a passo a ser aplicado no algoritmo, o grupo propôs a criação de um pseudocódigo para auxílio na construção das demais etapas. O objetivo do pseudocódigo foi

propor um código simples, com base no entendimento do algoritmo. No pseudocódigo definimos as variáveis, para o multiplicando, multiplicador e o resultado da operação, em seguida, criamos um “loop” em que as operações seriam realizadas, tanto de soma e de deslocamento. No “loop” foram usados operadores “if´s” e “elses´s” para identificar se o algoritmo em análise do multiplicador era zero ou um, de maneira que no primeiro caso seguia para um deslocamento e no segundo caso seguia para uma soma, seguida de um deslocamento. Assim, no final do código, com o fim do “loop”, era dado o resultado da operação de multiplicação.

Diagrama ASM

Nessa etapa, foram verificadas as condicionais, bem como as mudanças de estado que serão necessárias para a elaboração do algoritmo posteriormente. O grupo utilizou variáveis para: armazenar os valores do multiplicador, do multiplicando, do resultado parcial e resultado final, além de variáveis para indicar início e parada do código.

Os principais desafios encontrados foram as lógicas de iteração para analisar cada algarismo um a um do sinal multiplicador, além da lógica de deslocamento do resultado parcial. Abaixo, temos uma imagem ilustrando o diagrama de alto-nível obtido pelo grupo, omitindo os sinais internos para fins de simplificação:

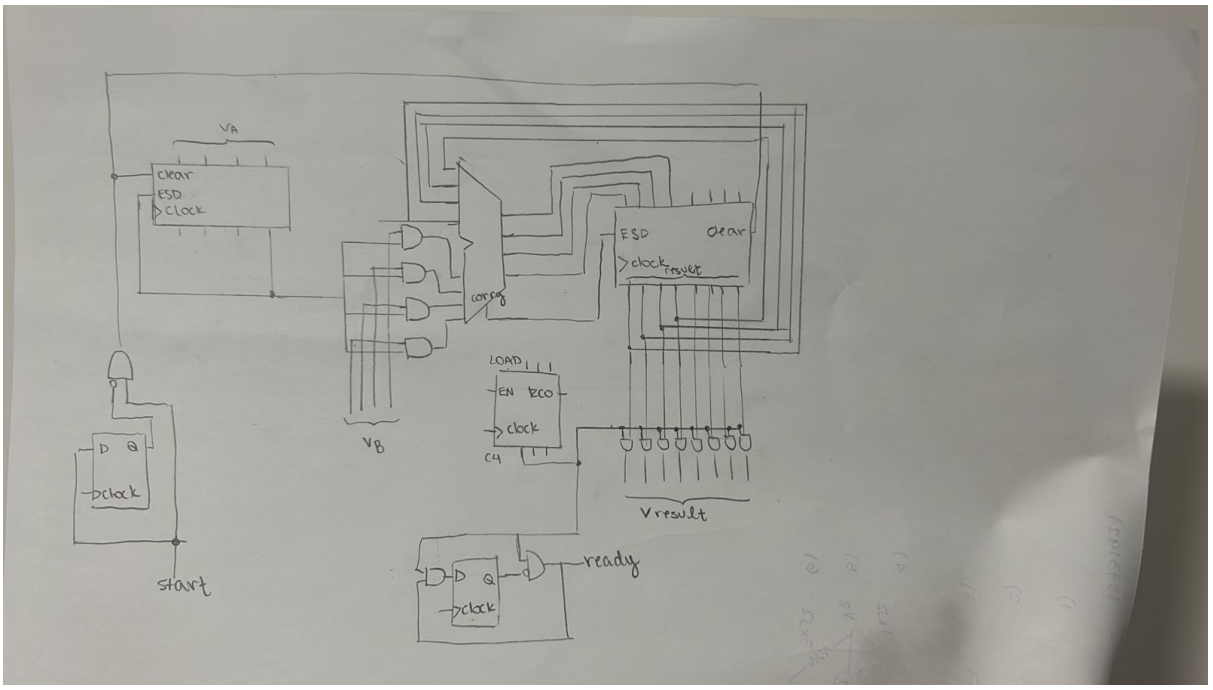


A lógica consiste em, primeiramente, receber os valores dos multiplicador e multiplicando e inicializar a variável de iteração i (valor armazenado por um contador) com o valor '0'. Feito isso, verifica-se se o algarismo do multiplicador a ser analisado é equivalente a '0'. Em caso afirmativo,

desloca-se o resultado parcial uma unidade para a direita e acrescenta-se '1' à variável iteradora i. Em caso negativo, soma-se o valor do multiplicando ao resultado parcial e, em seguida, desloca-se o valor obtido na soma (que será o novo resultado parcial) para a direita e acrescenta-se '1' ao i.

Desenho do circuito

Abaixo, temos uma ilustração do circuito do multiplicador de 4 bits:



Em primeiro lugar, foi feito o circuito relacionado à variável "ready" da multiplicação. Como o circuito deveria ser sensível a mudanças nessa variável, utilizou-se um flip-flop para detectar suas bordas de subida. Para fazer com que os algarismos do multiplicador sejam analisados um a um, o grupo escolheu um registrador deslocador para a direita, o que também foi usado para realizar o deslocamento dos resultados parciais. O somador foi escolhido para as operações de somas parciais do algoritmo, sendo que nas portas em que seriam carregados os algarismos do multiplicando, foram colocadas portas lógicas “and “ para verificar se o dígito de Va é '0' ou '1'. Na saída do circuito, onde será carregado o Vresult, também foram adicionadas portas “and”. Isso porque, segundo o diagrama estabelecido pelo grupo, devemos apenas carregar o resultado quando ready for igual a '1'.

Codificação em VHDL

Por fim, foi desenvolvido o código em VHDL, bem como a sua testbench, para a realização dos testes, que foram entregues em um arquivo zip, pelo Moodle.

Primeiramente, é importante destacar que, ao longo do desenvolvimento, foram incluídos mais elementos, como um registrador que armazena o valor do “carry-out” do somador.

Como se pode ver, o teste foi bem sucedido em todos os casos.