

Proyecto 2

Circuitos Digitales II

Grupo 4:

Gian Carlo Pochet

Erick Sancho

Kevin Cambronero

Bitácora

Semana	Plan de pruebas	Memoria y FIFO	Máquina de estados	Clasificación, enrutamiento, flow control	Interconexión	Pruebas
1	Todos	Erick				
2			Kevin	Gian Carlo		
3					Todos	
4						Todos

Memoria / FIFO

- Sincronización
- Error en el caso de escritura y lectura al mismo tiempo en caso de FIFO lleno
- Problemas con la parametrización

Máquina de estados

- Reset
- Umbrales por defecto
- Umbrales alto y bajo
- Umbrales intermedios
- Asignación de valores en distintos bloques always

Clasificación, enrutamiento y flow control

- Problemas con el código
- Problema con la logica de pause and empty
- No se comprendió en un inicio la lógica detrás del flow control

Interconexión

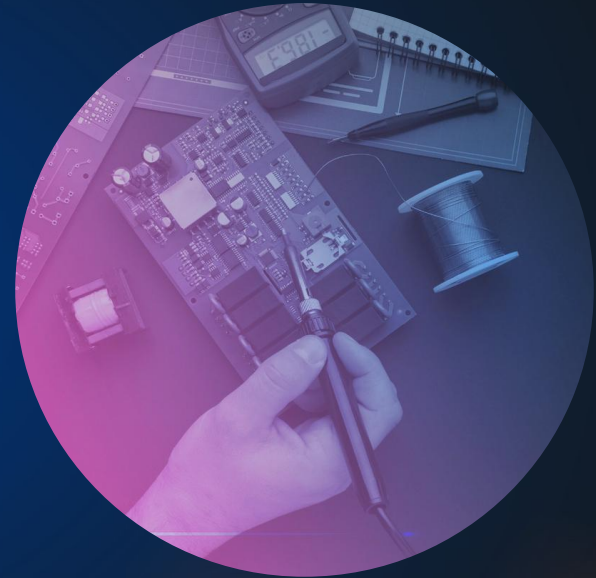
- Hubo que completar a mano lo hecho por *Autoinst*
- Se agrego una OR para la señal de valid de DEMUX dest

Particularidades del diseño:

1. Los umbrales son 1 menos que el valor real que toman los FIFOs.
2. Se utilizó como señal de POP para D0 y D1, su señal de PUSH atrasada un ciclo de reloj.
3. Para el envío de un único tipo de tráfico, se utilizaron compuertas AND y OR para su facilidad.
4. La salida se atrasa 6 ciclos con respecto a la entrada.
5. Timescale: 1 ns
6. Latencia: $6 \text{ ciclos} * 2 \text{ ns} = 12 \text{ ns}$
7. Tasa de salida de datos: sale 1 dato de 6 bits por ciclo, lo que equivale a 500 millones de datos por segundo, o 375 MB por segundo

Conclusiones y recomendaciones

- Tratar de comprender toda la arquitectura antes de trabajar sobre ella.
- En el momento de realizar cambios en los módulos o en alguna parte del trabajo, registrar los cambios.
- En el momento de trabajar con varios archivos, separarlos por carpetas o bloques, para mayor facilidad de control y orden.



Investigación

- **QoS:** Se refiere a cualquier tecnología que maneja el tráfico de datos para reducir la pérdida de paquetes, latencia el jitter en una red, dándole prioridad a tipos específicos de datos. Es una forma de medir la calidad del servicio.
- **Arbitraje en sistemas digitales:** Funciona con un dispositivo que sirve para decidir a quién dar permiso a la vez para acceder a un recurso compartido.

Investigación

- **Priority flow control:** Es una forma de que la parte del circuito que recibe información le 'avise' al emisor si tiene o no disponibilidad de espacio para seguir almacenando datos.
- **¿Cómo se relacionan los créditos con Flow Control?**
Un Flow Control basado en créditos funciona de manera que el emisor no puede enviar más datos que los indicados por el receptor, y solo cuando este tiene disponibilidad.

Referencias

[1] M. Rouse (2018). *QoS (quality of service)*. [Online]. Available: [https://searchunifiedcommunications.techtarget.com/definition/QoS-Quality-of-Service#:~:text=Quality%20of%20service%20\(QoS\)%20refers,of%20data%20on%20the%20network](https://searchunifiedcommunications.techtarget.com/definition/QoS-Quality-of-Service#:~:text=Quality%20of%20service%20(QoS)%20refers,of%20data%20on%20the%20network)

[2] M. Stephen (2019). *Simple Priority Arbiters: Allocating Resources in Embedded Systems with VHDL and Logisim*. [Online]. Available: <https://www.allaboutcircuits.com/technical-articles/simple-priority-arbiter-allocating-resources-embedded-systems-vhdl-logism/>

[3] Cisco Systems (2015). *Priority Flow Control: Build Reliable Layer 2 Infrastructure*. [Online]. Available: [cisco.com/c/en/us/products/collateral/switches/nexus-7000-series-switches/white_paper_c11-542809.pdf](https://www.cisco.com/c/en/us/products/collateral/switches/nexus-7000-series-switches/white_paper_c11-542809.pdf)

[4] National Research Council (1997). *Traffic Management for High-Speed Networks*. [Online]. Available: <https://www.nap.edu/read/5769/chapter/4>