

Universidad de Costa Rica

Circuitos Digitales II

Proyecto 1: Plan de trabajo

Gian Carlo Pochet Agüero, B25168

Erick Sancho, B77145

Kevin Cambronero, B71491

1. Plan de trabajo

Para verificar el correcto funcionamiento se plantean realizar las siguientes pruebas para cada módulo:

- Etapa de flops: Comprobar que se comporte como los flops hechos en tareas anteriores, con la lógica de valid.
- Recirculación: Pasarle varios datos con distintos valores de *active* para comprobar que pasa la información cuando es 1 y la devuelve al probador cuando es 0.
- Demux Striping: Pasarle varias señales y ver que las separe en 2, a una frecuencia dos veces menor que la de entrada.
- Demux 32:8: Comprobar que divide la entrada en 4 salidas a una frecuencia 4 veces mayor.
- Paralelo a serial: Ver que si el de entrada es 0 saque el código BC, y si es 1 que pase los datos que le entran.
- Serial a paralelo: Comprobar si han llegando 4 señales BC, y verificar si $\text{Valid} = \text{Active} \& \text{!BC}$ se cumple.
- Demux 8:32: Ver que toma 4 entradas y las une en una sola, con una frecuencia de salida 4 veces menor a la de entrada.
- Mux Un-Striping: Ver que toma las dos señales de entrada y las pasa a la salida de una en una, al doble de frecuencia.
- phy_tx.v: En esta etapa se ingresa señales de 32 bits paralelo más un “valid” a una frecuencia de $2f(\text{Hz})$, y verificar que ambas salidas de los dos canales sean bits en serie a una frecuencia de $32f(\text{Hz})$.
- phy_rx.v: Para esta etapa se crea un probador el cual genera dos canales de bit seriales a una frecuencia de $32f(\text{Hz})$, además se incluyen en las señales secuencias con el código hex(BC), con lo cual se logra que algunas de las señales de salida no sean válidos, con ello se comprueba la funcionalidad.
- phy.v: Comprobar que la señal de salida sea igual a la entrada, de manera que la información se haya transmitido correctamente, tomando en cuenta la lógica de valid.