

1. Kombinatorisk logik I

- En modul döpt *Exercise1* skall implementeras för att realisera ett system innehållande tre insignaler från tre slide-switchar *switch[2:0]* samt tre utsignaler från två lysdioder *led[2:0]* enligt nedanstående tabell:

<i>switch[2:0]</i>	<i>led[1:0]</i>
000	00
001	01
010	00
011	11
100	00
101	11
110	10
111	11

Tabell 1: Sanningstabell för modulen *Exercise1*.

- Härled ekvationer för utsignaler *led[1:0]* ur sanningstabellen via Karnaugh-diagram. Använd med fördel alias ABC för insignaler *switch[2:0]* samt alias XY för utsignaler *led[1:0]*.
- Rita upp ett logiskt grindnät för kretsen. Implementera detta i LTspice för verifiering.
- Skapa en ny modul i VHDL döpt *Exercise1* och implementera kretsen. Verifiera konstruktionen via *ModelSim*.
- Validera konstruktionen på ditt FPGA-kort.
- Jämför den syntetiserade kretsen jämfört med din egenskapade krets? Ser kretsen ut ungefär som du förväntade dig? Ser du några skillnader jämfört med de block du använder, exempelvis vilka byggblock som används?

Reflektion:

- Vad lärde du dig av denna uppgift? Vad var mest utmanande? Var något glasklart från början?
- Vilket konstruktionssätt var enklast – digital konstruktion för hand eller via VHDL?