

2. Kombinatorisk logik II

- En modul döpt *Exercise2* skall implementeras för att realisera ett system, där mest signifikant hög insignal av fyra slide-switchar *switch[3:0]* avgör utsignalerna på fyra lysdioder *led[3:0]* enligt nedanstående tabell:

<i>switch[3:0]</i>	<i>led[3:0]</i>
0000	0000
0001	1000
001x	0100
01xx	0010
1xxx	0001

Tabell 1: Sanningstabell för modulen *Exercise2*.

- Härled ekvationer för utsignaler *led[3:0]* ur sanningstabellen. Använd dig av befintliga *don't-care* värden för att minimera kretsen. Använd med fördel alias ABCD för insignaler *switch[3:0]*.
- Rita upp ett logiskt grindnät för kretsen. Implementera detta i LTspice för verifiering.
- Skapa en ny modul i VHDL döpt *Exercise2* och implementera kretsen. Verifiera konstruktionen via *ModelSim*.
- Validera konstruktionen på ditt FPGA-kort.
- Jämför den syntetiserade kretsen jämfört med din egenskapade krets? Ser kretsen ut ungefär som du förväntade dig? Ser du några skillnader jämfört med de block du använder, exempelvis vilka byggblock som används?

Reflektion:

- Vad lärde du dig av denna uppgift? Vad var mest utmanande? Var något glasklart från början?
- Vilket konstruktionssätt var enklast – digital konstruktion för hand eller via VHDL?