

# **Sistema de monitoreo de temperatura**

**Especificaciones**

V1.0 — Enero 2026

Erika Garcia

Diseño Digital II

# Índice

<b>Índice</b>	<b>2</b>
<b>1. Introducción</b>	<b>3</b>
<b>2. Especificaciones del Sistema</b>	<b>3</b>
2.1. Parámetros de Operación . . . . .	3
2.1.1. Rango de Temperatura y Escalado . . . . .	3
2.1.2. Resolución y Precisión . . . . .	3
2.2. Lógica de Control . . . . .	4
2.2.1. Estados del Sistema . . . . .	4
2.2.2. Condiciones de Transición . . . . .	4
2.2.3. Lógica de persistencia (Parámetro N) . . . . .	4
2.2.4. Lógica de alerta automática . . . . .	4
<b>3. Arquitectura general</b>	<b>5</b>
3.1. Jerarquía de diseño . . . . .	5
3.2. Microarquitectura . . . . .	5
3.3. Descripción de Módulos . . . . .	5
3.3.1. Modulo: registro_temp . . . . .	5
3.3.2. Modulo: verificado_temp . . . . .	5
3.3.3. Modulo:contador_persistencia . . . . .	5
3.3.4. Modulo: estado_temp . . . . .	5
<b>4. Interfaz y descripción de puertos</b>	<b>6</b>
4.1. Tabla de puertos del Sistema . . . . .	6
<b>5. Verificación</b>	<b>6</b>
5.1. Estrategia de verificación . . . . .	6
5.1.1. Cobertura de estados . . . . .	6
5.1.2. Estados verificable . . . . .	6
5.2. Casos de Prueba Críticos . . . . .	7
5.3. Testbench . . . . .	7
5.4. SystemVerilog Assertions (SVA) . . . . .	7
<b>6. Análisis y discusión</b>	<b>7</b>

<b>7. Conclusiones</b>	<b>7</b>
<b>8. Apéndices</b>	<b>7</b>
8.1. comparador_temp . . . . .	7

## Índice de figuras

1. Microarquitectura del sistema de monitoreo de temperatura . . . . .	5
--	---

## Índice de cuadros

1. Rangos operativos del sistema . . . . .	3
2. Estados de operación del sistema . . . . .	4
3. Cobertura de estados . . . . .	6
4. Casos de prueba críticos . . . . .	7

# 1. Introducción

Este documento presenta las especificaciones de un sistema digital de monitoreo de temperatura con arquitectura jerárquica de FSM, implementado en SystemVerilog para aplicaciones de control térmico en invernaderos y sistemas embebidos. El propósito es:

- Proporcionar los requisitos del sistema.
- Describir la arquitectura implementada (procesamiento, temporización, control).
- Especificar los estados de la máquina de estados finitos (FSM) y condiciones de transición.
- Documentar el mecanismo de contador de persistencia para filtrado de transitorios.
- Proporcionar la estructura de RTL y metodología de verificación.

## 2. Especificaciones del Sistema

### 2.1. Parámetros de Operación

#### 2.1.1. Rango de Temperatura y Escalado

El sistema opera en el rango típico de sensores comerciales de temperatura de propósito general (-40.0°C a 85.0°C), con una resolución de 0.1°C, utilizando escalado  $\times 10$  para convertir a valores enteros (-400 a 850).

Los umbrales implementados en el diseño están específicamente enfocados para monitoreo ambiental en invernaderos, donde temperaturas inferiores a 18.0°C o superiores a 25.0°C pueden afectar el crecimiento vegetal.

$$\text{Valor procesado} = \text{Temperatura (}^{\circ}\text{C)} \times 10$$

Condición	Rango Real (°C)	Rango Escalado
BAJO	$T < 18,0$	$T < 180$
NORMAL	$18,0 \leq T \leq 25,0$	$180 \leq T \leq 250$
ALTO	$T > 25,0$	$T > 250$

Cuadro 1: Rangos operativos del sistema

#### 2.1.2. Resolución y Precisión

- **Resolución:** 0.1°C
- **Representación:** 11 bits con signo en complemento a 2
- **Ancho de entrada:** 11 bits (rango -1024 a 1023)
- **Rango de interés:** -400 a 850

## 2.2. Lógica de Control

### 2.2.1. Estados del Sistema

Estado	Código	Calefactor	Ventilador	Alerta
NORMAL	00	0	0	0
BAJA	01	0	0	0
ALTO	10	0	0	0
ALERTA	11	Dependiente de $T$	Dependiente de $T$	1

Cuadro 2: Estados de operación del sistema

Nota: En el estado ALERTA es donde se toma la decisión: si  $T < 180$  se activa Calefactor=1, si  $T > 250$  se activa Ventilador=1.

### 2.2.2. Condiciones de Transición

- **NORMAL a BAJA:** Cuando temperatura  $< 180$  ( $18.0^{\circ}\text{C}$ )
- **NORMAL a ALTO:** Cuando temperatura  $> 250$  ( $25.0^{\circ}\text{C}$ )
- **BAJA a NORMAL:** Cuando temperatura retorna a  $[180, 250]$
- **ALTO a NORMAL:** Cuando temperatura retorna a  $[180, 250]$
- **BAJO a ALERTA:** Después de N ciclos en estado BAJA
- **ALTO a ALERTA:** Después de N ciclos en estado ALTO
- **ALERTA a NORMAL:** Cuando temperatura retorna a rango normal

### 2.2.3. Lógica de persistencia (Parámetro N)

- **Propósito:** Filtrar transitorios breves del sensor
- **Valor por defecto:**  $N = 5$  ciclos de reloj (esta por definirse)
- **Contador:** Incrementa mientras temperatura está fuera de rango normal
- **Reset :** Cuando temperatura vuelve a rango normal

### 2.2.4. Lógica de alerta automática

#### Características:

- Alerta se activa cuando la condición de temperatura baja o alto se mantiene durante N ciclos consecutivos, descartando eventos transitorios aislados.
- Se desactiva automáticamente al volver a temperatura normal.

### 3. Arquitectura general

#### 3.1. Jerarquía de diseño

#### 3.2. Microarquitectura

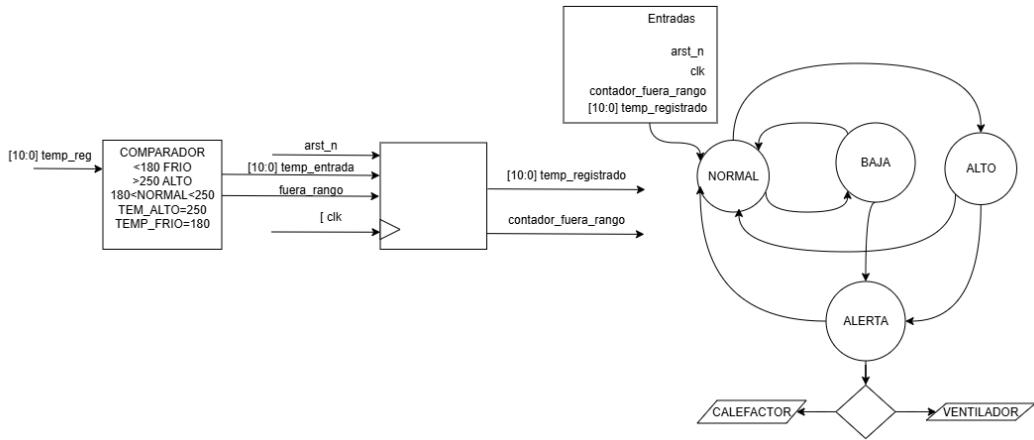


Figura 1: Microarquitectura del sistema de monitoreo de temperatura

#### 3.3. Descripción de Módulos

##### 3.3.1. Modulo: registro\_temp

- Diagrama de bloques interno - Descripción funcional

##### 3.3.2. Modulo: verificado\_temp

- Lógica de comparación - Señalización de estado

##### 3.3.3. Modulo:contadorPersistencia

- Diagrama de estados del contador - Condiciones de reset/incremento

##### 3.3.4. Modulo: estado\_temp

- FSM: Diagrama de estados completo - Tabla de transiciones - Lógica de salida (actuadores)

## 4. Interfaz y descripción de puertos

### 4.1. Tabla de puertos del Sistema

Señales Internas

## 5. Verificación

### 5.1. Estrategia de verificación

#### 5.1.1. Cobertura de estados

Estado	Entradas	Salidas	Ciclos
NORMAL	Temperatura [180,250]	calef=0, vent=0, alerta=0	por definir
BAJO	Temperatura < 180	transición a ALERTA	por definir
ALTO	Temperatura > 250	transición a ALERTA	por definir
ALERTA	Contador $\geq N$	alerta=1: si $T < 180$ calefactor =1, si $T > 250$ ventilador =1	por definir

Cuadro 3: Cobertura de estados

#### 5.1.2. Estados verificables

1. NORMAL  $\rightarrow$  BAJO ( $T < 180$ )
2. NORMAL  $\rightarrow$  ALTO ( $T > 250$ )
3. BAJO  $\rightarrow$  NORMAL ( $T$  vuelve a [180,250])
4. ALTO  $\rightarrow$  NORMAL ( $T$  vuelve a [180,250])
5. BAJO  $\rightarrow$  ALERTA (contador  $\geq N$ )
6. ALTO  $\rightarrow$  ALERTA (contador  $\geq N$ )
7. ALERTA  $\rightarrow$  NORMAL ( $T$  vuelve a rango)
8. BAJO  $\rightarrow$  ALTO (cambio directo  $T > 250$ )
9. ALTO  $\rightarrow$  BAJO (cambio directo  $T < 180$ )

## 5.2. Casos de Prueba Críticos

No.	Descripción	Estímulo	Resultado Esperado	Tiempo
<b>Casos normales</b>				
1	Operación normal persistente	T=200 por — ciclos	estado=NORMAL, sin alerta	por definirse
2	Detección baja inmediata	T=150 en ciclo —	estado=BAJO en ciclo x	por definirse
3	Detección alto inmediata	T=300 en ciclo —	estado=ALTO en ciclo x	por definirse
<b>Persistencia y alertas</b>				
4	bajo persistente ( $N=5$ )	T=150 por 5 ciclos	ALERTA en ciclo 6	por definirse
5	alto persistente ( $N=5$ )	T=300 por 5 ciclos	ALERTA en ciclo 6	por definirse
6	Transitorio bajo ( $< N$ )	T=150 por 3 ciclos	No alerta	por definirse
7	Transitorio alto ( $< N$ )	T=300 por 3 ciclos	No alerta	por definirse
<b>Retorno a NORMAL y Reset</b>				
8	Recuperación automática	T=150×5, luego T=200	ALERTA→NORMAL en 1 ciclo	por definirse
9	Reset durante ALERTA	arst_n=0 en ALERTA	Reset completo	por definirse
<b>Valores Límite</b>				
10	Límite exacto frio	T=179→180	BAJO→NORMAL	por definirse
11	Límite exacto calor	T=250→251	NORMAL→ALTO	por definirse
12	Alternancia rápida	T=150,300,150,300	Contador acumula	por definirse
13	Valor máximo de temperatura	T=850 (85.0°C)	Estado ALTO	por definirse
14	Valor mínimo de temperatura	T=-400 (-40.0°C)	Estado BAJO	por definirse

Cuadro 4: Casos de prueba críticos

## 5.3. Testbench

- Arquitectura del testbench - Secuencias de prueba

## 5.4. SystemVerilog Assertions (SVA)

- Propiedades verificadas - Resultados de cobertura

# 6. Análisis y discusión

## 7. Conclusiones

Logros del Proyecto Posibles Extensiones

# 8. Apéndices

## Apéndice A

### 8.1. comparador\_temp

---

Listing 1: Unidad de Control