

**Опишите на HDL Verilog следующие модули. Написанный код будет оцениваться по характеристикам:**

- а) синтезируемость;**
- б) затраты аппаратных ресурсов;**
- с) читаемость.**

### **1) Определитель делимости на 3**

Описать на Verilog параметризованный модуль, реализующий следующую функциональность: на выходной порт **divisibility** подаётся 1, если значение данных на входном порте **data** кратно числу 3 (в десятичной системе счисления); в остальных случаях подаётся 0.

Входные порты: битовый вектор **data** разрядности **DATA\_W** (задаётся параметром).

Выходные порты: однобитный признак **divisibility**.

\*Упрощение: реализуйте указанный модуль для разрядности входа **data** равной 8.

### **2) Память**

Описать на Verilog параметризованный модуль, реализующий функционал блока памяти с произвольным доступом. Глубина памяти задаётся параметром **MEM\_SIZE**; разрядность данных задаётся параметром **DATA\_W**. При подаче признака записи данные с входа помещаются в ячейку памяти с номером, соответствующим подаваемому адресу. При подаче признака чтения – данные из ячейки с указанным адресом на следующий такт подаются на выход данных памяти. В отсутствие признака чтения на выход памяти подаётся последнее считанное значение. Признаки записи и чтения могут подаваться одновременно (в одном такте), в таком случае обе операции должны быть выполнены (при совпадении адреса чтения и адреса записи – текущее значение ячейки подаётся на выход данных чтения, в саму ячейку записывается новое значение с порта данных записи).

Входные порты: однобитный признак **write** (значимость записи в память), данные записи **datain** разрядности **DATA\_W**, адрес целевой ячейки памяти для записи **addr\_w** разрядности **ADDR\_SIZE** (по умолчанию может высчитываться автоматически из значения параметра **MEM\_SIZE**), однобитный признак **read** (значимость чтения из памяти), адрес целевой ячейки памяти для чтения **addr\_r** разрядности **ADDR\_SIZE** (по умолчанию может

высчитываться автоматически из значения параметра **MEM\_SIZE**), тактовый сигнал **clock**.

Выходные порты: выход данных чтения **dataout** разрядности **DATA\_W**.

\*Упрощение: реализуйте указанный модуль для разрядности портов **datain** и **dataout** равной 10, и глубиной памяти равной 6.