

باسمه تعالی

گزارش کار آزمایشگاه  
مدار منطقی - معماری

نام و نام خانودگی دانشجو:

اسفندیار کیانی

شماره دانشجویی:

9957122

استاد:

دکتر محمدی نژاد

کد درس - گروه:

2 - 557117

تاریخ تحویل:

2023-01-01 | 1401-10-11

## جلسه اول

**نتیجه حاصل شده:** آشنایی با وسایل آزمایشگاهی و گیت های منطقی

**وسایل استفاده شده:** سیم – صفحه آزمایش – برد برد – منبع تغذیه – کلید – دیود های نورانی – گیت های منطقی (AND – OR – NOT – NAND – NOR – XOR)

### روند کار:

در ابتدا آشنایی کامل با صفحه آزمایش و لوازم مورد نیاز در حین انجام آزمایشات مختلف بوسیله بازدید فیزیکی و تست های دستی و توضیحات شفاهی و عملی استاد حاصل شد.

سپس تمامی تراشه های مذکور بوسیله اتصال به منبع تغذیه و دیود نورانی و اتصال پایه های ورودی به کلید های ورودی 3 حالت (یک منطقی – صفر منطقی – های امپدانس) از لحاظ صحت سلامت و کارکرد تست شدند و البته خروجی آنها نیز با جدول صحت مربوط به هریک مطابقت داده شد و مشکلی به جز مشکلات جزئی در اتصال سیم ها بدلیل کهنگی و فرسودگی پورت ها، دیده نشد.

**نکته:** در آزمایشگاه مورد استفاده تنها تراشه های TTL موجود بود اما عملکرد منطقی آنها با تراشه های CMOS یکی است. برای مثال یکی از تفاوت های مهم، رفتار تراشه در مواجهه با پورت های باز هست که قاعدتا مقدار 0 منطقی برای آن در نظر گرفته میشود اما بطور کلی این اتفاق نباید بیوفتد و میتواند باعث شود خروجی مدار غیر قابل پیش بینی شود.

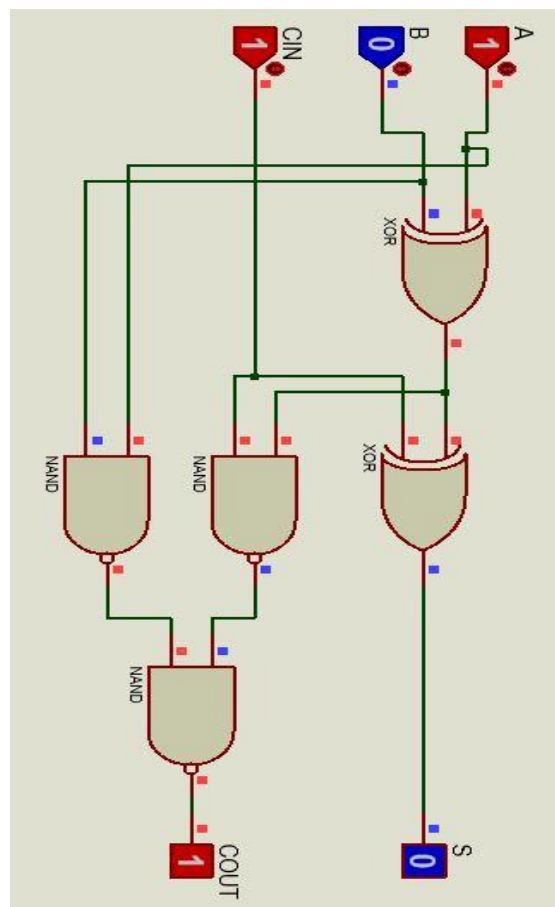
## جلسه دوم

نتیجه حاصل شده: طراحی مدار تمام جمع کننده و جمع کننده 4 بیتی

وسایل استفاده شده: سیم - صفحه آزمایش - برد برد - منبع تغذیه - کلید - دیود های نورانی - تراشه های گیت های منطقی (Full Adder-NAND - XOR)

طراحی مدار ها:

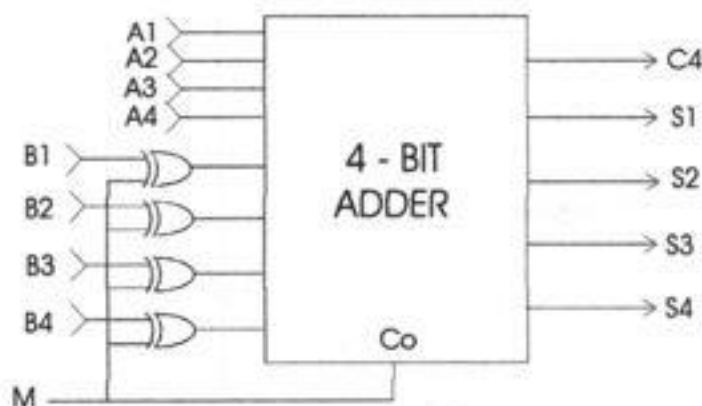
| A | B | Cin | S | Cout |
|---|---|-----|---|------|
| 0 | 0 | 0   | 0 | 0    |
| 0 | 0 | 1   | 1 | 0    |
| 0 | 1 | 0   | 1 | 0    |
| 0 | 1 | 1   | 0 | 1    |
| 1 | 0 | 0   | 1 | 0    |
| 1 | 0 | 1   | 0 | 1    |
| 1 | 1 | 0   | 0 | 1    |
| 1 | 1 | 1   | 1 | 1    |

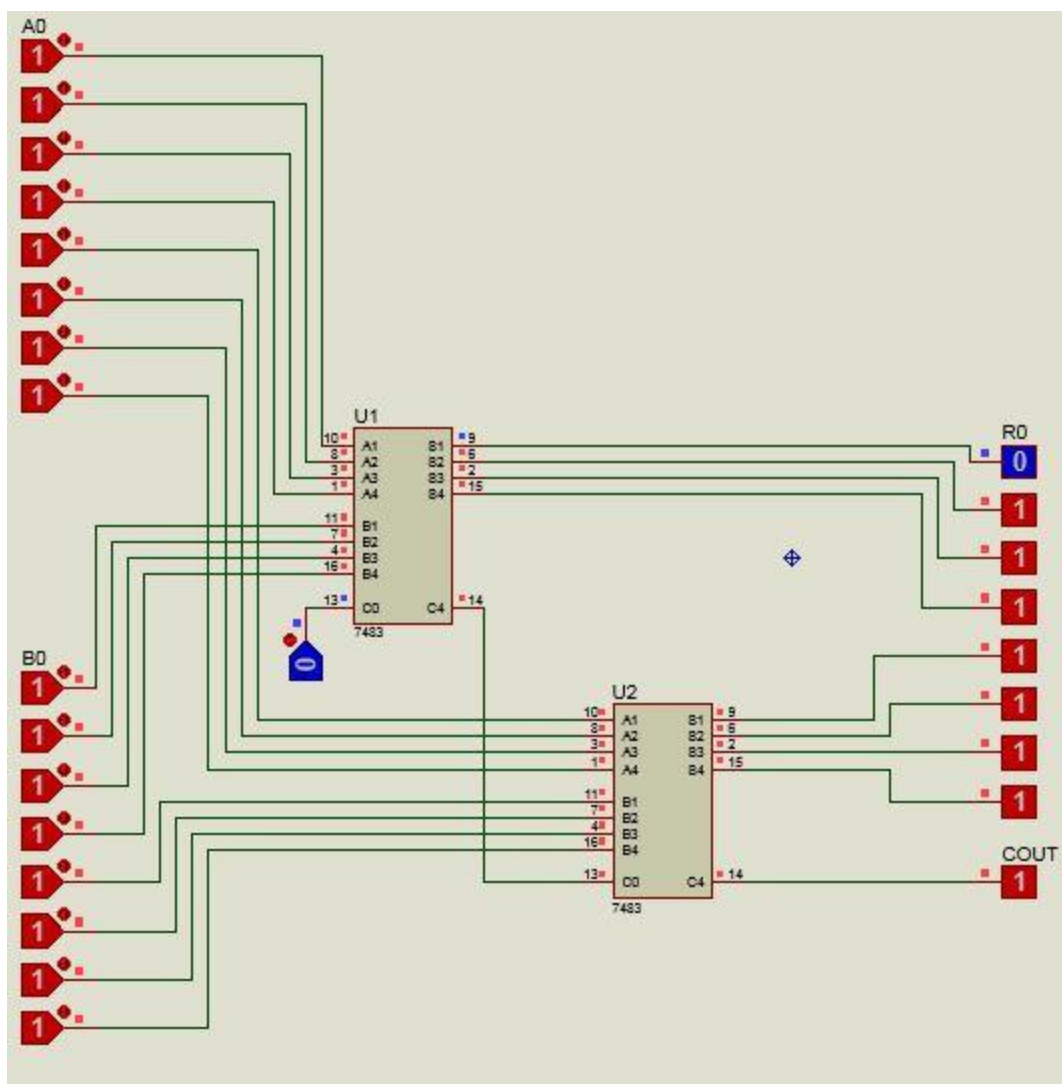


| C0 | A4 | A3 | A2 | A1 | B4 | B3 | B2 | B1 | C4 | S4 | S3 | S2 | S1 |
|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| 0  | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 1  | 0  |
| 0  | 0  | 0  | 1  | 1  | 0  | 0  | 0  | 1  | 0  | 0  | 1  | 0  | 0  |
| 1  | 0  | 1  | 0  | 0  | 0  | 1  | 0  | 0  | 0  | 1  | 0  | 0  | 1  |
| 1  | 0  | 1  | 1  | 1  | 1  | 0  | 0  | 0  | 1  | 1  | 0  | 0  | 0  |
| 0  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 0  |
| 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  | 1  |
| 1  | 0  | 1  | 1  | 0  | 1  | 0  | 1  | 0  | 1  | 1  | 0  | 0  | 1  |

جدول صحت تکمیل شده تراشه 7483

**شرح کار تراشه:** تراشه 7483 یک جمع کننده با اندازه 4 بیت است که دو عدد 4 بیتی باینری را به همراه یک ورودی نقلی جمع کرده و یک خروجی 4 بیتی در کنار یک رقم نقلی را تولید میکند که عملکرد آن در جدول صحت بالا مورد بررسی و در آزمایشگاه و مطابق با انتظار بدست آمد. حال اگر به پایه های تراشه در هنگام وارد کردن عدد دوم، مقدار عدد دوم را بطور مستقیم وارد نکنیم و تمام بیت های آن را بطور همزمان با یک ورودی دیگر (با نام فرضی M) به گیت XOR بدهیم و همزمان این مقدار M را به C0 هم وارد کنیم، حال با تغییر مقدار M، مدار ما میتواند عملیات تفریق را هم انجام دهد.





مدار جمع کننده 8-بیتی با تراشه 7483

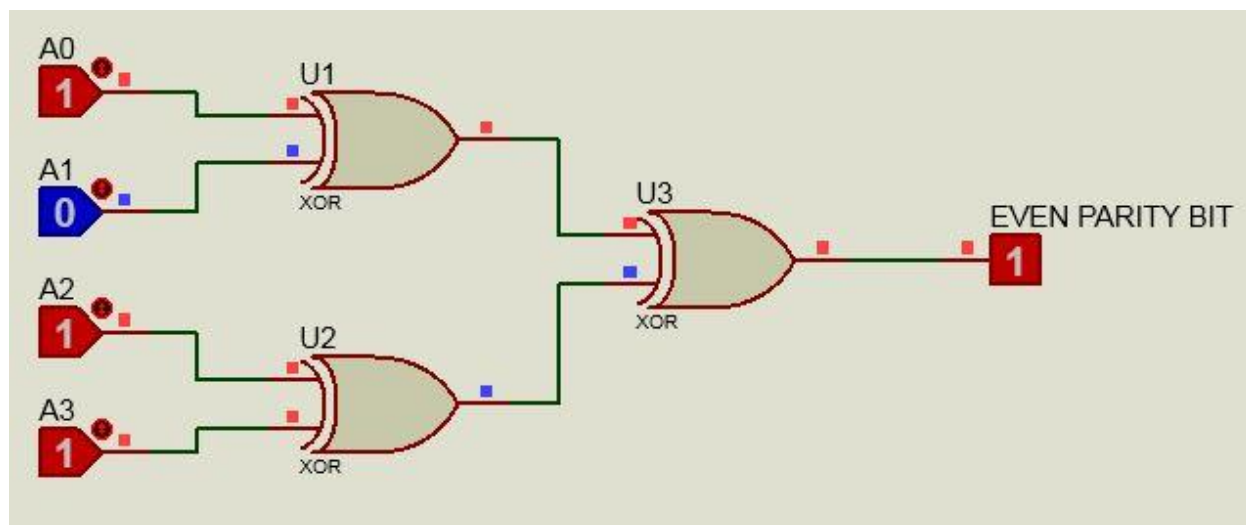
همچنین تراشه های 4008 ویا 4560 از نوع CMOS و تراشه 7482 از نوع TTL هم دارای کارکرد مشابه جهت جمع کردن مقدار های ورودیشان را دارند.

## جلسه سوم

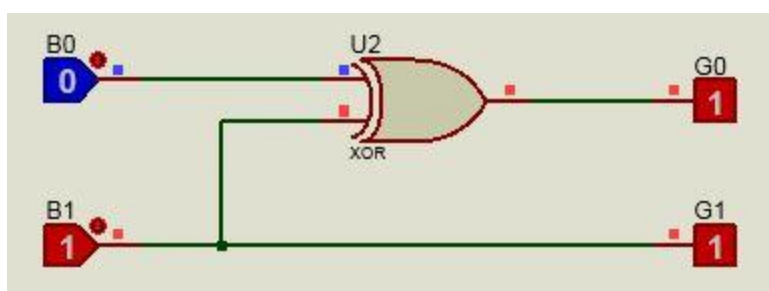
**نتیجه حاصل شده:** طراحی مدارات تولید کننده بیت توازن – تبدیل کننده باینری به گری کد – مقایسه کننده های تک بیتی و 4 بیتی

**وسایل استفاده شده:** سیم – صفحه آزمایش – برد برد – منبع تغذیه – کلید – دیود های نورانی – تراشه های گیت های منطقی (XOR – NOT – AND – OR - XNOR)

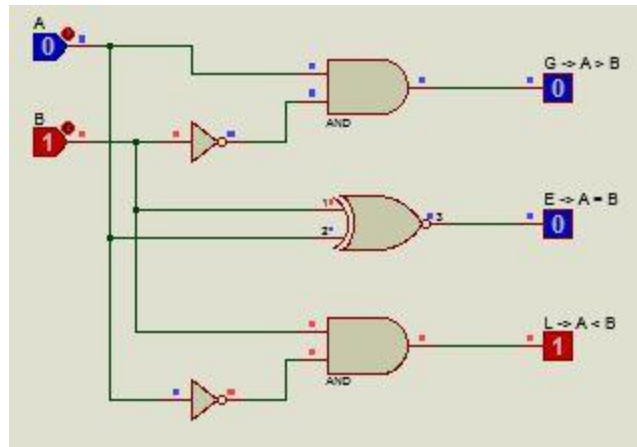
طراحی مدارها:



مدار تولید کننده بیت توازن زوج 4-بیتی



مدار مبدل باینری به کد گری 2-بیتی



مدار مقایسه گر تک بیتی

## پاسخ سوالات:

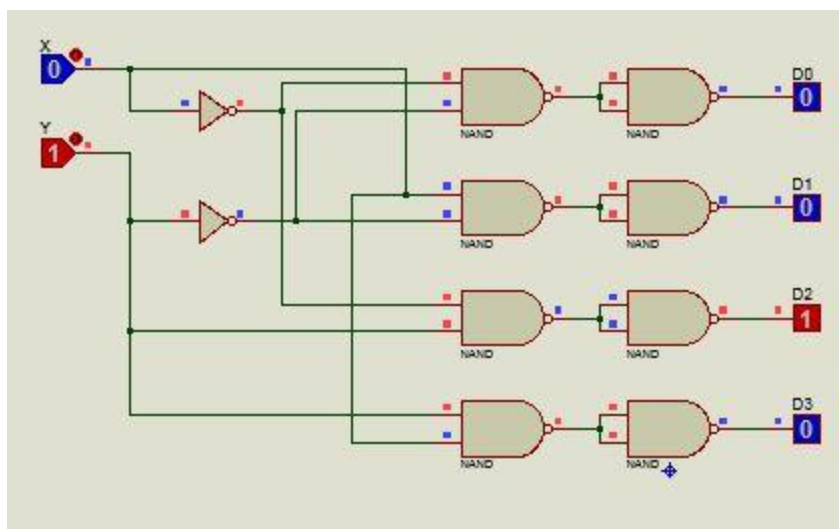
- بله، میتواند فقط باید به زوج و فرد بودن مدار مورد آزمایش دقت و در صورت نیاز اقدامات و اصلاحات مربوطه را اعمال کرد.
- 4 مرحله – 2 مرحله – قطعا هرچه تعداد مراحل انجام کار کمتر باشد، خطا هم کمتر است. پس در نتیجه در استفاده از گری کد احتمال بروز خطا کمتر است.
- ابتدا بیت های پرارزش تر بررسی میشوند و اگر و تنها اگر آنها باهم برابر بودند، بیت های کم ارزش تر مشخص کننده نتیجه مقایسه خواهند بود. مدارات با سائز بزرگتر به همین ترتیب قابل تعمیم هستند.

## جلسه چهارم

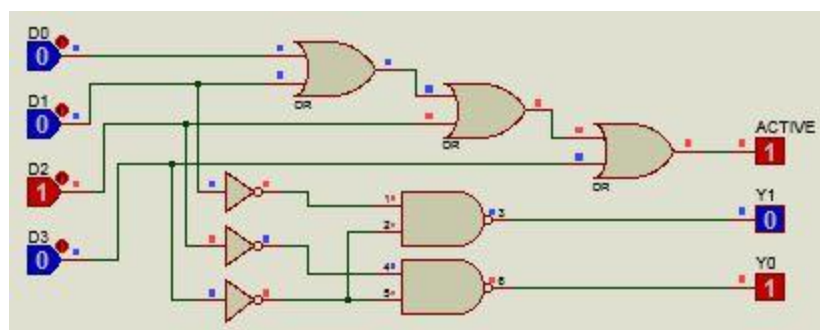
**نتیجه حاصل شده:** طراحی مدارات تولید کننده بیت توازن – تبدیل کننده باینری به گریکد – مقایسه کننده های تک بیتی و 4 بیتی

**وسایل استفاده شده:** سیم – صفحه آزمایش – برد برد – منبع تغذیه – کلید – دیود های نورانی – تراشه های گیت های منطقی (NAND – NOT – OR - AND)

طراحی مدارها:

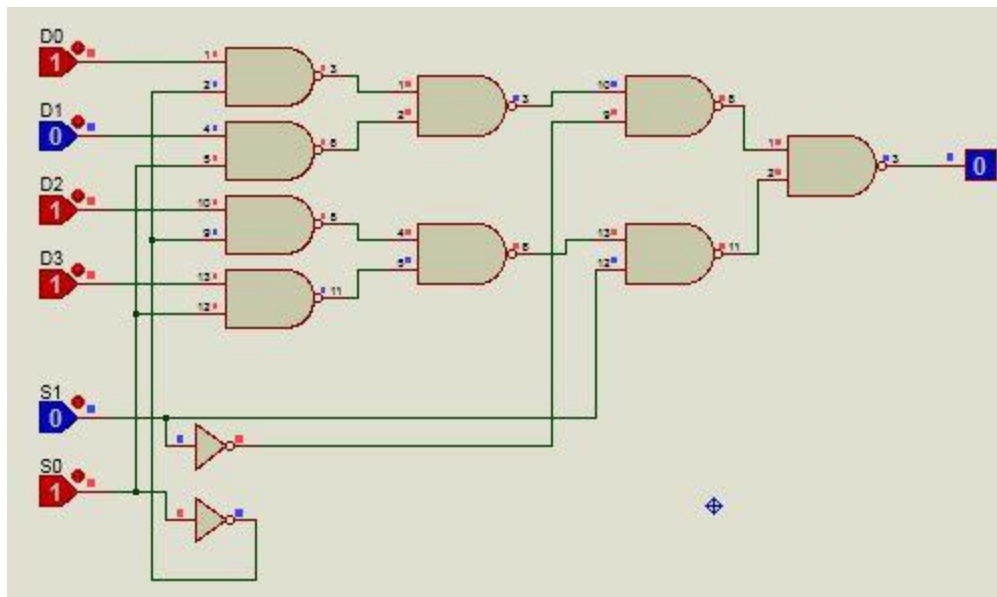


مدار درونی یک Decoder

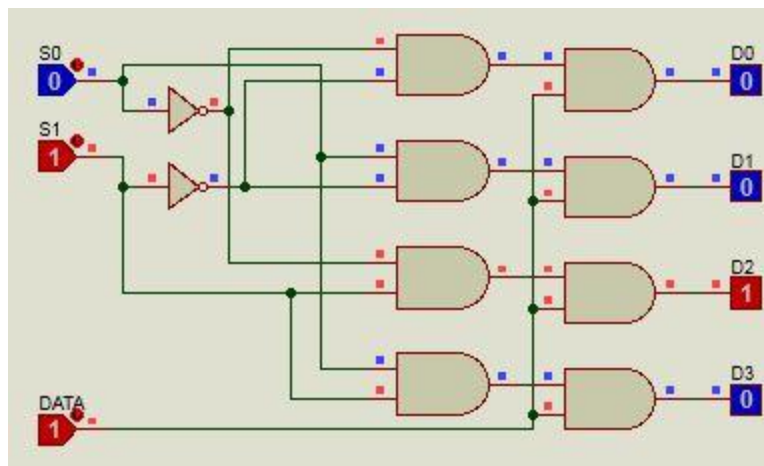


مدار درونی یک Encoder

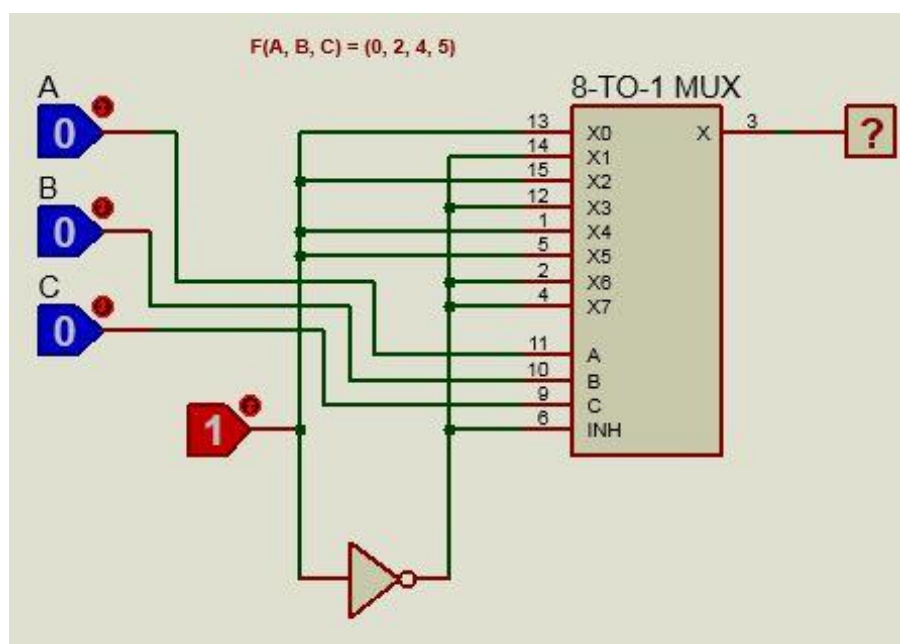




مدار درونی یک مالتی پلکسر (پیاده سازی شده با گیت NAND)

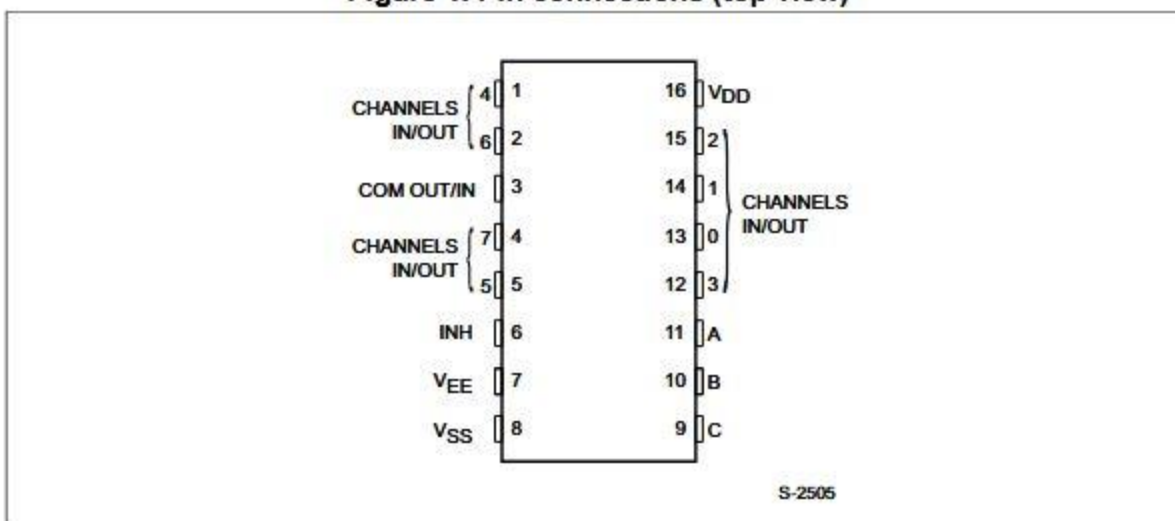


مدار درونی یک DMUX



## مشخصات، نحوه عملکرد و عملکرد هرکدام از پایه های تراشه 4051

**Figure 1. Pin connections (top view)**



**Table 2. Pin description**

| Pin no.                    | Symbol                | Name and function          |
|----------------------------|-----------------------|----------------------------|
| 11, 10, 9                  | A, B, C               | Binary control inputs      |
| 6                          | INH                   | Inhibit inputs             |
| 13, 14, 15, 12, 1, 5, 2, 4 | 0 to 7 channel IN/OUT | Independent inputs/outputs |
| 3                          | COM OUT/IN            | Common output/input        |
| 7                          | $V_{EE}$              | Supply voltage             |
| 8                          | $V_{SS}$              | Negative supply voltage    |
| 16                         | $V_{DD}$              | Positive supply voltage    |

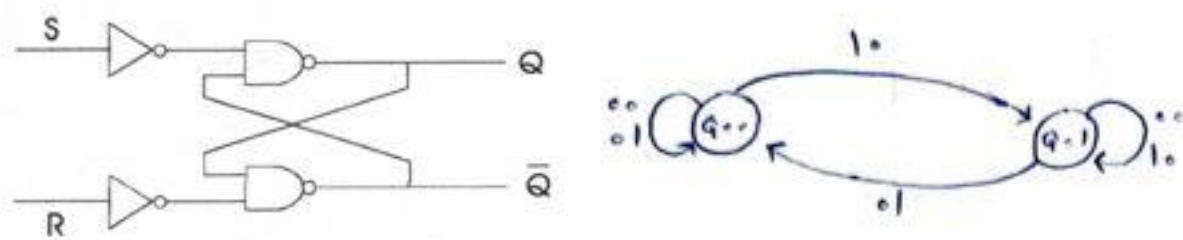
**Table 3. Truth table**

| Input states |   |   |   | "ON" channel (S) |
|--------------|---|---|---|------------------|
| Inhibit      | C | B | A |                  |
| 0            | 0 | 0 | 0 | 0                |
| 0            | 0 | 0 | 1 | 1                |
| 0            | 0 | 1 | 0 | 2                |
| 0            | 0 | 1 | 1 | 3                |
| 0            | 1 | 0 | 0 | 4                |
| 0            | 1 | 0 | 1 | 5                |
| 0            | 1 | 1 | 0 | 6                |
| 0            | 1 | 1 | 1 | 7                |
| 1            | X | X | X | None             |

## جلسه پنجم

**نتیجه حاصل شده:** آشنایی با فلیپ فلاپ های S-R و J-K و مدارات درونی آنها به همراه مولد های پالس و سیگنال های ورودی متناوب و مفاهیم سینک اسینک و حساس به سطح و حساس به لبه و لبه مثبت و لبه منفی و بله بالارونده و لبه پایین رونده

**وسایل استفاده شده:** سیم – صفحه آزمایش – برد برد – منبع تغذیه – مولد پالس – کلید – دیود های نورانی – تراشه های گیت های منطقی (NAND – NOT - AND) – فلیپ فلاپ SR و JK

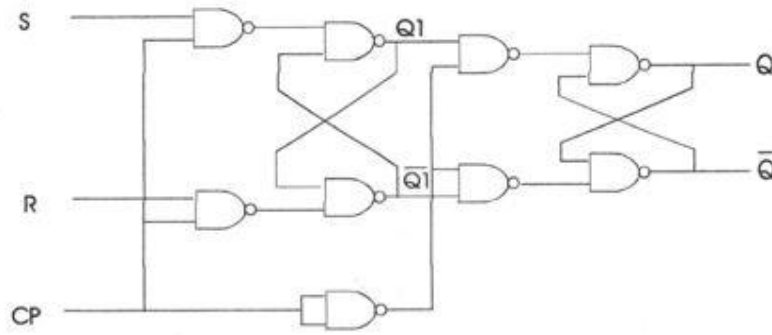


گزارش کار در آزمایشگاه:

جدول حالت و مدار داخلی لچ S-R

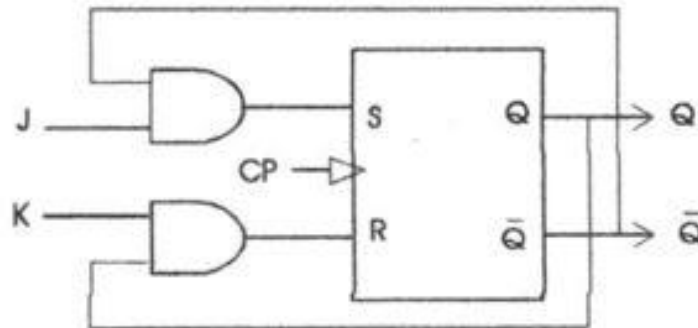
| S | R | $Q_{t+1}$ | $Q'_{t+1}$ |
|---|---|-----------|------------|
| 0 | 0 | $Q_t$     | $Q'_t$     |
| 0 | 1 | 0         | 1          |
| 1 | 0 | 1         | 0          |
| 1 | 1 | -         | -          |

جدول صحت لچ S-R



| CLK    | S | R | $Q_{t+1}$ | $Q'_{t+1}$ |
|--------|---|---|-----------|------------|
| 0/1/UP | - | - | $Q_t$     | $Q'_t$     |
| DN     | 0 | 0 | $Q_t$     | $Q'_t$     |
| DN     | 0 | 1 | 0         | 1          |
| DN     | 1 | 0 | 1         | 0          |
| DN     | 1 | 1 | -         | -          |

جدول صحت فلیپ فلاپ S-R



| CLK    | J | K | $Q_{t+1}$ | $Q'_{t+1}$ |
|--------|---|---|-----------|------------|
| 0/1/UP | - | - | $Q_t$     | $Q'_t$     |
| DN     | 0 | 0 | $Q_t$     | $Q'_t$     |
| DN     | 0 | 1 | 0         | 1          |
| DN     | 1 | 0 | 1         | 0          |
| DN     | 1 | 1 | $Q_t$     | $Q'_t$     |

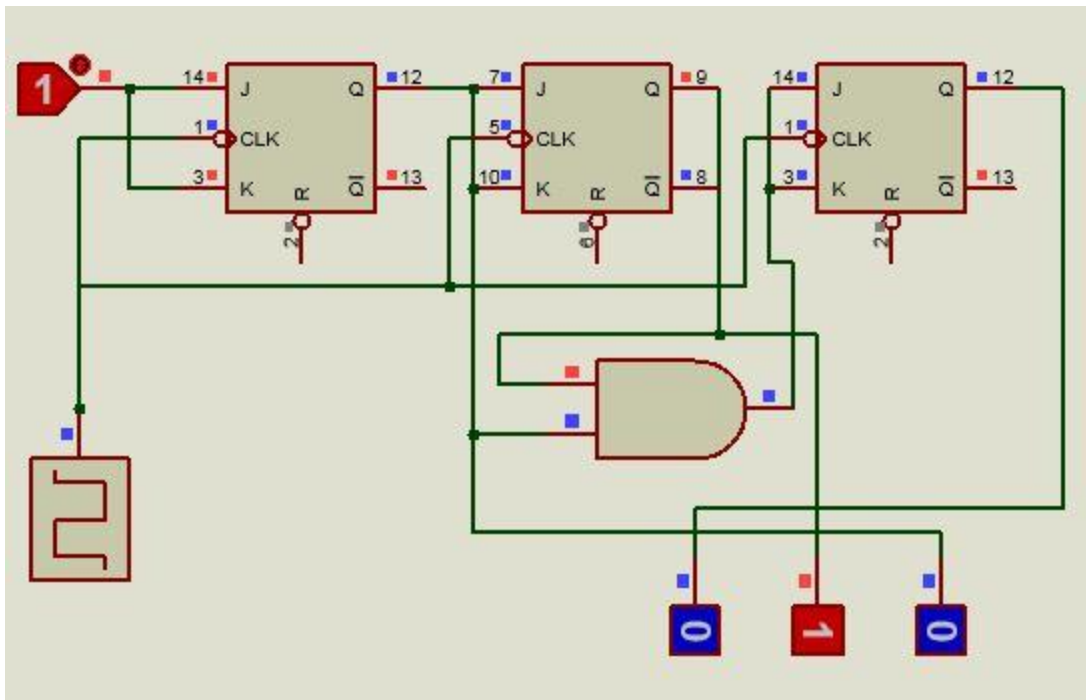
جدول صحت فلیپ فلاپ J-K

## جلسه ششم

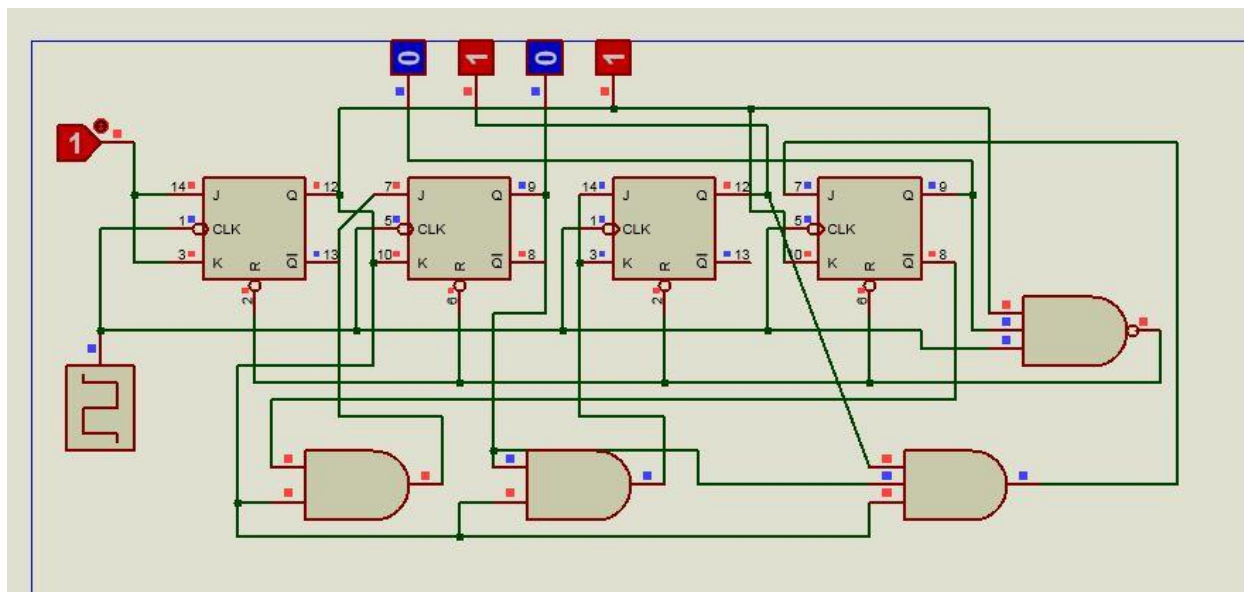
**نتیجه حاصل شده:** طراحی مدارات شمارنده در مبنا های مختلف بصورت سنکرون و نمایش خروجی با استفاده از نمایشگر 7-Segment و کار با نرم افزار پروتیوس جهت شبیه سازی رفتار مدارات و خروجی آنها

**وسایل استفاده شده:** سیم - صفحه آزمایش - برد برد - منبع تغذیه - کلید - دیود های نورانی - تراشه های گیت های منطقی (NAND - NOT - OR - AND) - فلیپ فلاپ J-K - نرم افزار پروتیوس

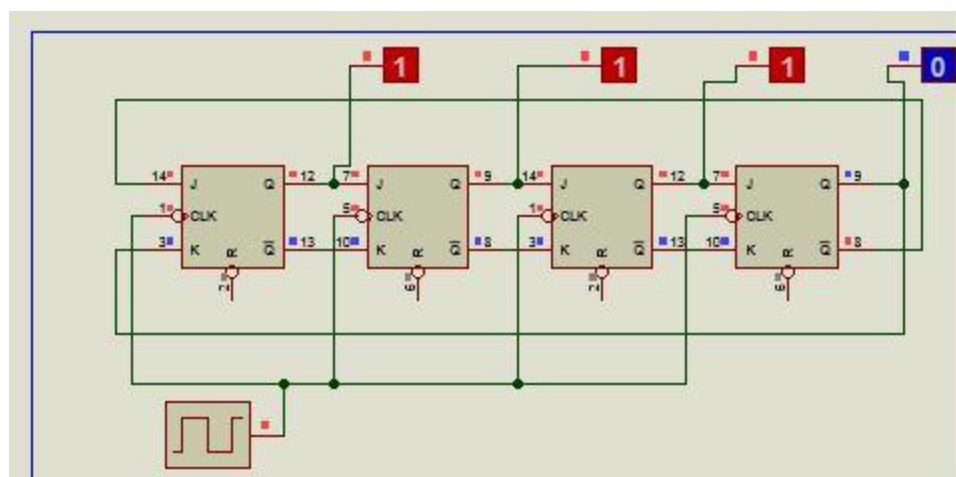
### طراحی مدارها:



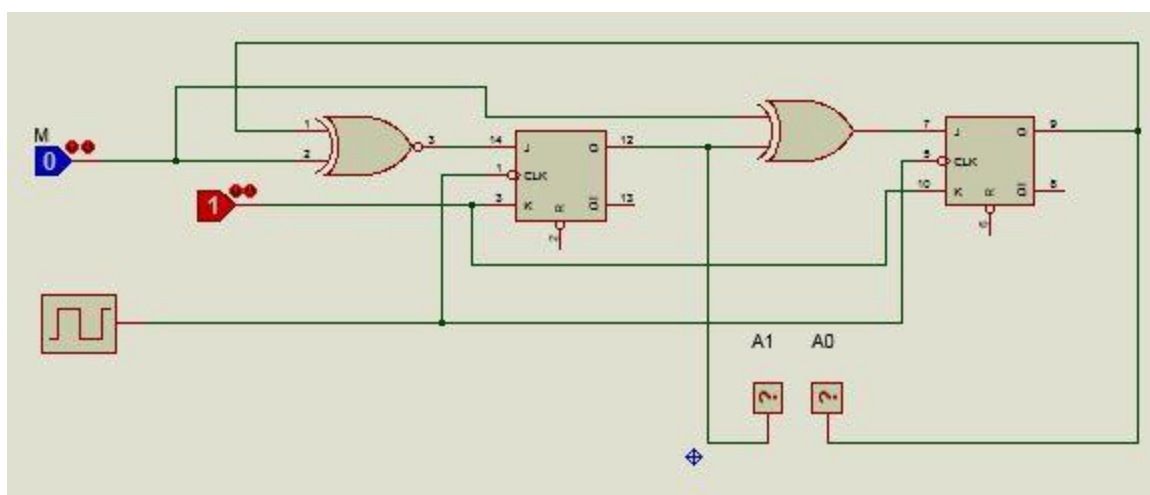
شمارنده 3-بیتی در مبنا 8



شمارنده 4-بیتی در مبنا 10



شمارنده 4-بیتی جانسون



شمارنده صعودی/نزولی مبنا 3

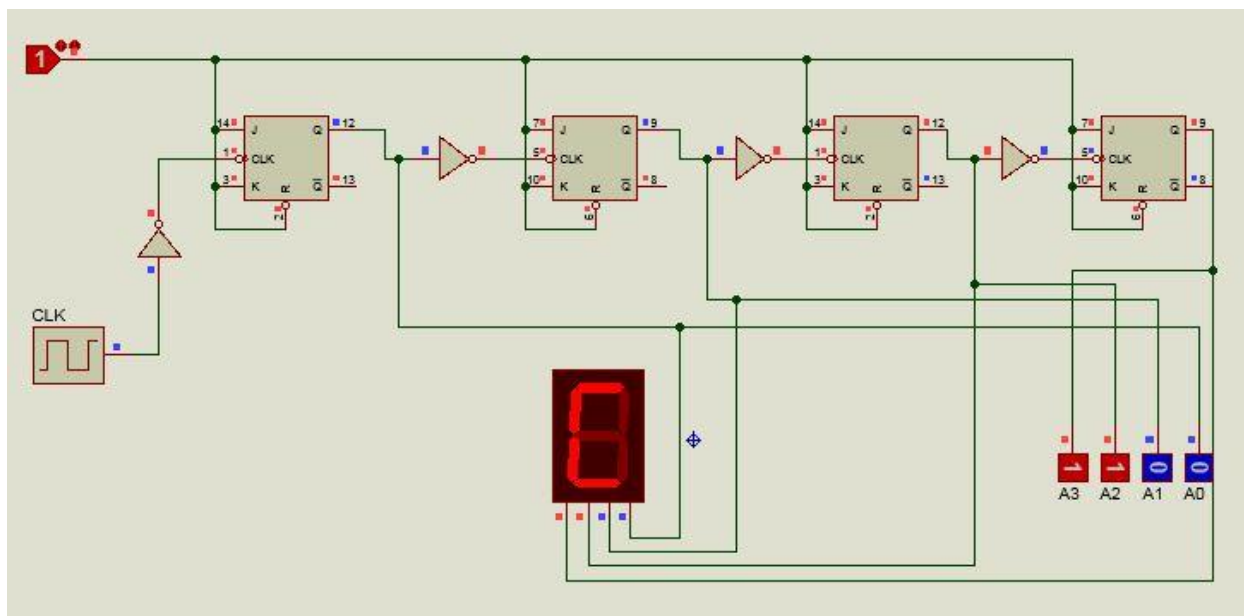
**نکته:** شمارنده های سنکرون در مقایسه با شمارنده های آسنکرون دارای برتری در سرعت محاسبه هستند زیرا میتوانند در فرکانس های بالاتر کار کنند و دارای تاخیر آبخاری ناشی از تاخیر جز به جز اعضا مدار نیستند.

## جلسه هفتم

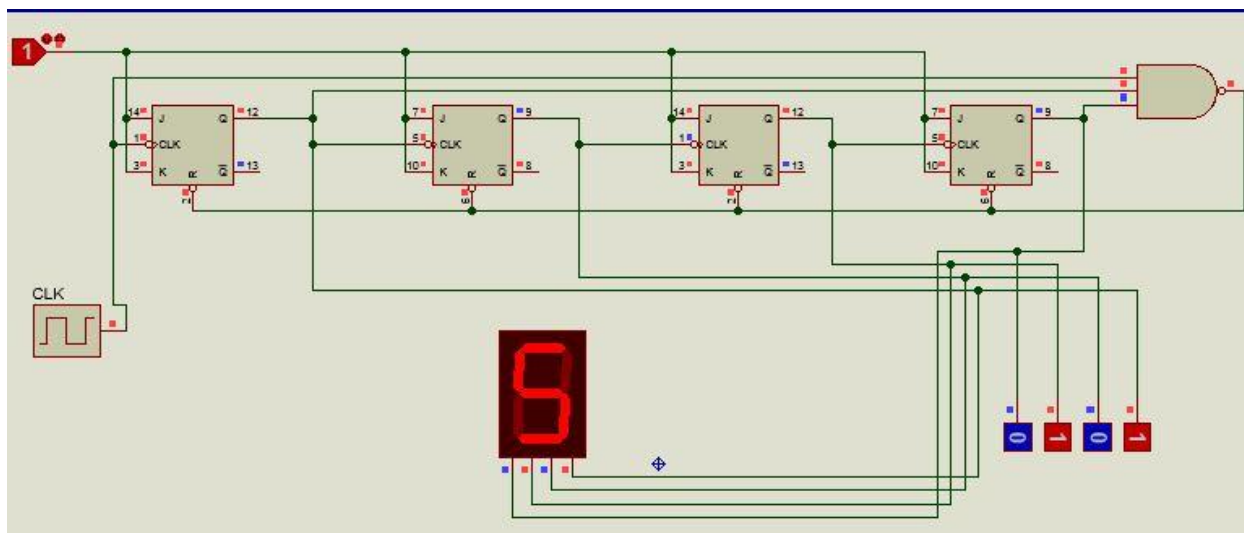
**نتیجه حاصل شده:** طراحی مدارات شمارنده در مبنا های مختلف بصورت آسنکرون و نمایش خروجی با استفاده از نمایشگر 7-Segment و کار با نرم افزار پروتیوس جهت شبیه سازی رفتار مدارات و خروجی آنها و آشنایی و طراحی تقسیم کننده های فرکانس بصورت متقارن و نامتقارن

**وسایل استفاده شده:** سیم – صفحه آزمایش – برد برد – منبع تغذیه – کلید – دیود های نورانی – تراشه های گیت های منطقی (NAND – NOT – OR - AND) – فلیپ فلاپ J-K - نرم افزار پروتیوس – تراشه 7490

**طراحی مدارها:**

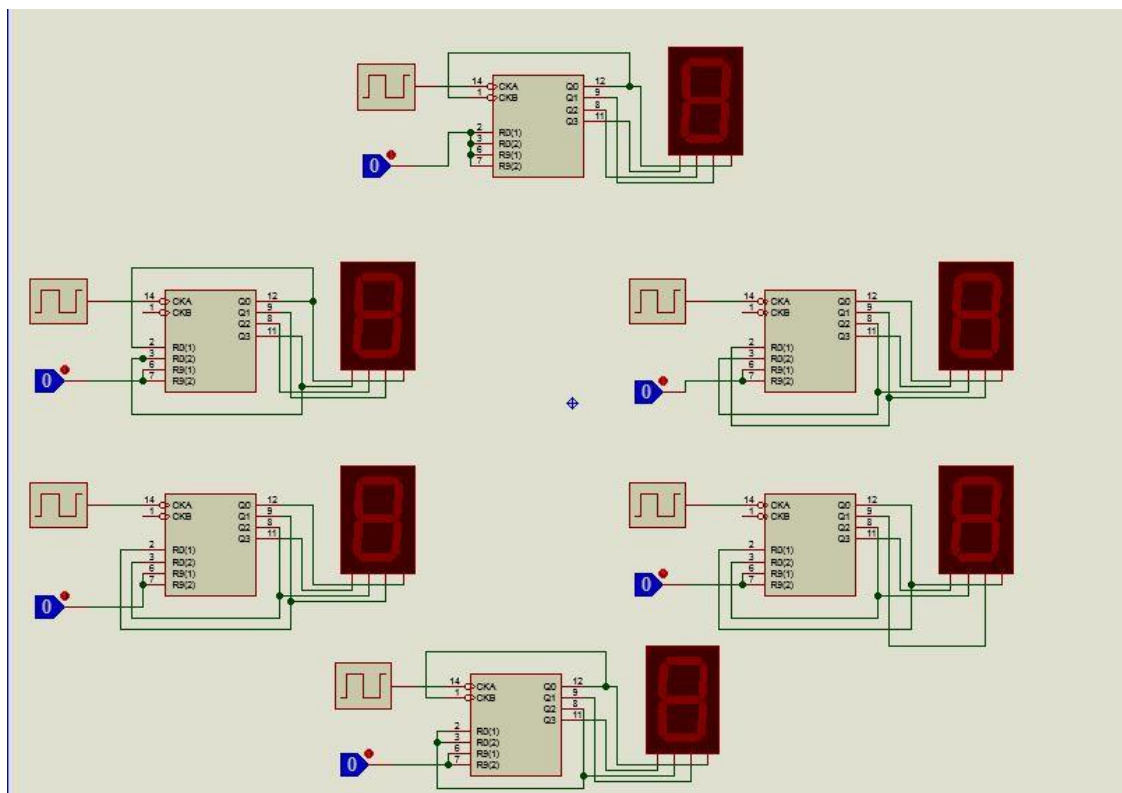


شمارنده آسنکرون 4-بیتی مبنای 16

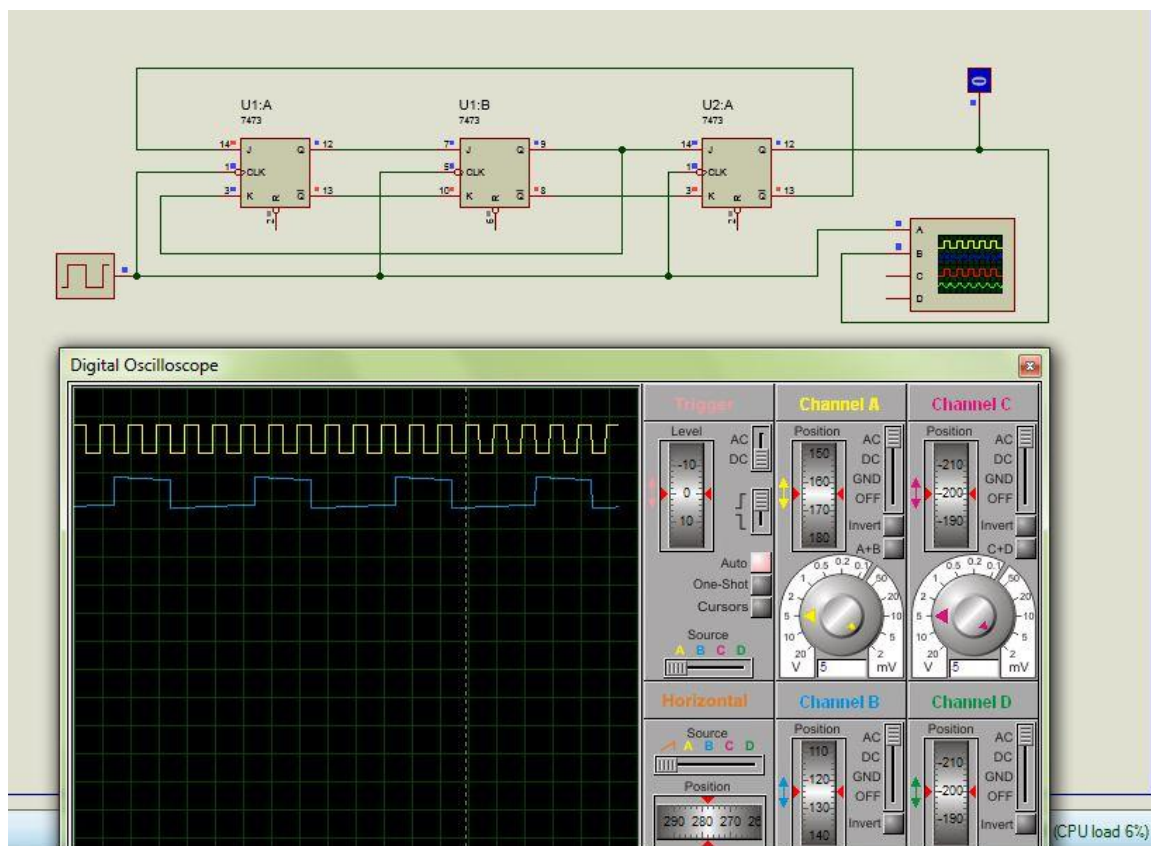


شمارنده آسنکرون مبنای 10





شمارنده های مبنا مختلف بر طبق جدول موجود در دستورکار آزمایش با تراشه 7490



تقسیم کننده فرکانس و نمایش فرکانس ها بر روی اسیلوسکوپ

## جلسه هشتم

**نتیجه حاصل شده:** طراحی شیفتر رجیستر و آشنایی با تراشه 4015

**وسایل استفاده شده:** سیم - صفحه آزمایش - برد برد - منبع تغذیه - کلید - دیود های نورانی - تراشه های گیت های منطقی - فلیپ فلاپ J-K - تراشه 4015 - نرم افزار پروتیوس

**طراحی مدارها:**

