

第3章 系统总线

3.1 总线的基本概念

3.2 总线的分类

3.3 总线特性及性能指标

3.4 总线结构

3.5 总线控制

3.1 总线的基本概念

一、为什么要用总线

二、什么是总线

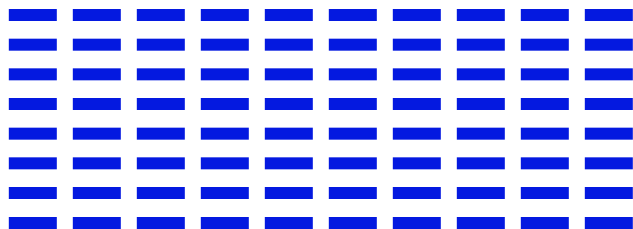
总线是连接各个部件的信息传输线，
是 各个部件共享的传输介质

三、总线上信息的传送

串行



并行

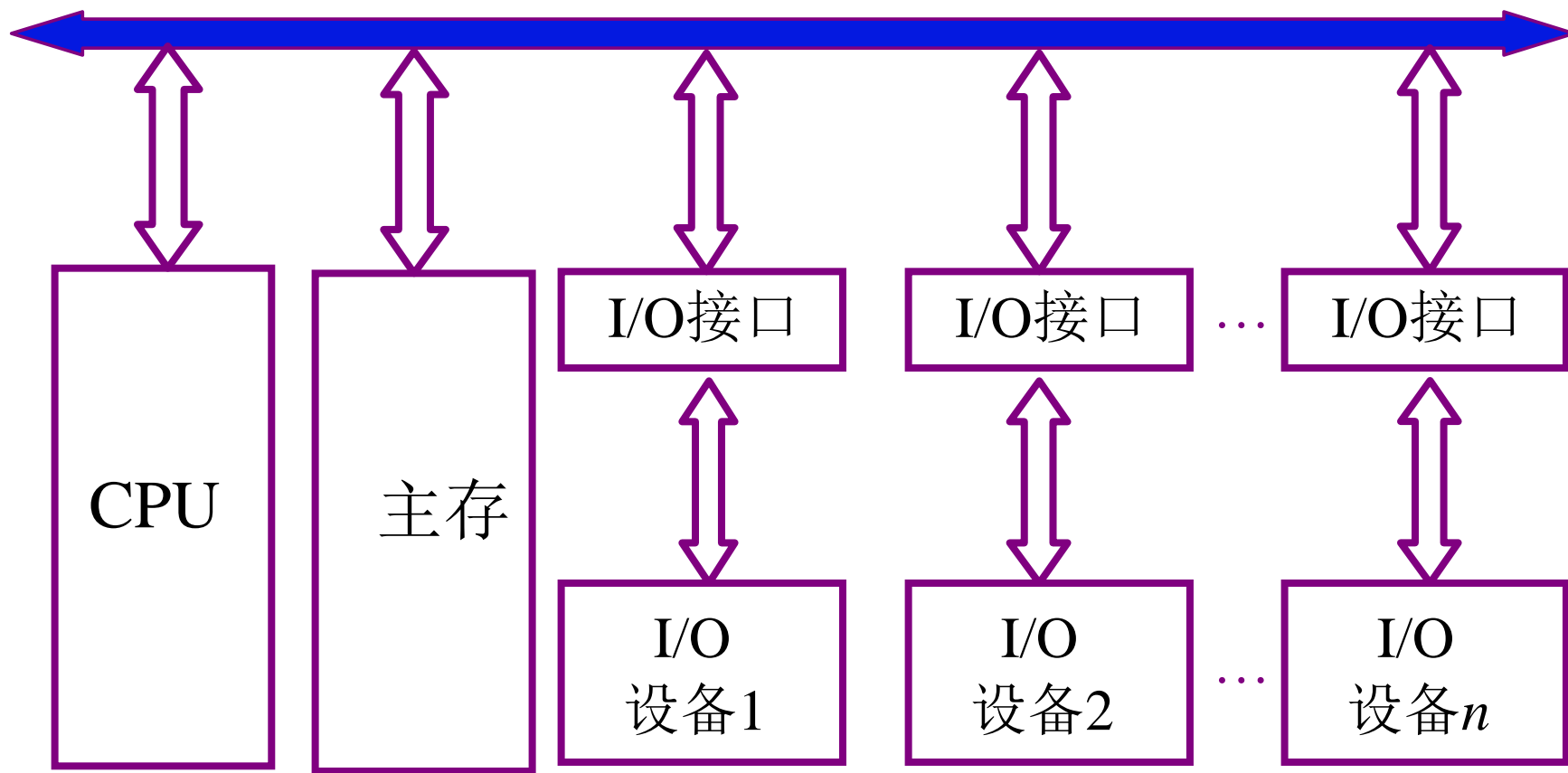


四、总线结构的计算机举例

3.1

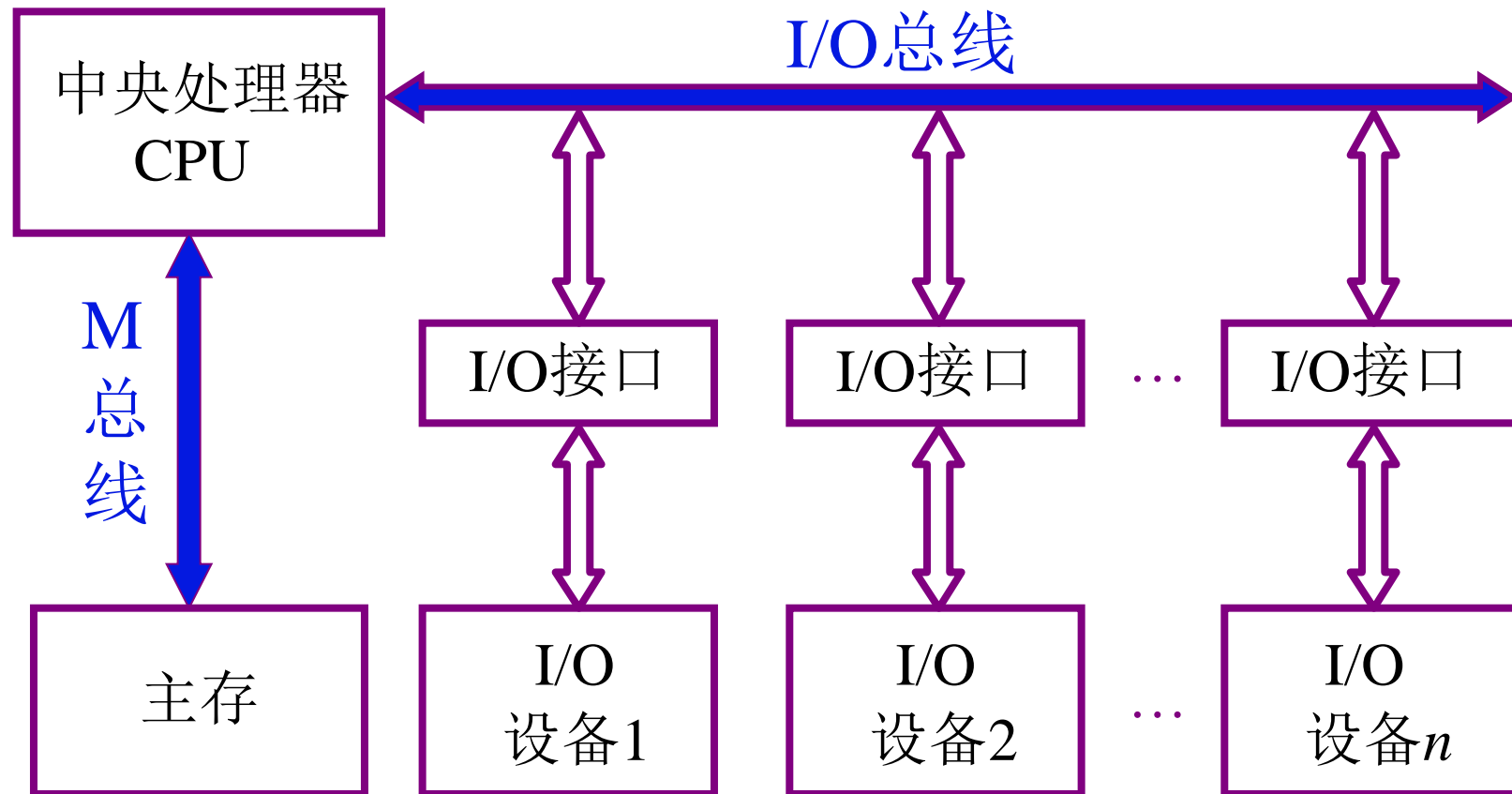
1.单总线结构框图

单总线（系统总线）

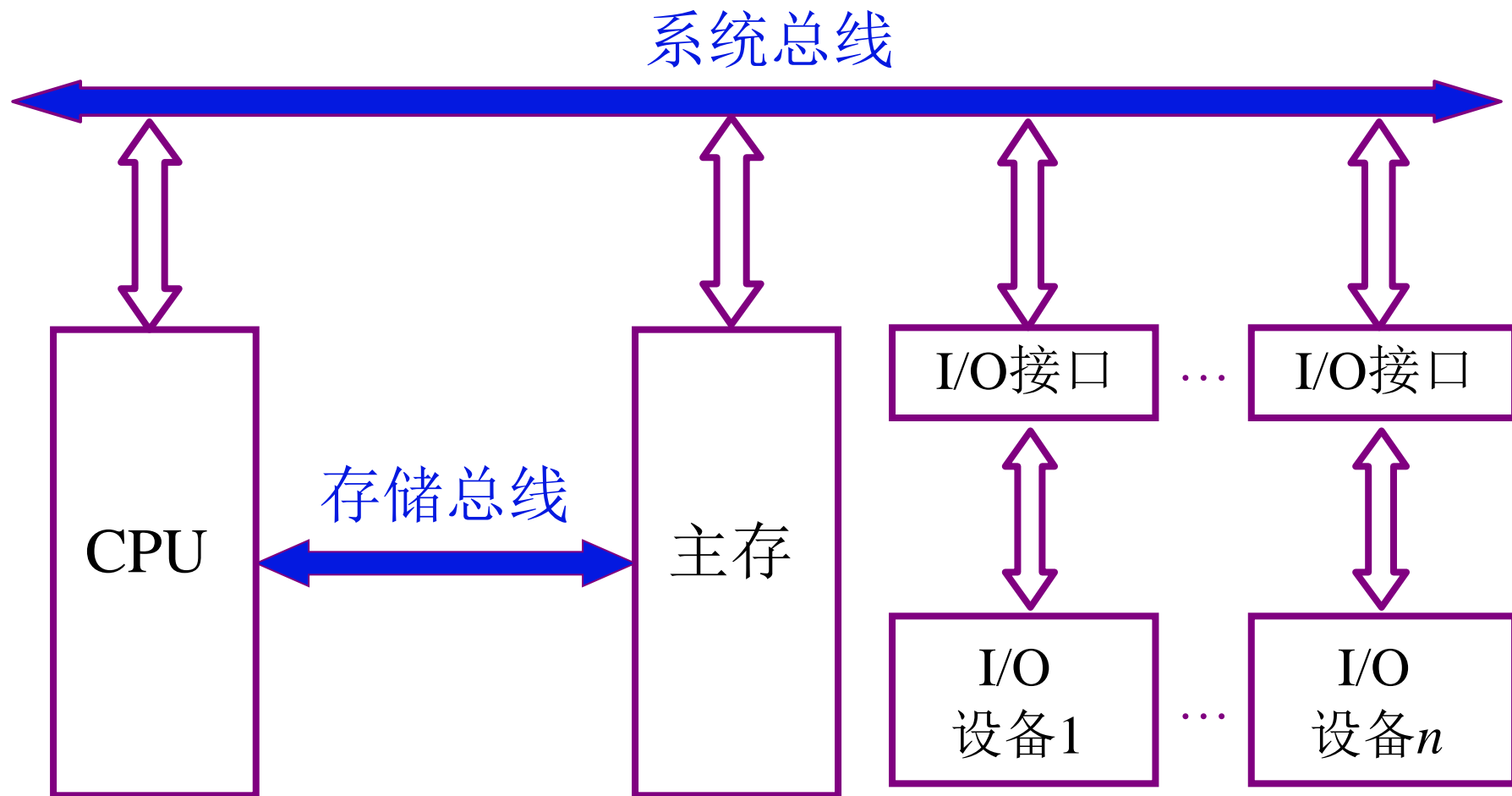


2.面向 CPU 的双总线结构框图

3.1



3. 以存储器为中心的双总线结构框图 3.1



3.2 总线的分类

1. 片内总线 芯片内部 的总线

2. 系统总线 计算机各部件之间 的信息传输线

{	数据总线	双向	与机器字长、存储字长有关
	地址总线	单向	与存储地址、I/O地址有关
	控制总线	有出	有入

中断请求、总线请求

存储器读、存储器写
总线允许、中断确认

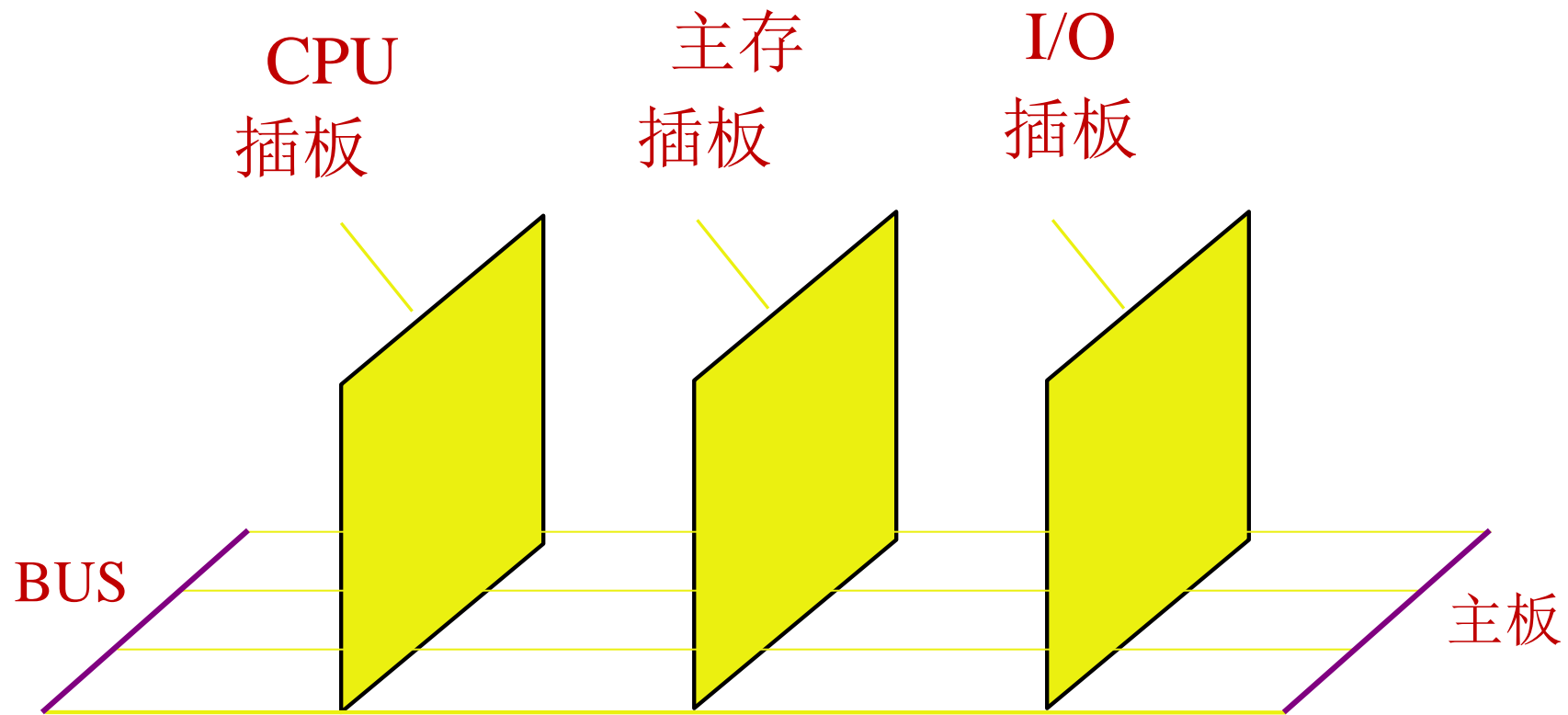
3.通信总线

用于 计算机系统之间 或 计算机系统
与其他系统（如控制仪表、移动通信等）
之间的通信


传输方式 { 串行通信总线
并行通信总线

3.3 总线特性及性能指标

一、总线物理实现



二、总线特性

1. 机械特性 尺寸、形状、管脚数 及 排列顺序
2. 电气特性 传输方向 和有效的 电平 范围
3. 功能特性 每根传输线的 功能 

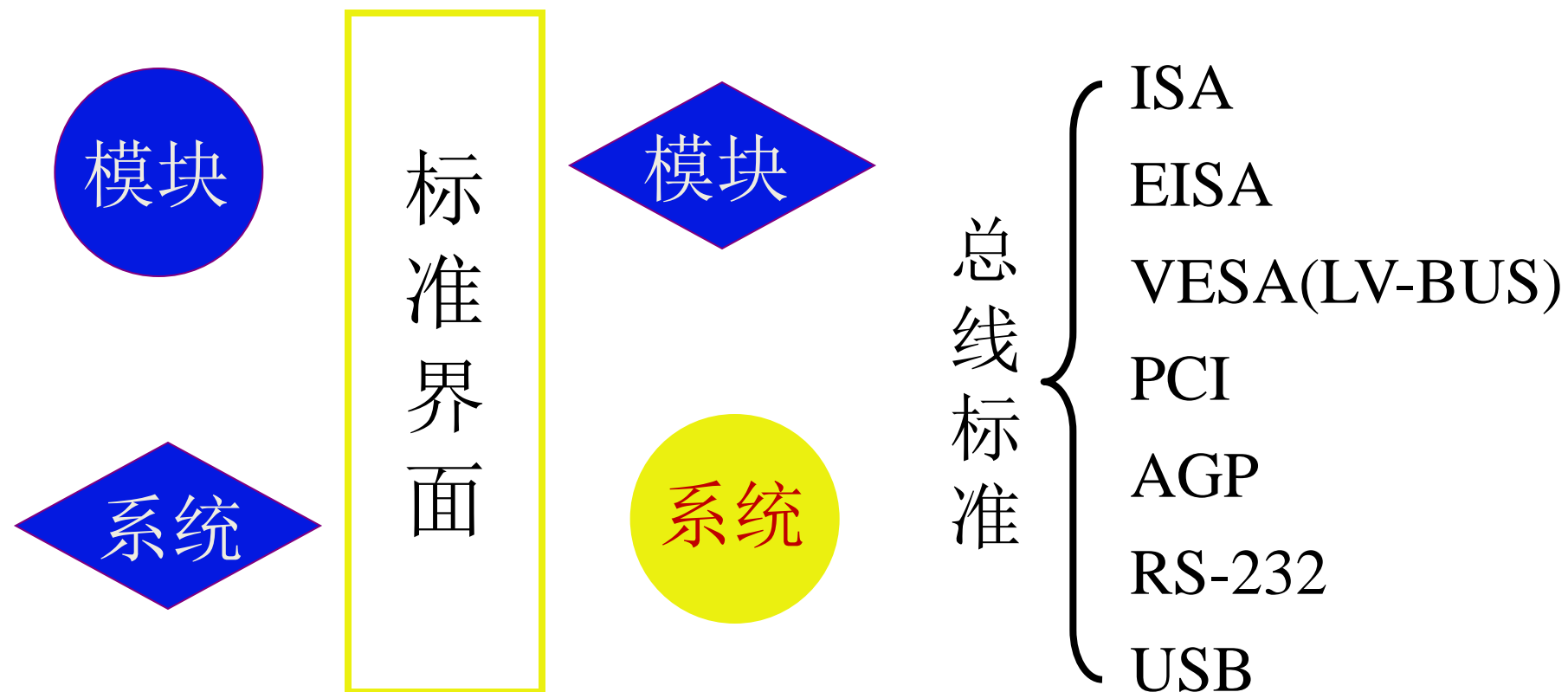
地址
数据
控制
4. 时间特性 信号的 时序 关系

3.3

三、总线的性能指标

1. 总线宽度 数据线的根数
2. 标准传输率 每秒传输的最大字节数（MBps）
3. 时钟同步/异步 同步、不同步
4. 总线复用 地址线 与 数据线 复用
5. 信号线数 地址线、数据线和控制线的 总和
6. 总线控制方式 突发、自动、仲裁、逻辑、计数
7. 其他指标 负载能力

四、总线标准



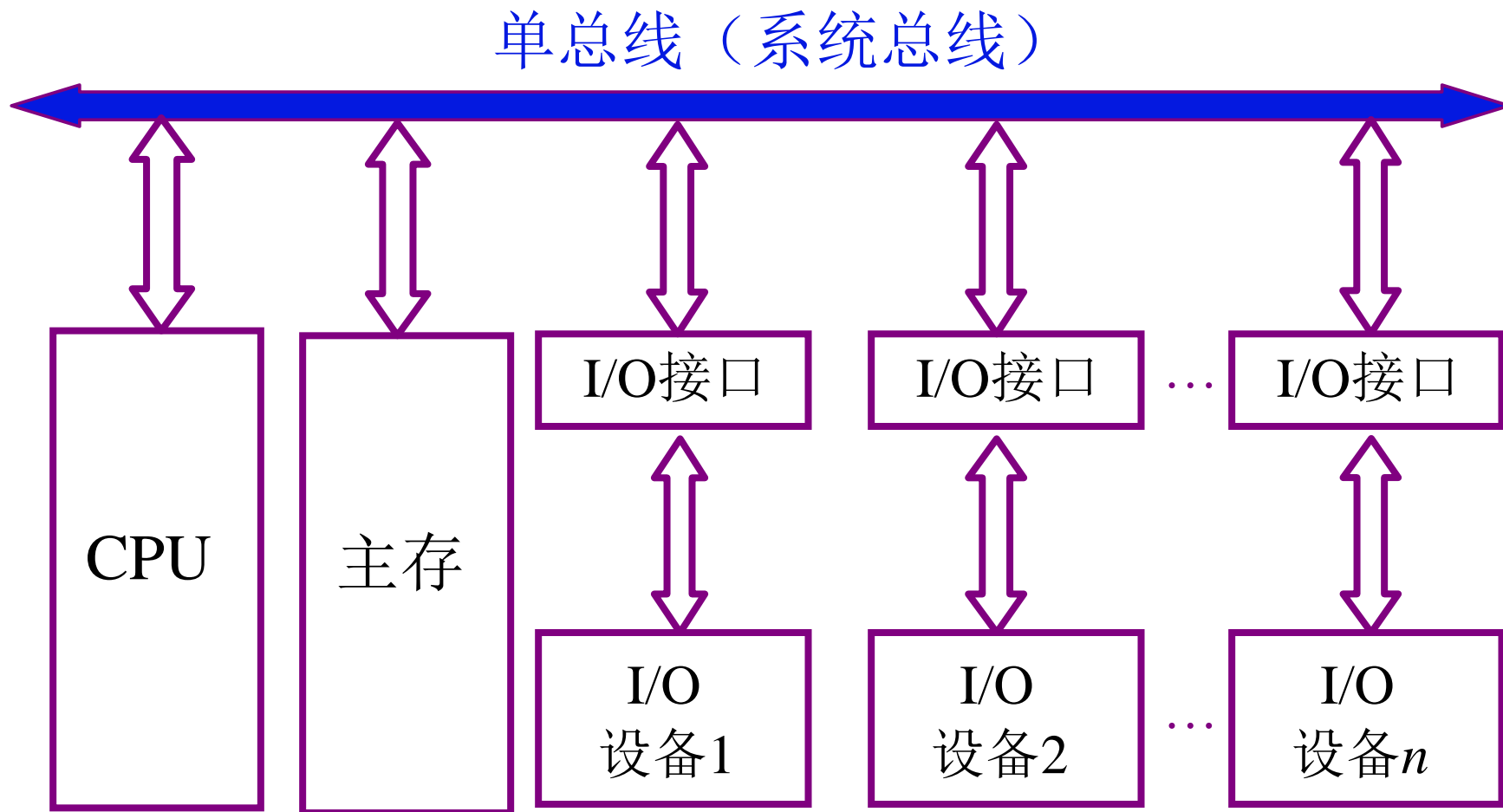
四、总线标准

3.3

总线标准	数据线	总线时钟	带宽
ISA	16	8 MHz（独立）	16 MBps
EISA	32	8 MHz（独立）	33 MBps
VESA (VL-BUS)	32	32 MHz（CPU）	132 MBps
PCI	32	33 MHz（独立）	132 MBps
	64	66 MHz（独立）	528 MBps
AGP	32	66.7 MHz（独立）	266 MBps
		133 MHz（独立）	533 MBps
RS-232	串行通信 总线标准	数据终端设备（计算机）和数据通信设备 （调制解调器）之间的标准接口	
USB	串行接口 总线标准	普通无屏蔽双绞线 带屏蔽双绞线 最高	1.5 Mbps (USB1.0) 12 Mbps (USB1.0) 480 Mbps (USB2.0)

3.4 总线结构

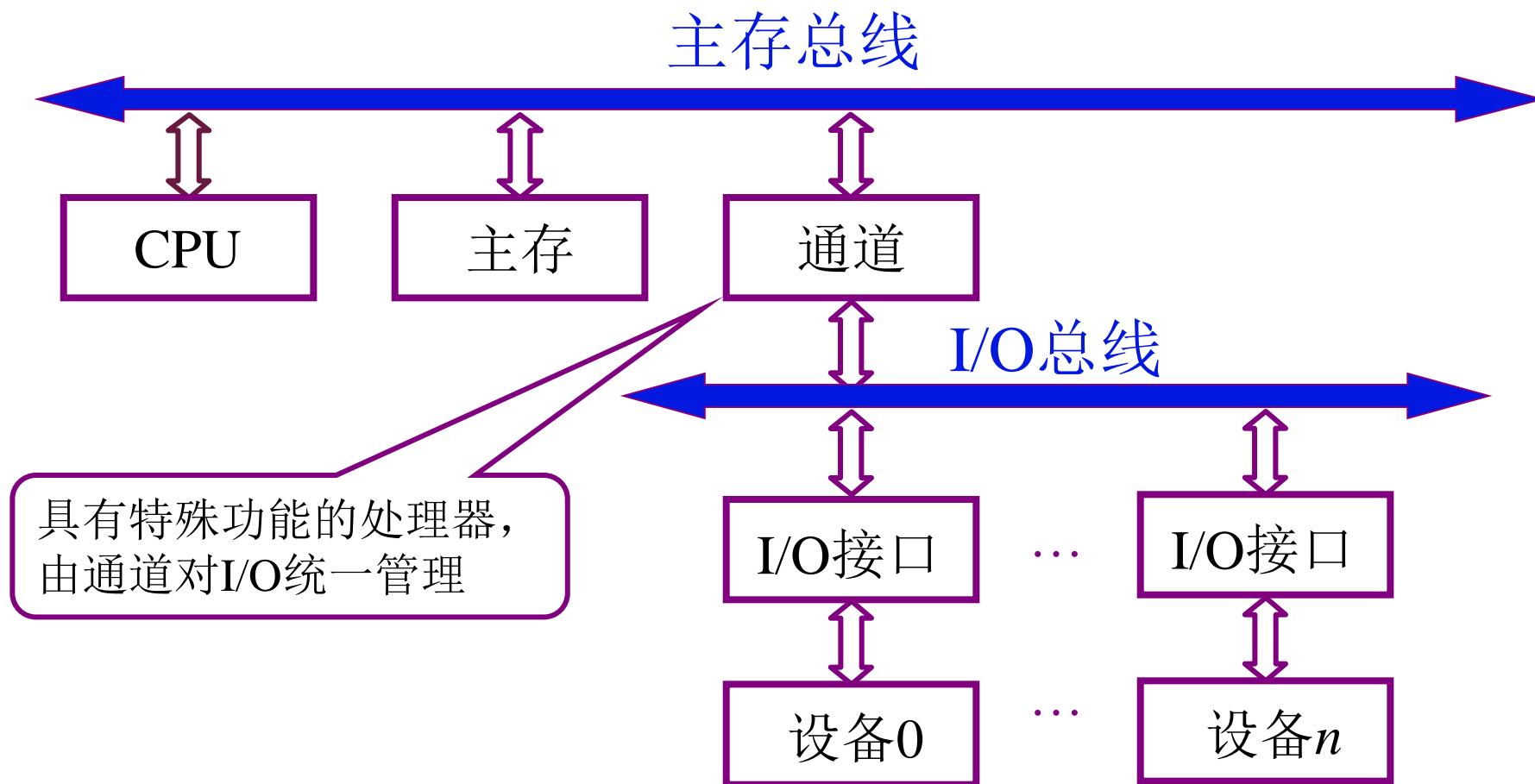
一、单总线结构



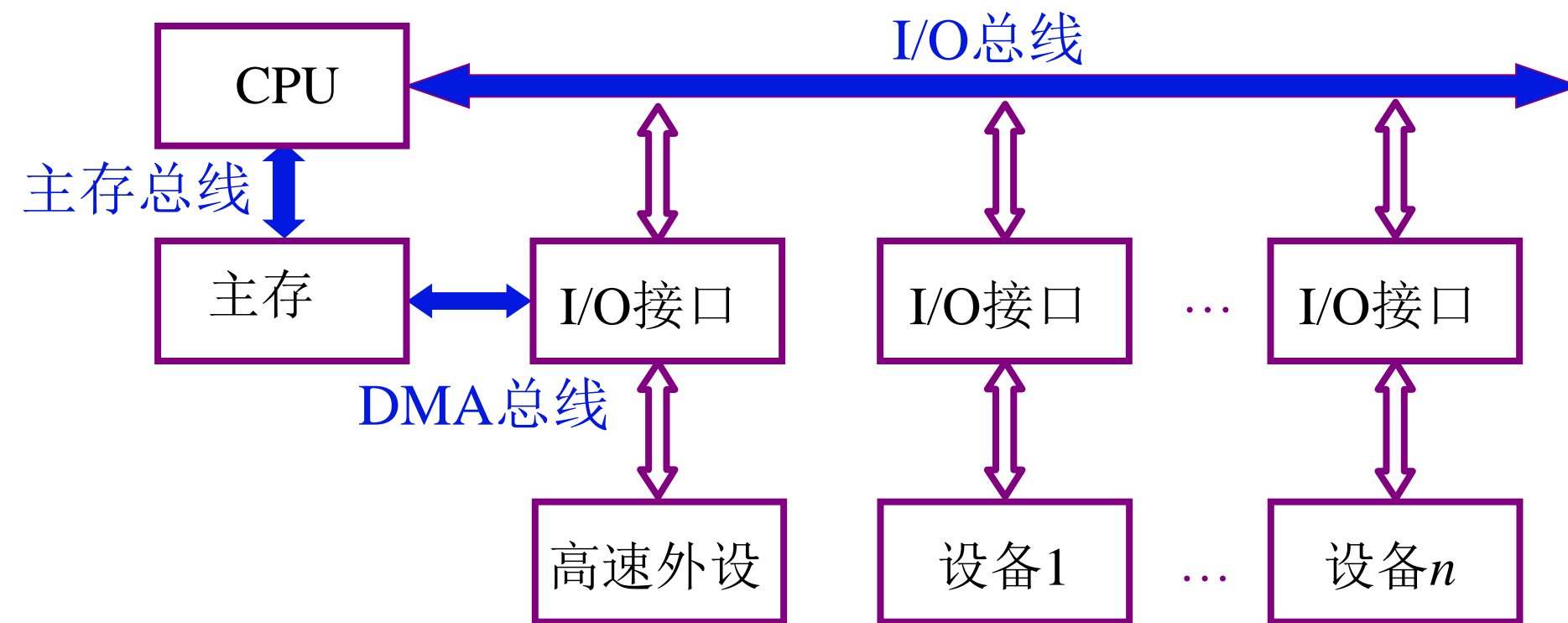
二、多总线结构

3.4

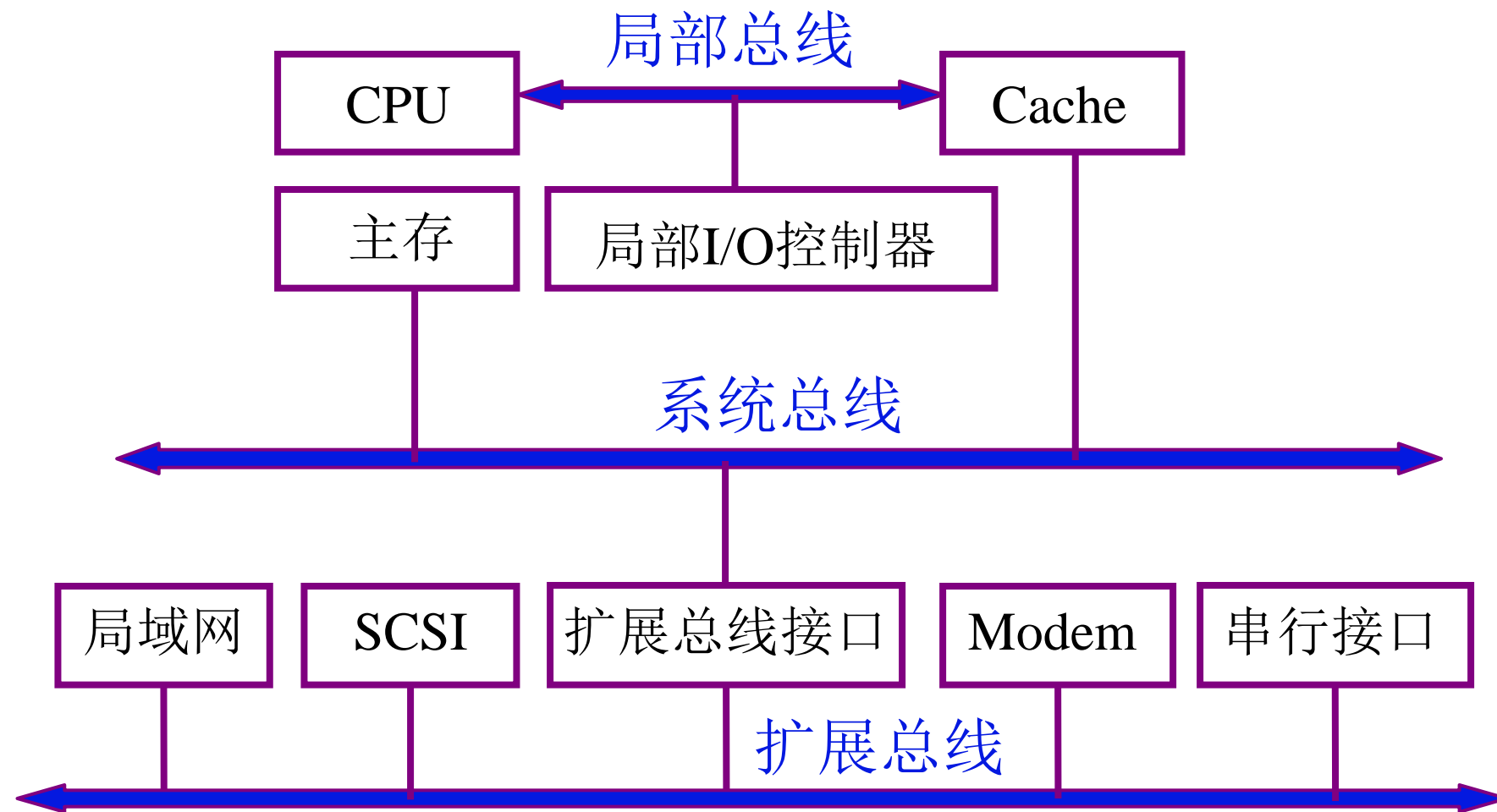
1. 双总线结构



2. 三总线结构

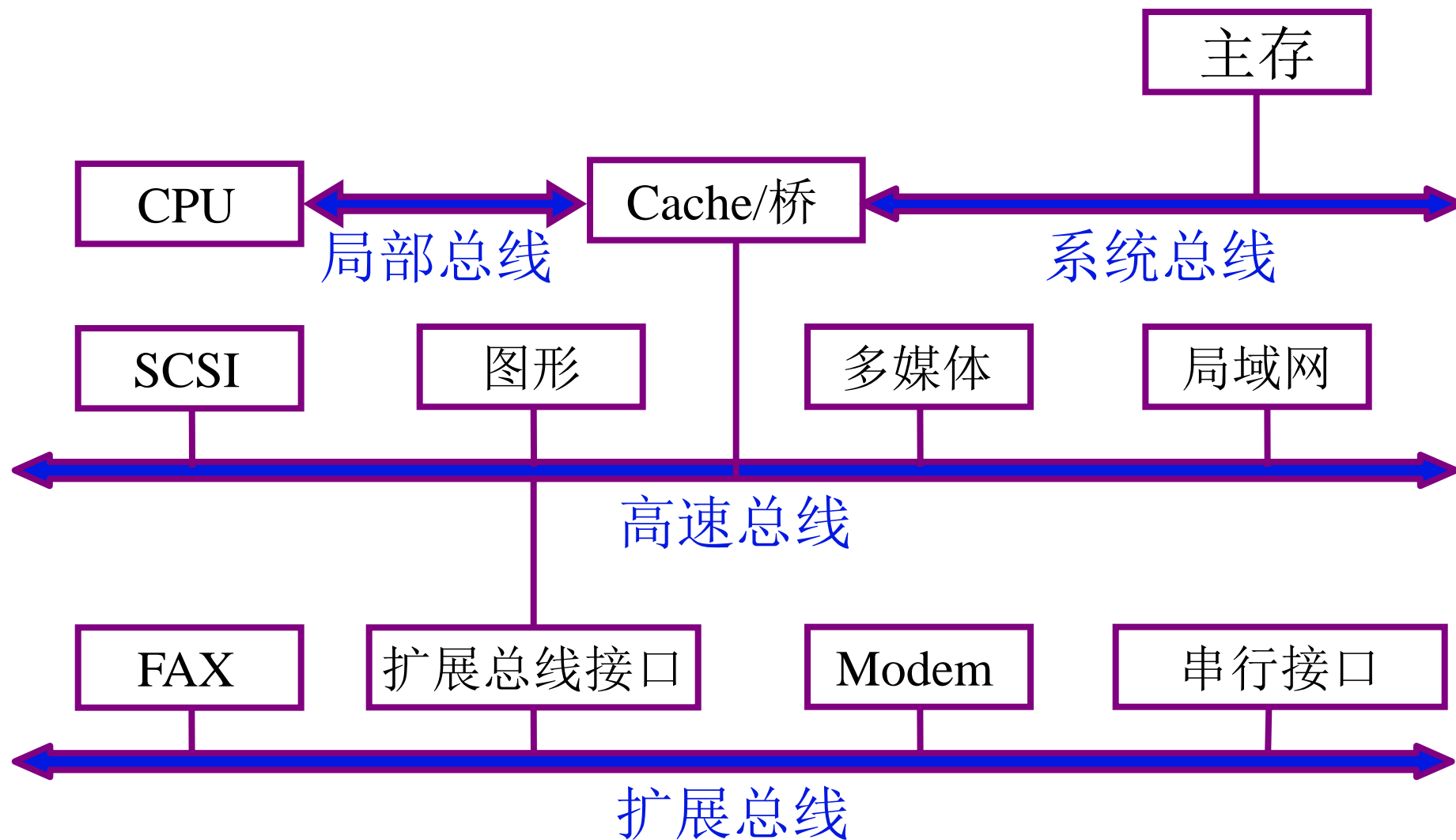


3. 三总线结构的又一形式



4. 四总线结构

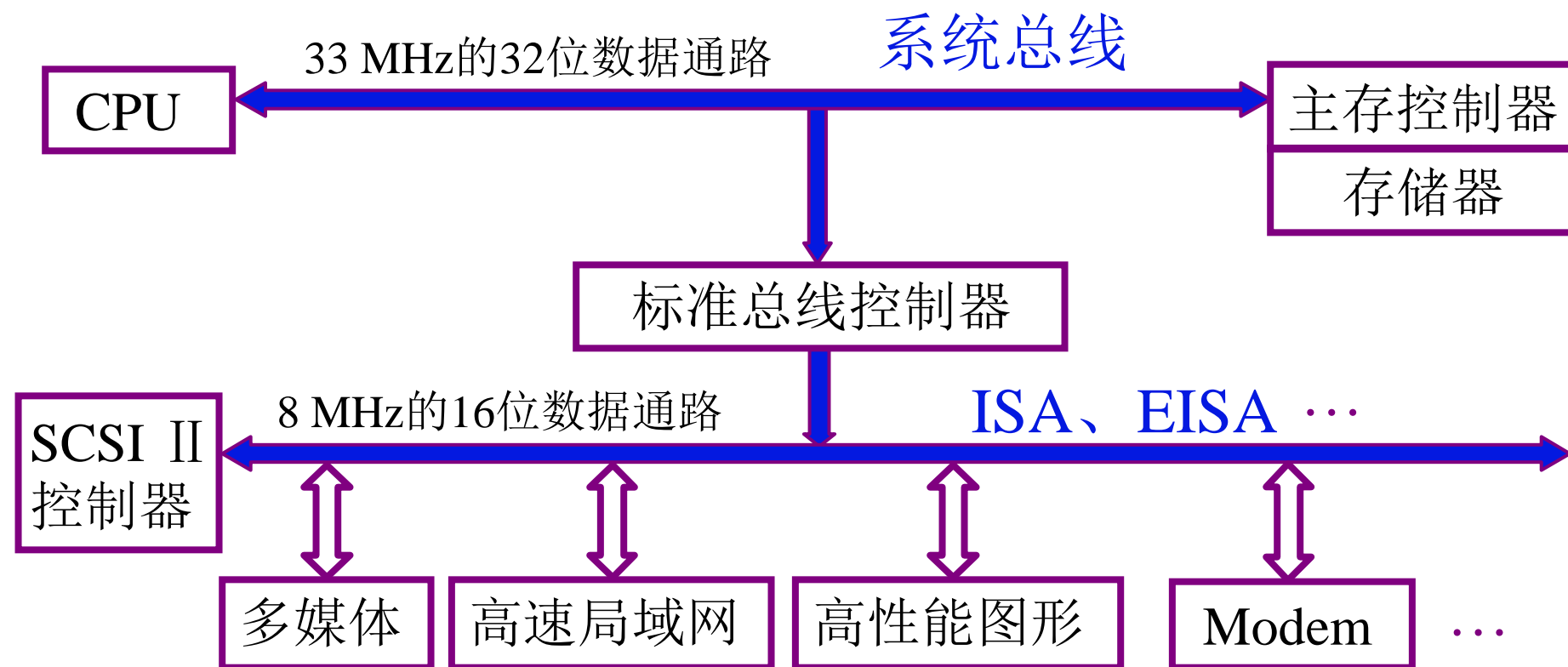
3.4



三、总线结构举例

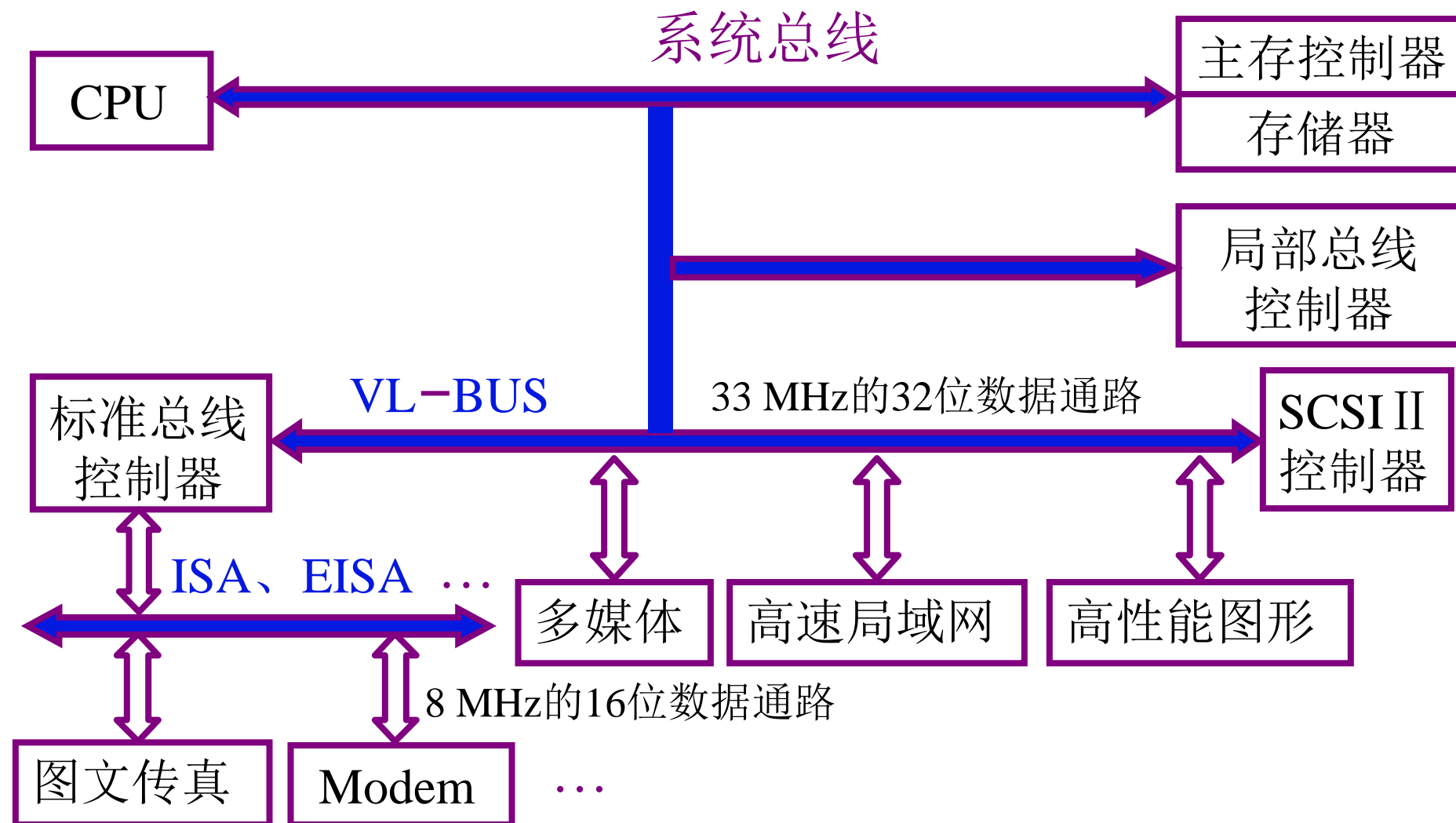
3.4

1. 传统微型机总线结构



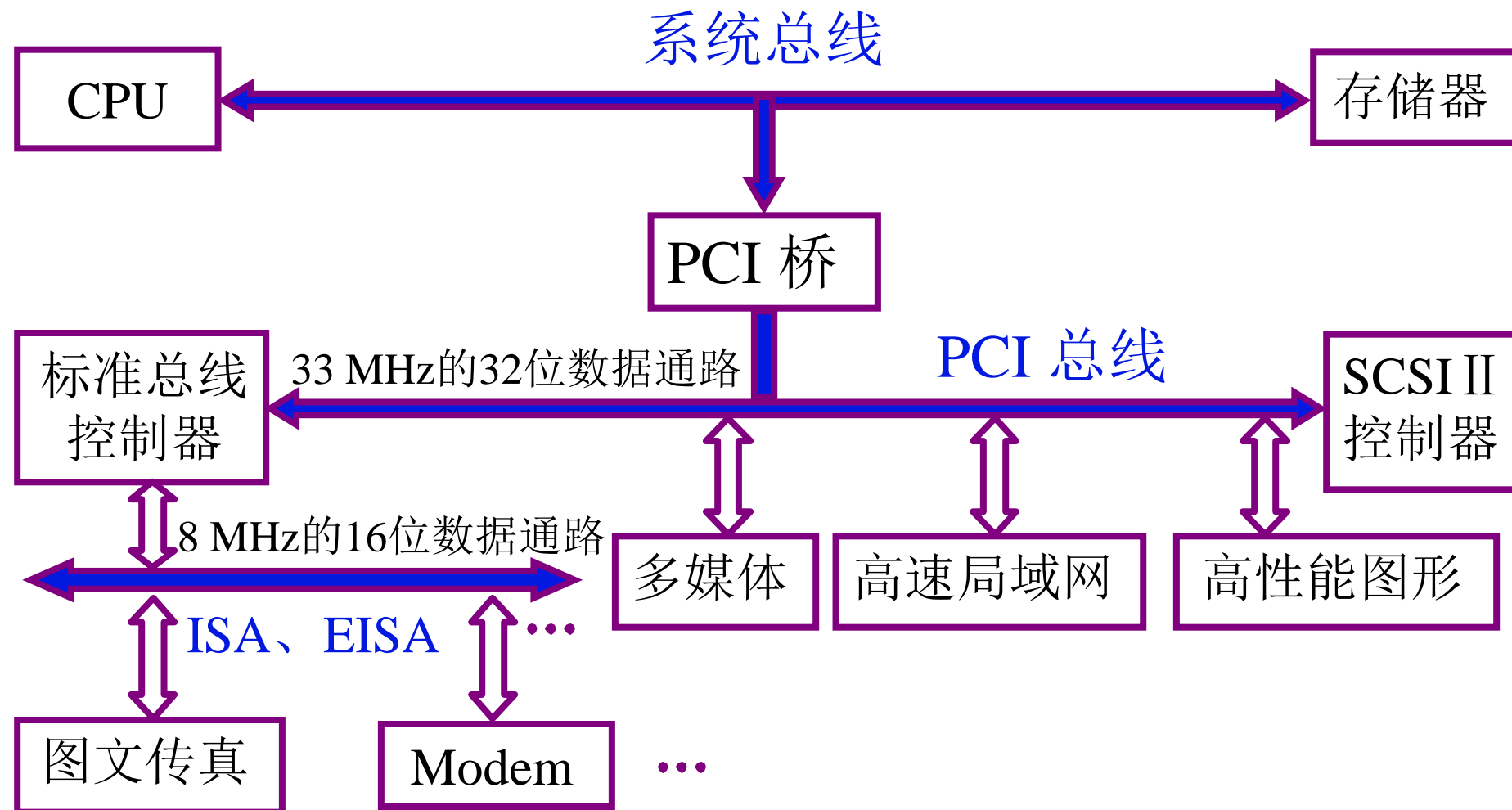
2. VL-BUS局部总线结构

3.4



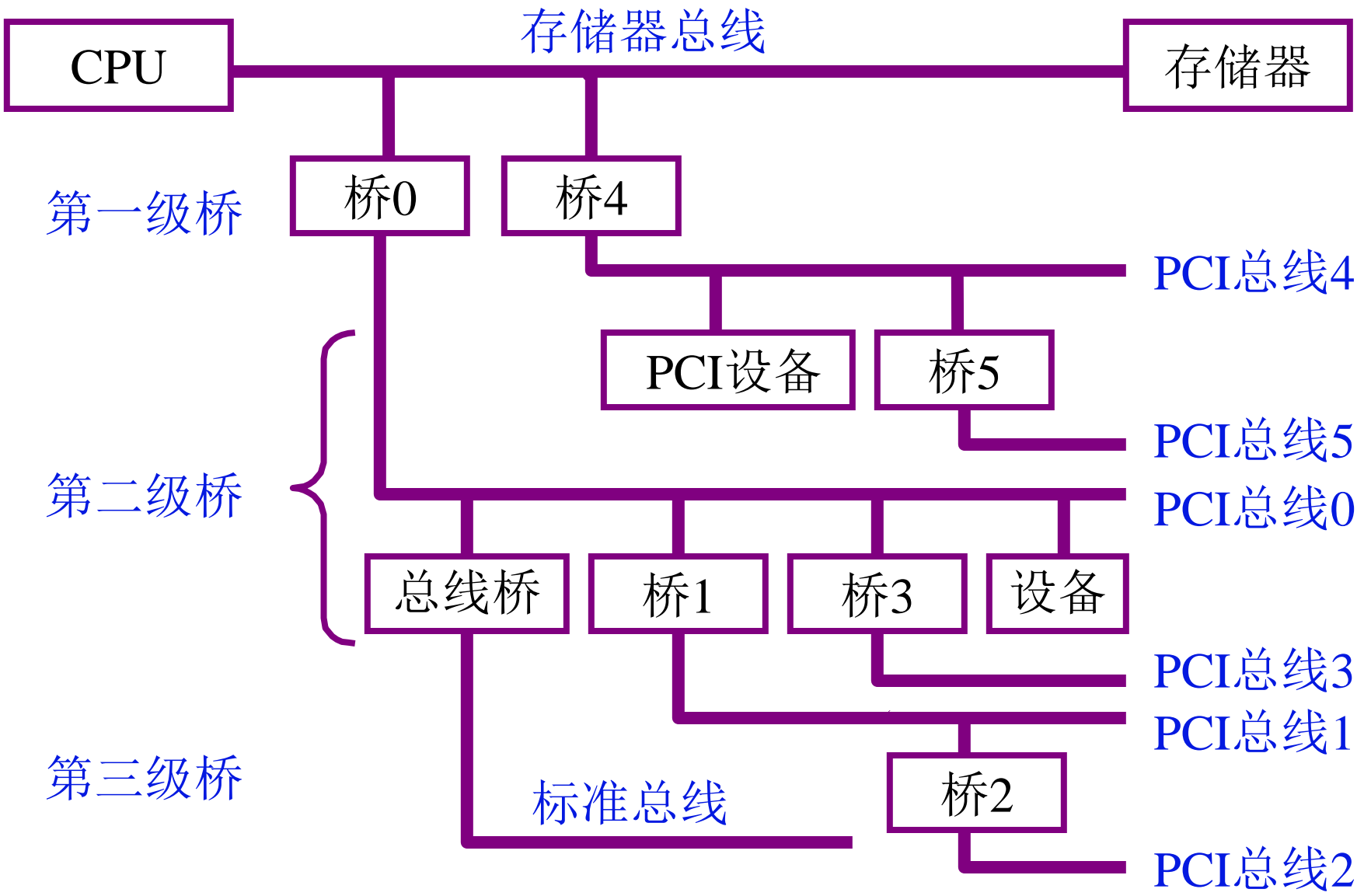
3. PCI 总线结构

3.4



4. 多层 PCI 总线结构

3.4

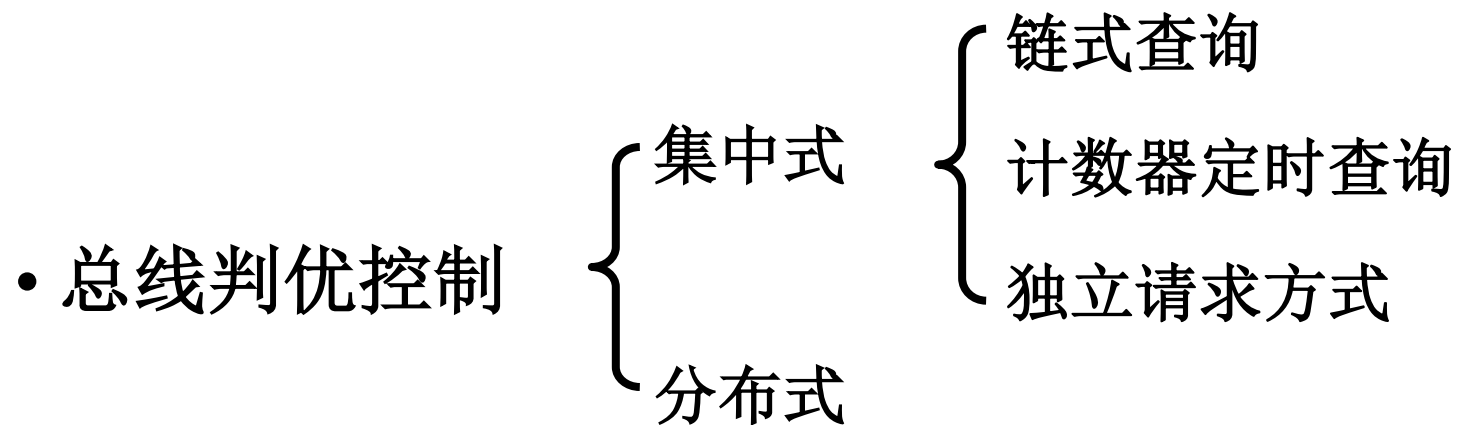


3.5 总线控制

一、总线判优控制

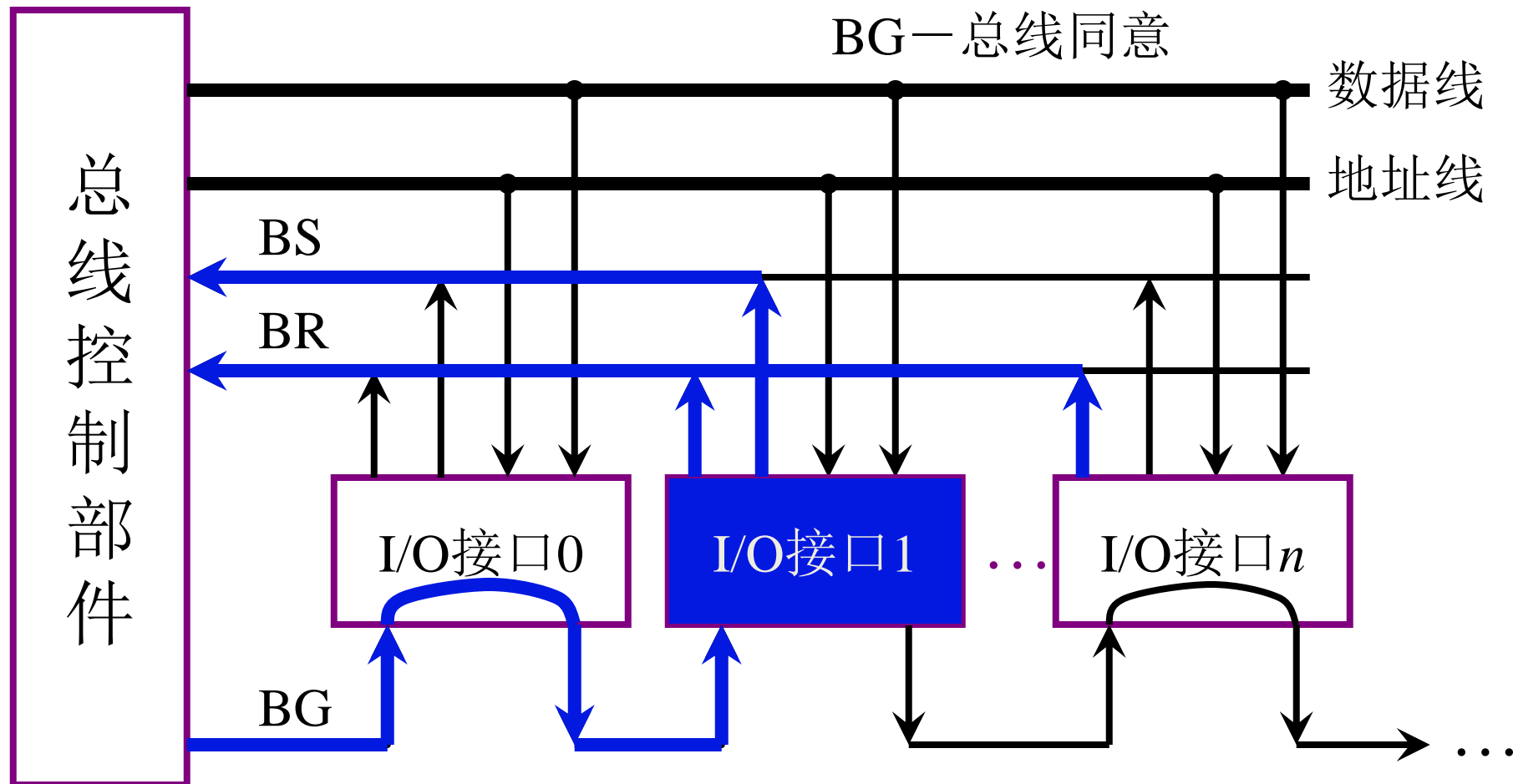
1. 基本概念

- 主设备(模块) 对总线有 **控制权**
- 从设备(模块) **响应** 从主设备发来的总线命令



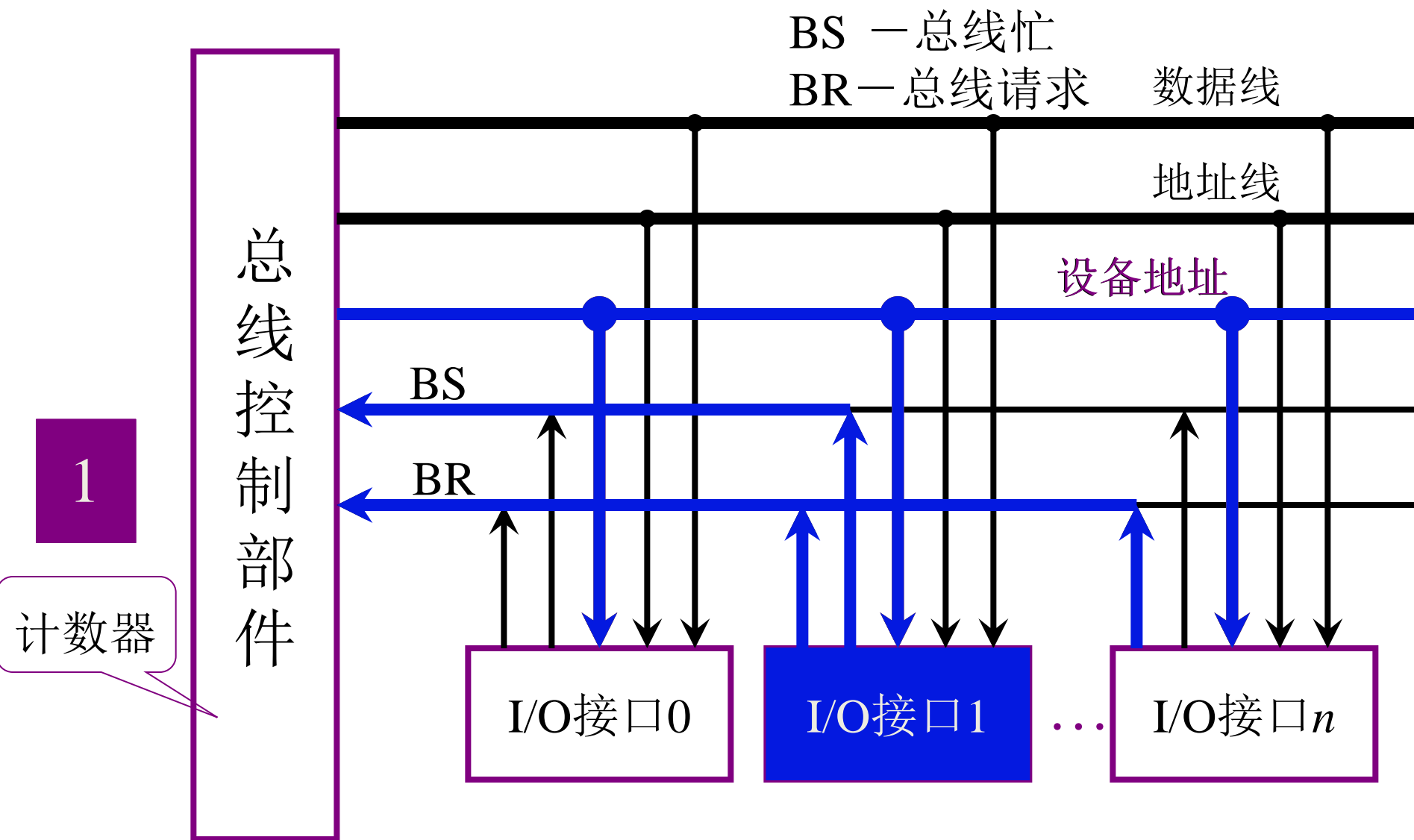
2. 链式查询方式

BS — 总线忙
BR — 总线请求
BG — 总线同意



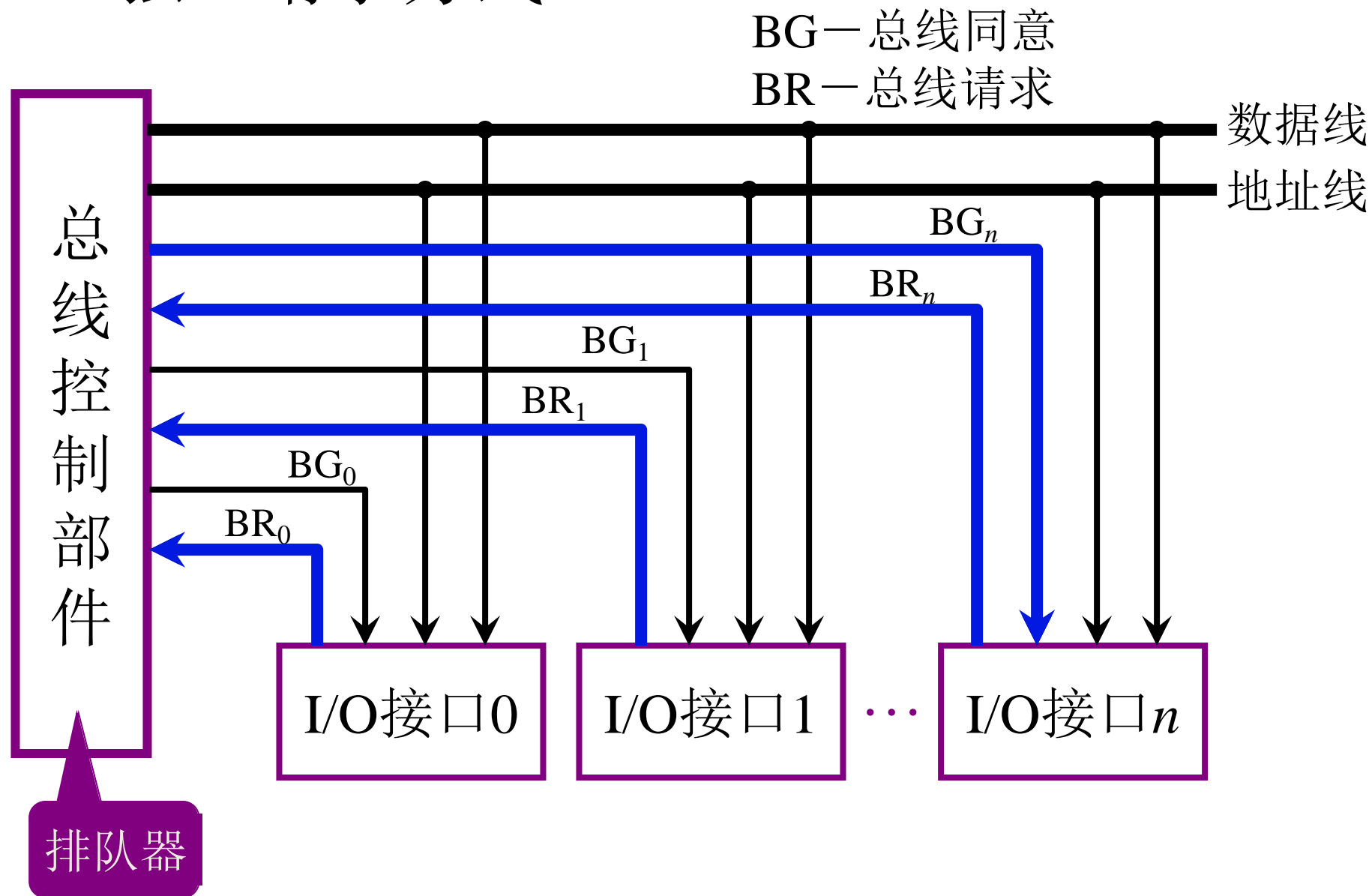
3. 计数器定时查询方式

3.5



4. 独立请求方式


3.5



二、总线通信控制

1. 目的 解决通信双方 协调配合 问题

2. 总线传输周期



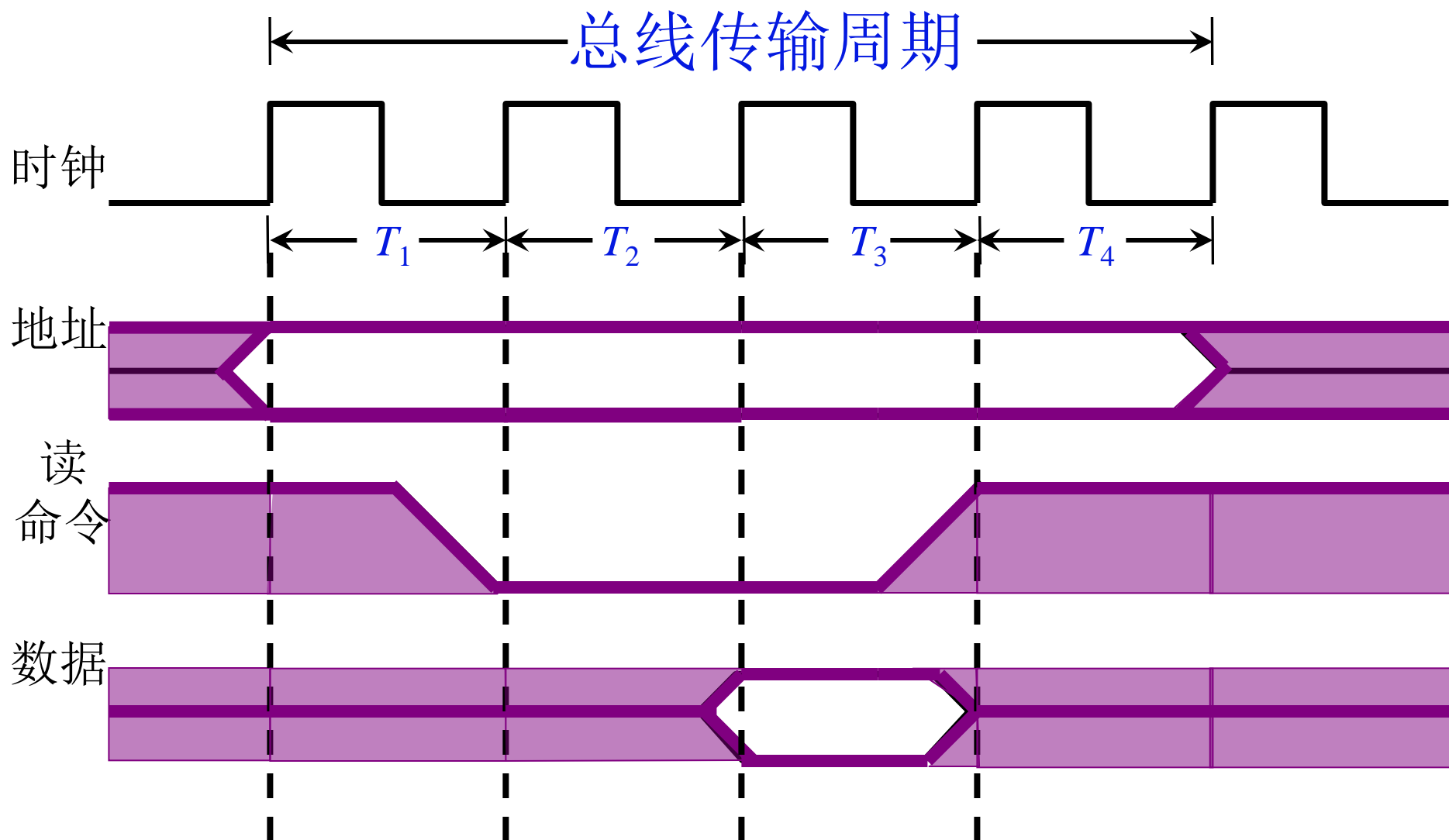
申请分配阶段	主模块申请，总线仲裁决定
寻址阶段	主模块向从模块 给出地址 和 命令
传数阶段	主模块和从模块 交换数据
结束阶段	主模块 撤消有关信息

3. 总线通信的四种方式

- 同步通信 由 统一时标 控制数据传送
- 异步通信 采用 应答方式，没有公共时钟标准
- 半同步通信 同步、异步结合
- 分离式通信 充分 挖掘 系统 总线每个瞬间 的 潜力

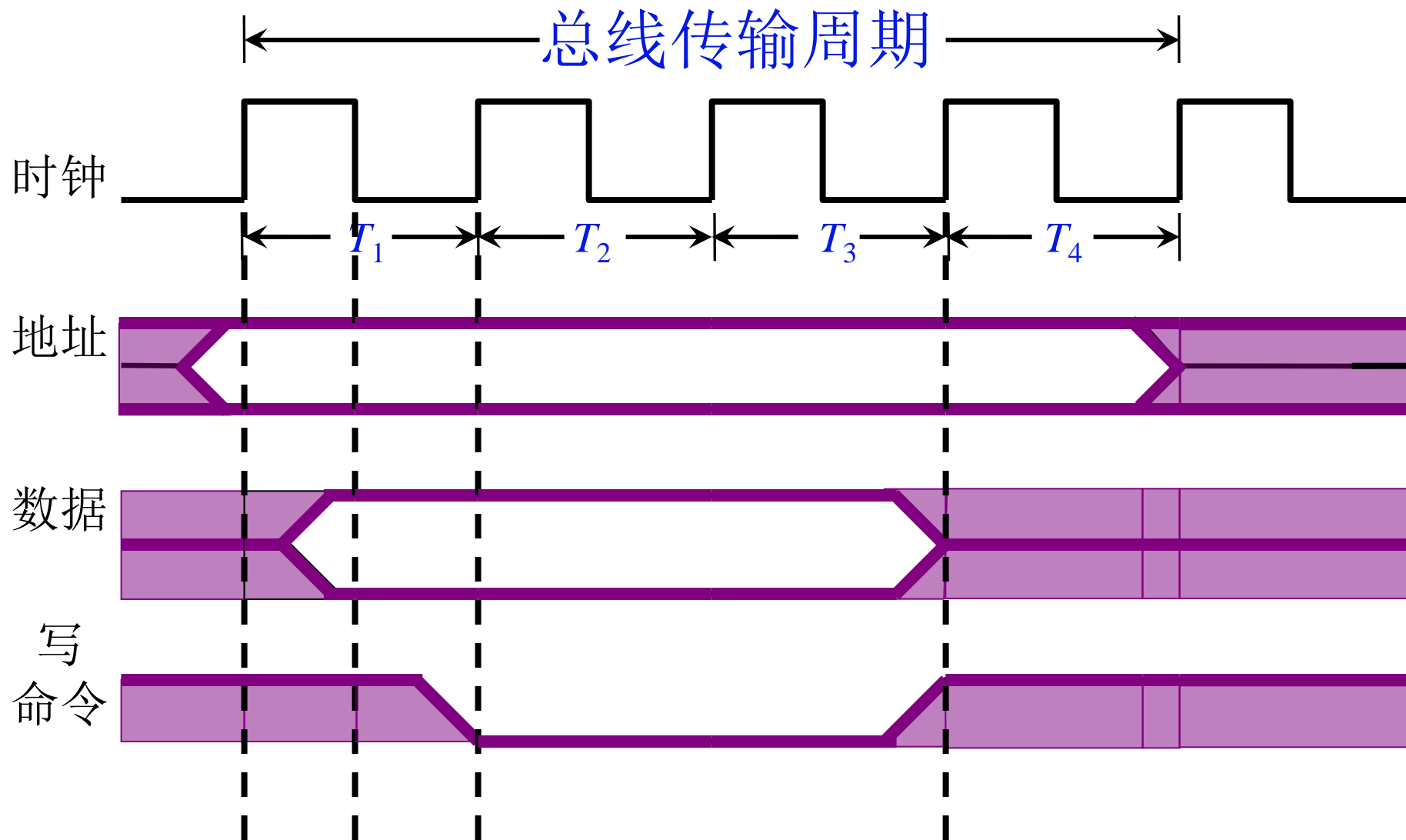
(1) 同步式数据输入

3.5



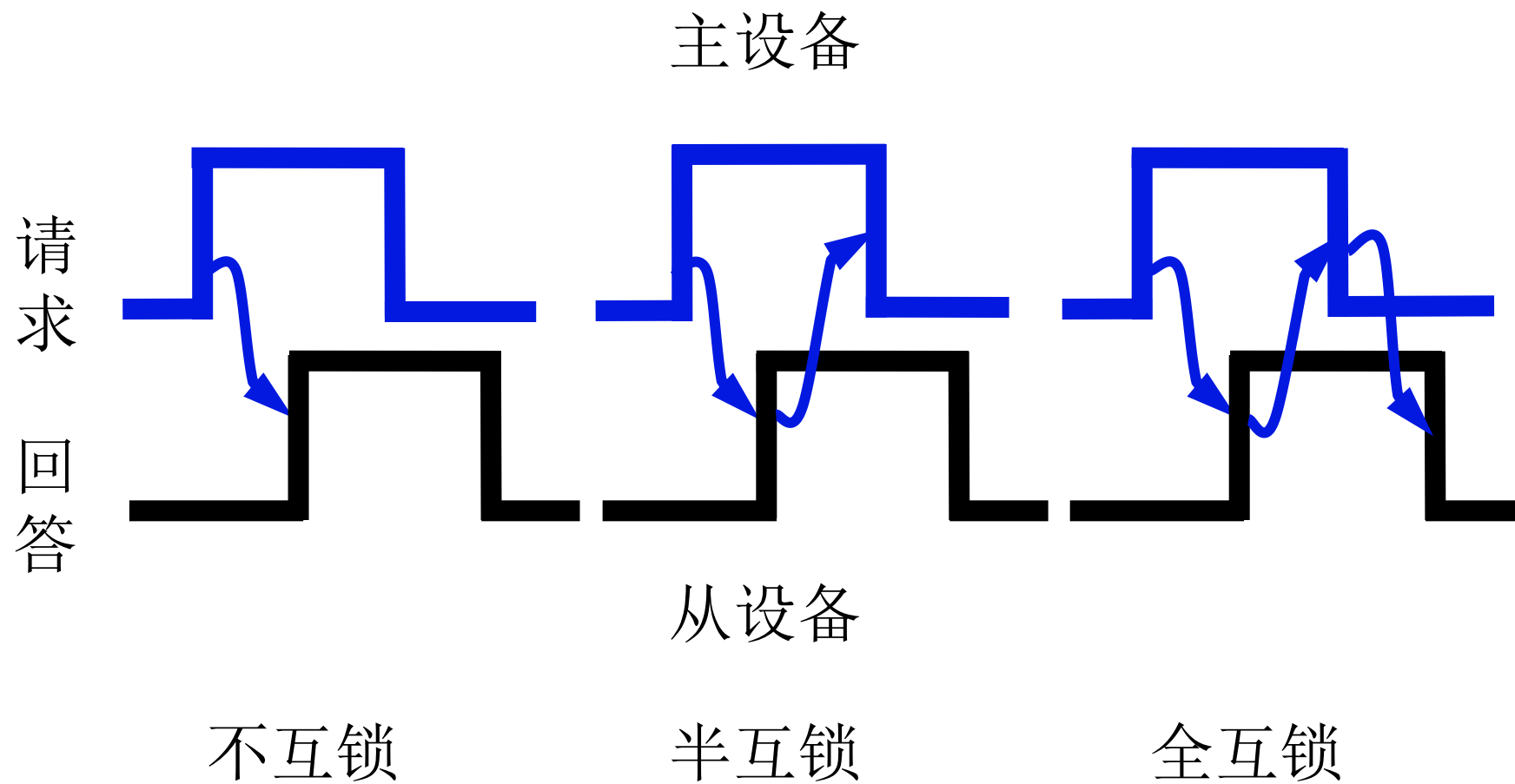
(2) 同步式数据输出

3.5



(3) 异步通信

3.5



(4) 半同步通信 (同步、异步 结合) 3.5

同步 发送方 用系统 时钟前沿 发信号

接收方 用系统 时钟后沿 判断、识别

异步 允许不同速度的模块和谐工作

增加一条 “等待” 响应信号 $\overline{\text{WAIT}}$

以输入数据为例的半同步通信时序

T_1 主模块发地址

T_2 主模块发命令

T_w 当 $\overline{\text{WAIT}}$ 为低电平时，等待一个 T

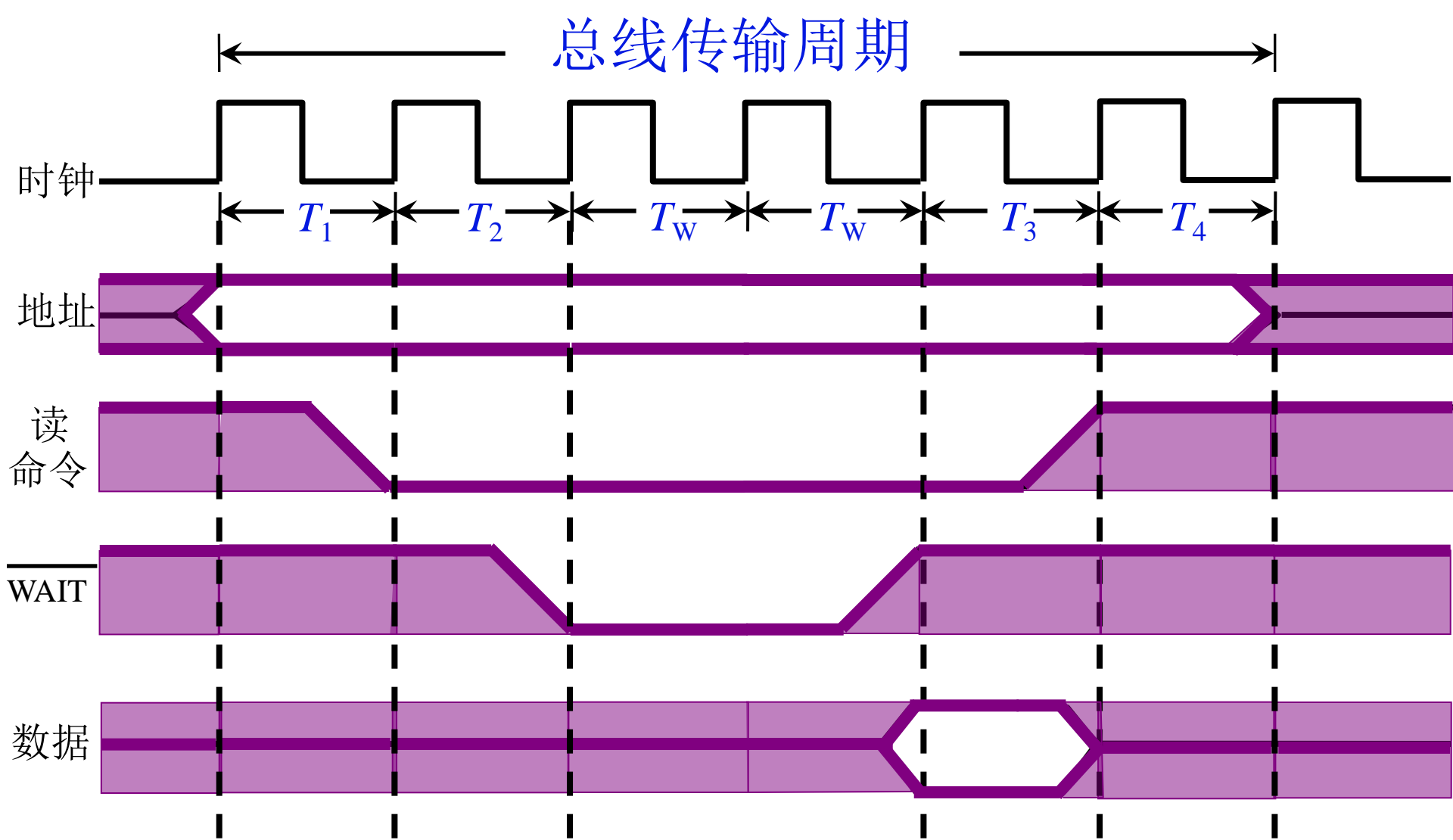
T_w 当 $\overline{\text{WAIT}}$ 为低电平时，等待一个 T

⋮

T_3 从模块提供数据

T_4 从模块撤销数据，主模块撤销命令

(4) 半同步通信 (同步、异步 结合) 3.5



3.5

上述三种通信的共同点

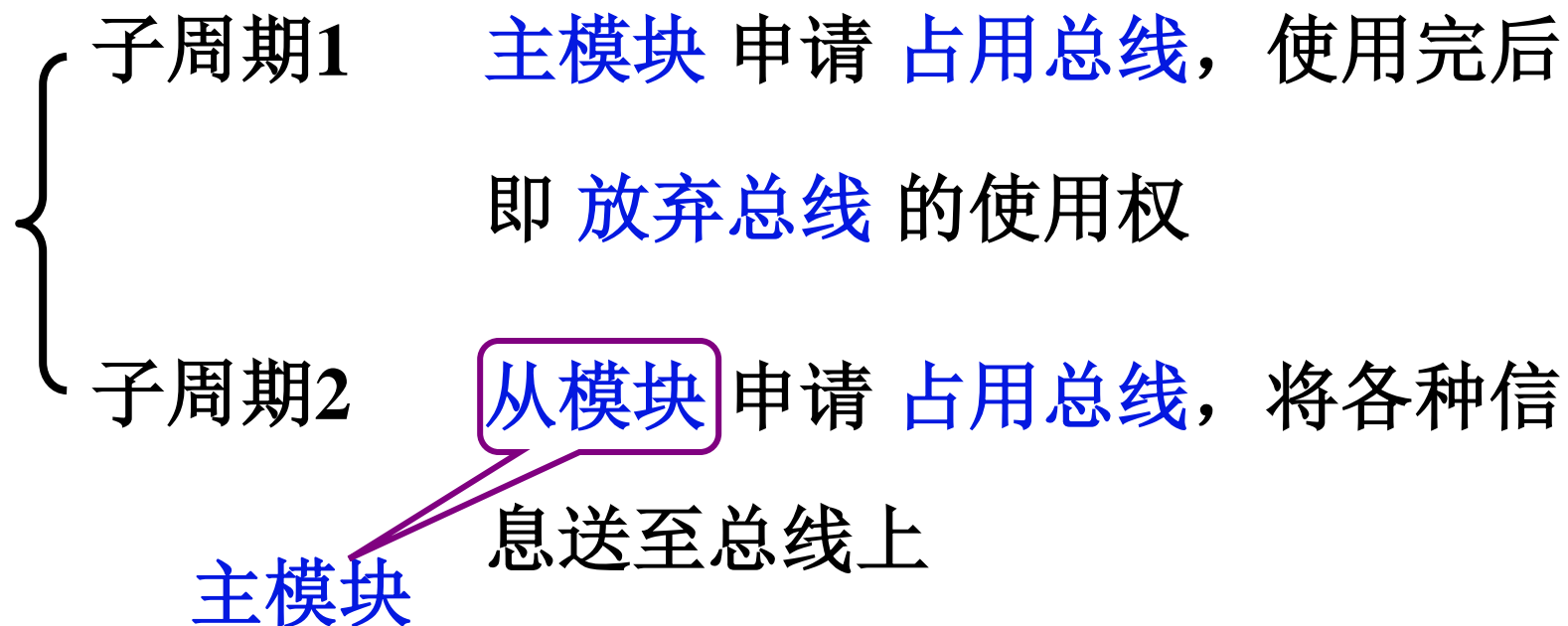
一个总线传输周期（以输入数据为例）

- 主模块发地址、命令 占用总线
- 从模块准备数据 不占用总线 总线空闲
- 从模块向主模块发数据 占用总线

(5) 分离式通信

充分挖掘系统总线每个瞬间的潜力

一个总线传输周期



分离式通信特点

1. 各模块有权申请占用总线
2. 采用同步方式通信，不等对方回答
3. 各模块准备数据时，不占用总线
4. 总线被占用时，无空闲

充分提高了总线的有效占用