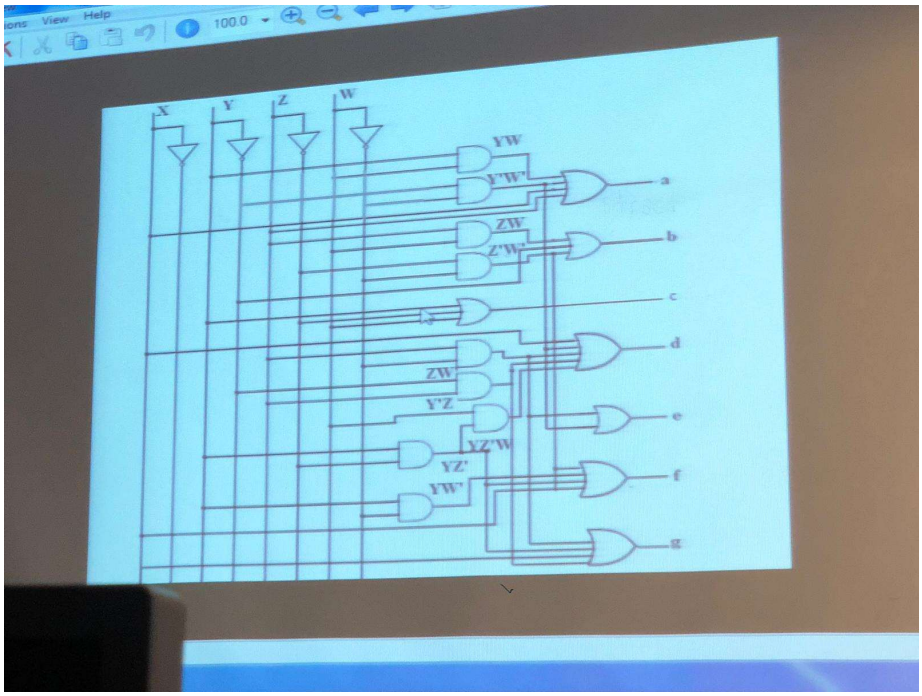


VHDL KODU

-- Create Date:
-- Design Name:

-- Module Name: devre - Behavioral

-- Project Name:

-- Target Devices:

-- Tool versions:

-- Description:

-- Dependencies:
-- Additional Comments:

```
----------------------------------------------------------------------------------

library IEEE;

use IEEE.STD_LOGIC_1164.ALL;

entity VE_KAPISI is

   port(    ve_g1:in STD_LOGIC;

            ve_g2:in STD_LOGIC;

            ve_cikis:out STD_LOGIC);

end VE_KAPISI;

architecture veri_akisi of VE_KAPISI is

begin

   process(ve_g1,ve_g2)

   begin

      ve_cikis <= ve_g1 and ve_g2;

   end process;

end veri_akisi;
----------------------------------------------------------------------------------

library IEEE;

use IEEE.STD_LOGIC_1164.ALL;
```

```
entity VEYA_KAPISI2 is

   port(    veya_g1:in STD_LOGIC;

         veya_g2:in STD_LOGIC;

         veya_cikis:out STD_LOGIC);

end VEYA_KAPISI2;



architecture veri_akisi of VEYA_KAPISI2 is

begin

   process(veya_g1,veya_g2)
```

```
   begin

      veya_cikis <= veya_g1 or veya_g2;

   end process;

end veri_akisi;

--------------------------------------------------------------------------------

library IEEE;

use IEEE.STD_LOGIC_1164.ALL;



entity VEYA_KAPISI3 is

   port(   veya_g1:in STD_LOGIC;

         veya_g2:in STD_LOGIC;

veya_g3:in STD_LOGIC;

         veya_cikis:out STD_LOGIC);

end VEYA_KAPISI3;

architecture veri_akisi of VEYA_KAPISI3 is

begin

   process(veya_g1,veya_g2,veya_g3)

   begin
```

```
      veya_cikis <= veya_g1 or veya_g2 or veya_g3;

   end process;

end veri_akisi;

--------------------------------------------------------------------------------

library IEEE;

use IEEE.STD_LOGIC_1164.ALL;

entity VEYA_KAPISI4 is

   port(   veya_g1:in STD_LOGIC;

         veya_g2:in STD_LOGIC;

veya_g3:in STD_LOGIC;

veya_g4:in STD_LOGIC;
veya_cikis:out STD_LOGIC);

end VEYA_KAPISI4;

architecture veri_akisi of VEYA_KAPISI4 is

begin

   process(veya_g1,veya_g2,veya_g3,veya_g4)

   begin

      veya_cikis <= veya_g1 or veya_g2 or veya_g3 or
   veya_g4; end process;
```

```
end veri_akisi;

----------------------------------------------------------------------------------
library IEEE;

use IEEE.STD_LOGIC_1164.ALL;

entity VEYA_KAPISI5 is

   port(    veya_g1:in STD_LOGIC;

            veya_g2:in STD_LOGIC;

veya_g3:in STD_LOGIC;

veya_g4:in STD_LOGIC;

veya_g5:in STD_LOGIC;

            veya_cikis:out STD_LOGIC);

end VEYA_KAPISI5;

architecture veri_akisi of VEYA_KAPISI5 is

begin

   process(veya_g1,veya_g2,veya_g3,veya_g4,veya_g5)

   begin

      veya_cikis <= veya_g1 or veya_g2 or veya_g3 or veya_g4 or veya_g5;
   end process;

end veri_akisi;
----------------------------------------------------------------------------------
```

```
library IEEE;

use IEEE.STD_LOGIC_1164.ALL;



entity NOT_KAPISI is

      port(not_giris:in STD_LOGIC;
         not_cikis:out STD_LOGIC);

end NOT_KAPISI;
architecture veri_akisi of NOT_KAPISI is

begin

   process(not_giris)

   begin

      not_cikis <= NOT not_giris;

   end process;

end veri_akisi;

--------------------------------------------------------------------------------

library IEEE;

use IEEE.STD_LOGIC_1164.ALL;
entity devre is

   port(    d_x: in STD_LOGIC;

         d_y: in STD_LOGIC;
```

```
        d_z: in STD_LOGIC;

        d_w: in STD_LOGIC;

        d_a: out STD_LOGIC;
        d_b: out STD_LOGIC;

        d_c: out STD_LOGIC;

        d_d: out STD_LOGIC;
        d_e: out STD_LOGIC;
        d_f: out STD_LOGIC;
        d_g: out STD_LOGIC);
end devre;



architecture yapisal of devre is

   component NOT_KAPISI is

      port(   not_giris:in STD_LOGIC;

         not_cikis:out STD_LOGIC);

   end component;

   component VE_KAPISI is

        port(   ve_g1:in STD_LOGIC;

         ve_g2:in STD_LOGIC;

         ve_cikis:out STD_LOGIC);
```

```
   end component;



component VEYA_KAPISI4 is

   port(   veya_g1:in STD_LOGIC;

         veya_g2:in STD_LOGIC;

veya_g3:in STD_LOGIC;

veya_g4:in STD_LOGIC;

veya_cikis:out STD_LOGIC);

   end component;




component VEYA_KAPISI3 is

   port(   veya_g1:in STD_LOGIC;

         veya_g2:in STD_LOGIC;

veya_g3:in STD_LOGIC;

veya_cikis:out STD_LOGIC);

   end component;
component VEYA_KAPISI5 is
```

```
   port(    veya_g1:in STD_LOGIC;

         veya_g2:in STD_LOGIC;

veya_g3:in STD_LOGIC;

veya_g4:in STD_LOGIC;

veya_g5:in STD_LOGIC;

veya_cikis:out STD_LOGIC);

   end component;
component VEYA_KAPISI2 is

   port(    veya_g1:in STD_LOGIC;

         veya_g2:in STD_LOGIC;

         veya_cikis:out STD_LOGIC);

end component;

   signal xnot: STD_LOGIC;

   signal ynot: STD_LOGIC;

   signal znot: STD_LOGIC;

   signal wnot: STD_LOGIC;

            signal yw: STD_LOGIC;

   signal ynotwnot: STD_LOGIC;

   signal zw: STD_LOGIC;
```

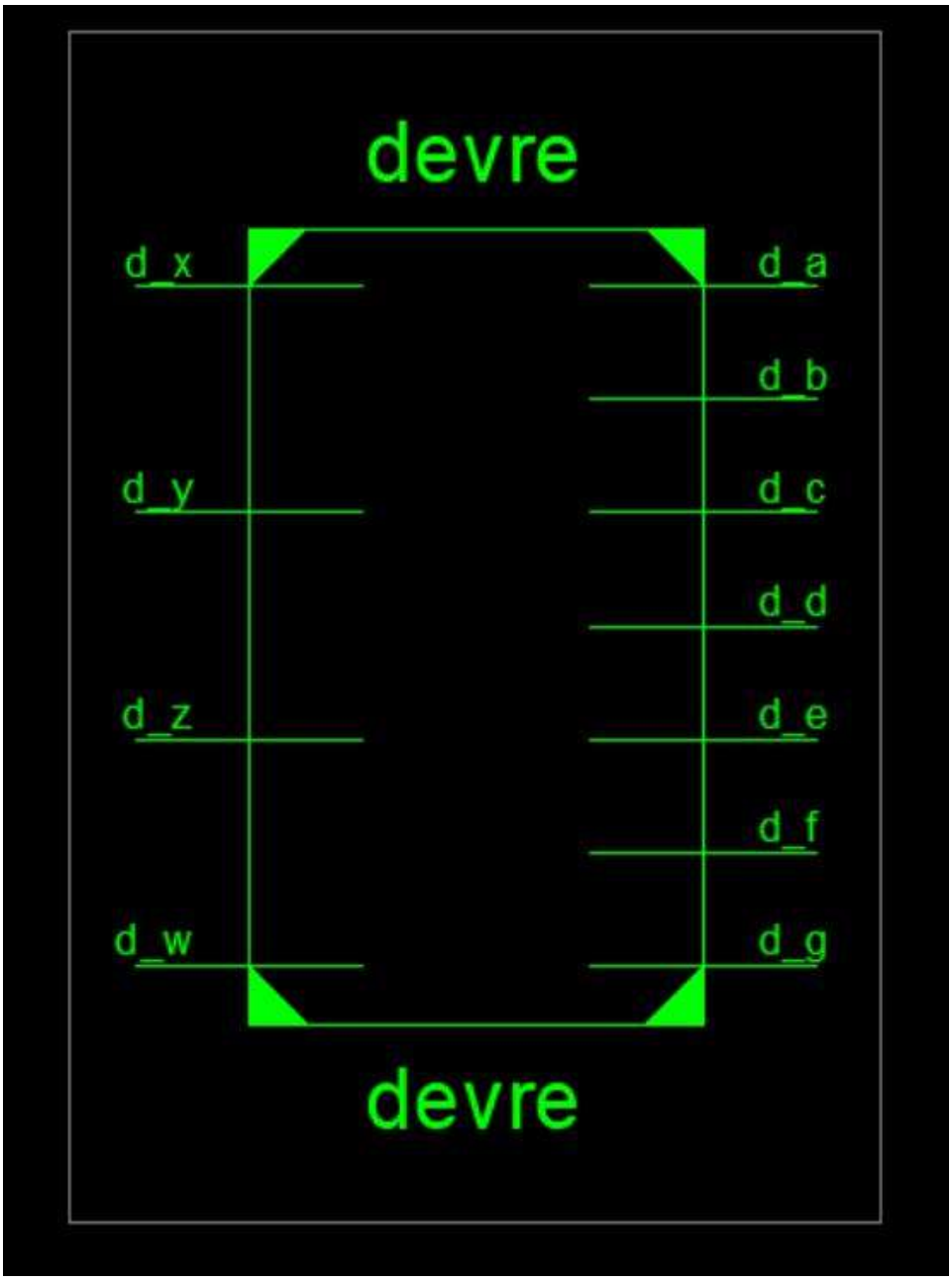
```
    signal znotwnot: STD_LOGIC;

    signal zwnot: STD_LOGIC;

    signal ynotz: STD_LOGIC;

    signal yznot: STD_LOGIC;

    signal yznotw: STD_LOGIC;

    signal ywnot: STD_LOGIC;




begin

    blok1: NOT_KAPISI port map(not_giris =>d_x , not_cikis=>xnot );
```

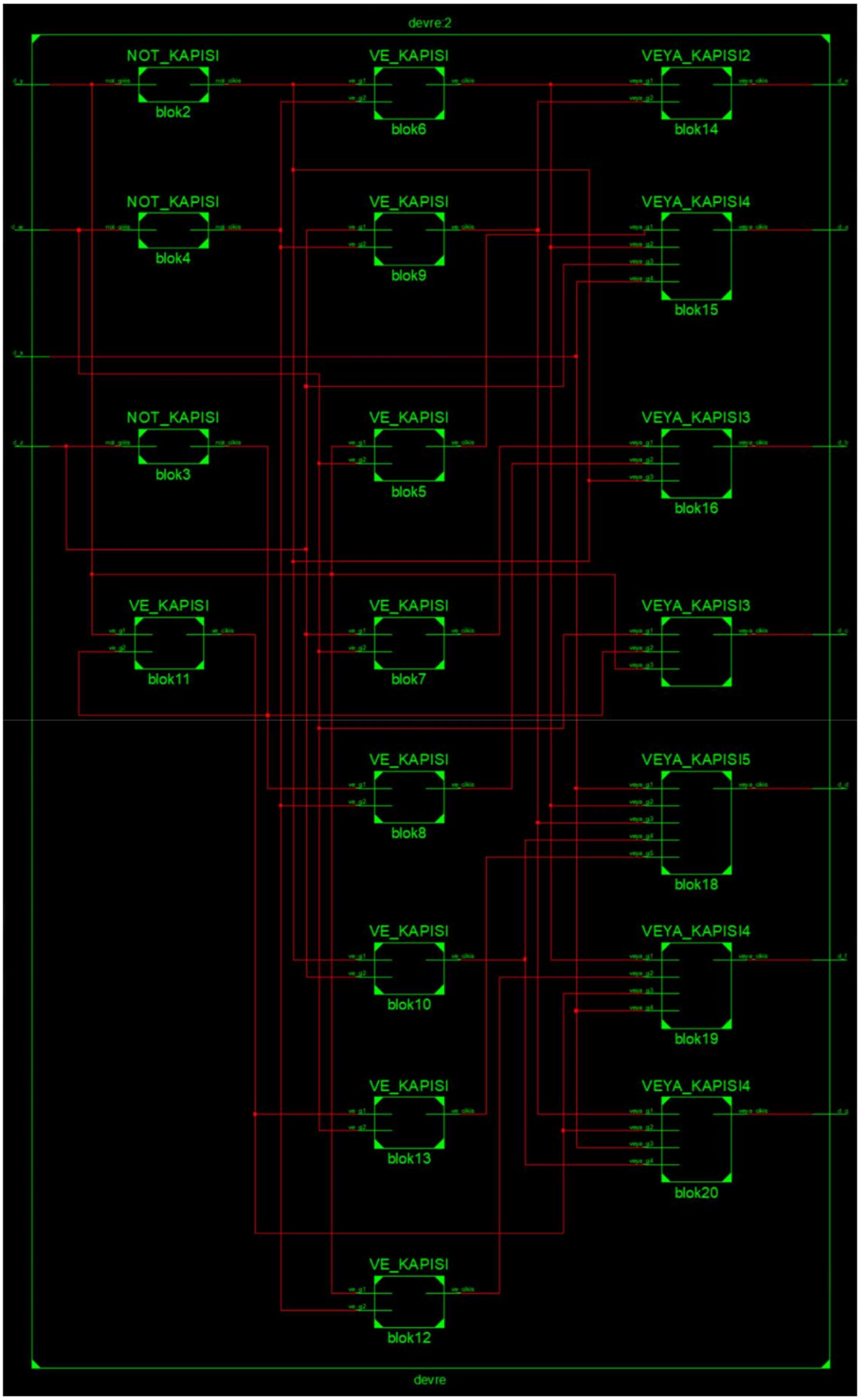
```
blok2: NOT_KAPISI port map(not_giris =>d_y , not_cikis=>ynot );

blok3: NOT_KAPISI port map(not_giris =>d_z , not_cikis=>znot );

blok4: NOT_KAPISI port map(not_giris =>d_w , not_cikis=>wnot );

blok5: VE_KAPISI port map( ve_g1=>d_y ,ve_g2 => d_w,
ve_cikis => yw );

        blok6: VE_KAPISI port map( ve_g1=>ynot ,ve_g2 => wnot,
ve_cikis => ynotwnot );

        blok7: VE_KAPISI port map( ve_g1=>d_z ,ve_g2 => d_w,
ve_cikis => zw );

        blok8: VE_KAPISI port map( ve_g1=>znot ,ve_g2 =>
wnot, ve_cikis => znotwnot );

        blok9: VE_KAPISI port map( ve_g1=>d_z ,ve_g2 =>
wnot, ve_cikis => zwnot );

        blok10: VE_KAPISI port map( ve_g1=>ynot ,ve_g2 => d_z,
ve_cikis => ynotz );

        blok11: VE_KAPISI port map( ve_g1=>d_y ,ve_g2 => znot,
ve_cikis => yznot );

        blok12: VE_KAPISI port map( ve_g1=>d_y ,ve_g2 =>
wnot, ve_cikis => ywnot );

        blok13: VE_KAPISI port map( ve_g1=>yznot ,ve_g2
=>d_w, ve_cikis => yznotw );

        blok14: VEYA_KAPISI2 port map(veya_g1 =>ynotwnot ,veya_g2 =>zwnot ,
veya_cikis => d_e);
```

```
blok15: VEYA_KAPISI4 port map(veya_g1 =>yw ,veya_g2 =>ynotwnot ,veya_g3 =>d_z,
        veya_g4 =>d_x,veya_cikis => d_a);

        blok16: VEYA_KAPISI3 port map(veya_g1 =>zw ,veya_g2 =>znotwnot ,veya_g3 =>ynot,
        veya_cikis => d_b);

        blok17: VEYA_KAPISI3 port map(veya_g1 =>d_w ,veya_g2 =>znot ,veya_g3 =>d_y,
        veya_cikis => d_c);

blok18: VEYA_KAPISI5 port map(veya_g1 =>d_x,veya_g2 =>ynotwnot ,veya_g3 =>zwnot,
        veya_g4 =>ynotz,veya_g5 =>yznotw,veya_cikis => d_d);
```

```
        blok19: VEYA_KAPISI4 port map(veya_g1 =>ynotwnot ,veya_g2 =>ywnot ,veya_g3 =>yznot,

        veya_g4 =>d_x,veya_cikis => d_f);

        blok20: VEYA_KAPISI4 port map(veya_g1 =>zwnot ,veya_g2 =>yznot ,veya_g3 =>d_x,

        veya_g4 =>ynotz,veya_cikis => d_g);

end yapisal;
```

RTL ŞEMASI




devre:2
NOT_KAPISI
blok2
VE_KAPISI
blok6
VEYA_KAPISI2
blok14
NOT_KAPISI
blok4
VE_KAPISI
blok9
VEYA_KAPISI4
blok15
NOT_KAPISI
blok3
VE_KAPISI
blok5
VEYA_KAPISI3
blok16
VE_KAPISI
blok11
VE_KAPISI
blok7
VEYA_KAPISI3
VE_KAPISI
blok8
VEYA_KAPISI5
blok18
VE_KAPISI
blok10
VEYA_KAPISI4
blok19
VE_KAPISI
blok13
VEYA_KAPISI4
blok20
VE_KAPISI
blok12
devre

SİMÜLASYON DALGA FORMU

Simülasyon için denenen 5 değer tabloda verilmiştir.

X	Y	Z	W
0	1	0	1
0	0	0	0
1	1	1	1
1	0	1	0
1	0	0	1