

Einbindung eines generischen Mikrocontrollers inklusive analoger und digitaler Peripherieelemente in einer FPGA-basierten Hardware-in-the-Loop Simulationsumgebung für Leistungselektronik.

Stefan Stark

20.September.2017

Stefan Stark

Mot./SdT./Kon

Motivation&Ziele
Stand der Technik
Konzept

Lösung

Interaktion mit
Simulink
Kern-Auswahl
Analoge-Peripherie
Digitale-Peripherie

Ergebnisse

Modultests
Systemtests
SyS - Simulink
SyS - Resultate

Z&A

Z&A

- 1 Motivation, Stand der Technik und Konzept
- 2 Entwurf eines Lösungskonzeptes
- 3 Ergebnisse
- 4 Zusammenfassung & Ausblick

Motivation

- μC als Stromquelle verwenden.
- Vorteile einer gemeinsamen Simulation nützen.
- Problem der derzeitigen verwendeten Systeme vermeiden:
 - Berücksichtigen keine Peripherie (MiL oder SiL).
 - Berücksichtigen nur bestimmte Mikrocontroller-Familien (HiL).

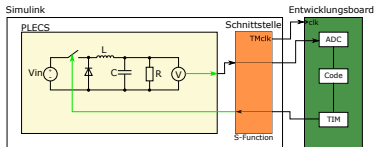


Abbildung 1: MicroLink-Aufbau

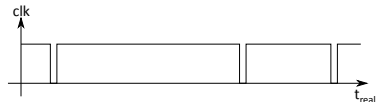


Abbildung 2: Taktvariation

Stefan Stark

Mot. Sd.T. Kon

Motivation&Ziele

Stand der Technik

Konzept

Lösung

Interaktion mit
Simulink

Kern-Auswahl

Analoge-Peripherie

Digitale-Peripherie

Ergebnisse

Modultests

Systemtests

SyS - Simulink

SyS - Resultate

Z&A

Z&A

Ziele

- Existierende Simulationsumgebung
- Generisch
- Simulationstakt
- Peripherie
- Workflow
- Multiplizierbarkeit
- Simulationsgeschwindigkeit

Stand der Technik

Stefan Stark

Mot./Sd.T. / Kon

Motivation&Ziele

Stand der Technik

Konzept

Lösung

Interaktion mit
Simulink

Kern-Auswahl

Analoge-Peripherie

Digitale-Peripherie

Ergebnisse

Modultests

Systemtests

SyS - Simulink

SyS - Resultate

Z&A

Z&A

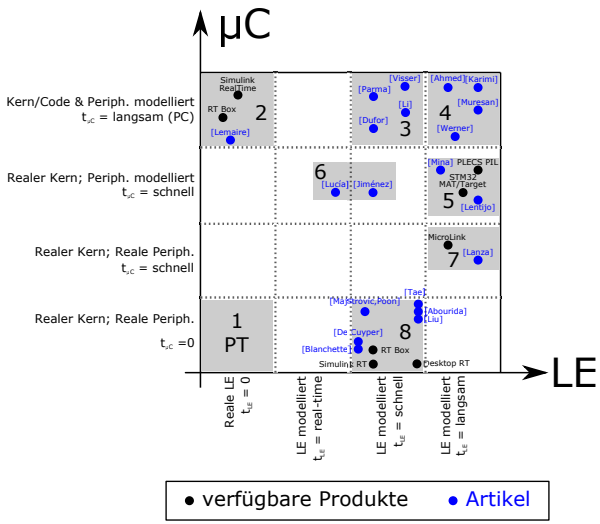


Abbildung 3: Stand der Technik

Konzept

Stefan Stark

Mat. Sd.T. Kon

Motivation & Ziele

Stand der Technik

Konzept

Loesung

Interaktion mit

Simulink

Kern-Auswahl

Analoge-Peripherie

Digitale-Peripherie

Ergebnisse

Modultests

Systemtests

SyS - Simulink

SyS - Resultate

Z&A

Z&A

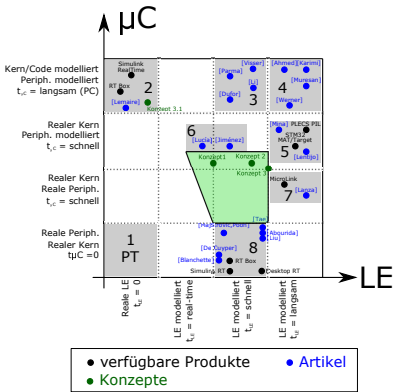


Abbildung 4: Bewertung Stand der Technik

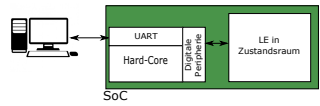


Abbildung 5: Konzept 1

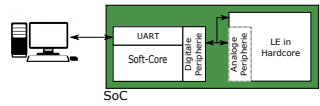


Abbildung 6: Konzept 2

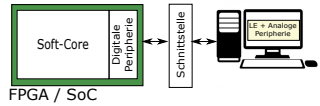


Abbildung 7: Konzept 3

Schnittstelle / Interaktion mit Simulink

Stefan Stark

Mot./Sd.T. / Kon

Motivation&Ziele

Stand der Technik

Konzept

Lösung

Interaktion mit
Simulink

Kern-Auswahl

Analoge-Peripherie

Digitale-Peripherie

Ergebnisse

Modultests

Systemtests

SyS - Simulink

SyS - Resultate

Z&A

Z&A

- Basierend auf einer vorhandenen Schnittstelle.
- Erkenntnisse aus [Lan11].

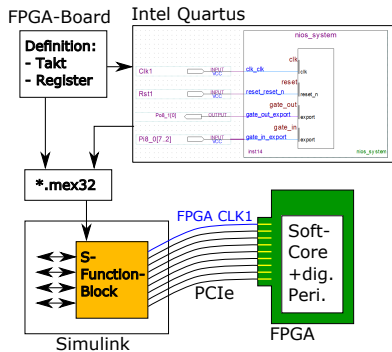


Abbildung 8: Schnittstelle

Stefan Stark

Mot./SdT./Kon

Motivation&Ziele

Stand der Technik

Konzept

Lösung

Interaktion mit
Simulink

Kern-Auswahl

Analoge-Peripherie

Digitale-Peripherie

Ergebnisse

Modultests

Systemtests

SyS - Simulink

SyS - Resultate

Z&A

Z&A

- ARM Cortex-M0 - Prozessor
 - Cortex-M0 und Cortex-M1 Lizenz (€€€ & Zeit)
 - Cortex-M0 DesignStart (Zeit)

Stefan Stark

Mot. SdT - Kon

Motivation&Ziele

Stand der Technik

Konzept

Lösung

Interaktion mit
Simulink

Kern-Auswahl

Analoge-Peripherie

Digitale-Peripherie

Ergebnisse

Modultests

Systemtests

SyS - Simulink

SyS - Resultate

Z&A

Z&A

- ARM Cortex-M0 - Prozessor
 - Cortex-M0 und Cortex-M1 Lizenz (€€€ & Zeit)
 - Cortex-M0 DesignStart (Zeit)
- Open-Source Cores
 - OpenRISC 12000 (Support)

Stefan Stark

Mot./SdT - Kon

Motivation&Ziele

Stand der Technik

Konzept

Lösung

Interaktion mit
Simulink

Kern-Auswahl

Analoge-Peripherie

Digitale-Peripherie

Ergebnisse

Modultests

Systemtests

SyS - Simulink

SyS - Resultate

Z&A

Z&A

- ARM Cortex-M0 - Prozessor
 - Cortex-M0 und Cortex-M1 Lizenz (€€€ & Zeit)
 - Cortex-M0 DesignStart (Zeit)
- Open-Source Cores
 - OpenRISC 12000 (Support)
- FPGA-Hersteller
 - MicroBlaze - Xilinx Incorporate
 - Xenta - Tensilica
 - Nios II - Intel

Stefan Stark

Mot, SdT, Kon

Motivation&Ziele

Stand der Technik

Konzept

Lösung

Interaktion mit
Simulink

Kern-Auswahl

Analoge-Peripherie

Digitale-Peripherie

Ergebnisse

Modultests

Systemtests

SyS - Simulink

SyS - Resultate

Z&A

Z&A

- STM32F0 - Familie
- SA-ADC & Komparator
- PLECS
- Funktionsebene
- C-Script Block - FSM
- Statische & Dynamische Signale
- Automatisches Parsen

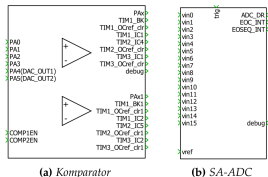


Abbildung 9: PLECS Symbole

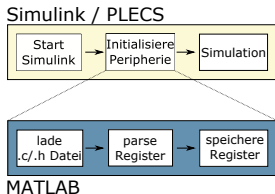


Abbildung 10: Statische Signale
parsen

Stefan Stark

- STM32F0 - General-Purpose-Timer (2 verschiedene)
- HDL - SystemVerilog
- Modularer-Aufbau

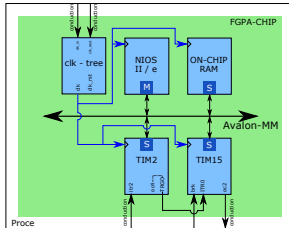


Abbildung 11: Soft-Core System

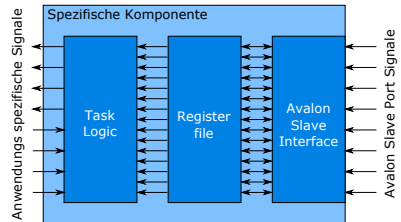
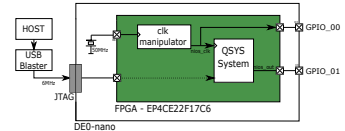


Abbildung 12: Aufbau TIMx

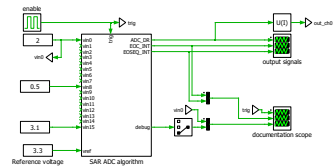
■ Taktempfindlichkeit

- Prinzipiell
- Im Testsystem



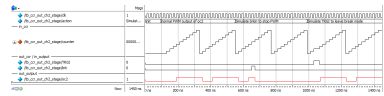
■ Analoge Peripherie

- PLECS
- Funktionen



■ Digitale Peripherie

- Submodule / Timer / Timer Kombinationen
- ModelSim
- Funktionen



Stefan Stark

- Abwärtswandler
- DCM
- Einstellbar:
 - Spitzenstrom durch die Induktivität (iL_peak)
 - Totzeit (t_{dead})

PLECS

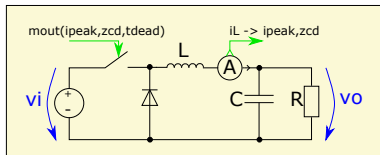


Abbildung 14: Buck - Schema

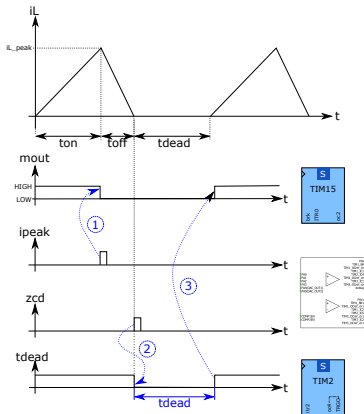


Abbildung 15: Buck - Signals

Systemtests - Simulink setup

Stefan Stark

Mot./Sd.T./Kon

Motivation&Ziele
Stand der Technik
Konzept

Loesung

Interaktion mit
Simulink
Kern-Auswahl
Analoge-Peripherie
Digitale-Peripherie

Ergebnisse

Modultests
Systemtests
SyS - Simulink
SyS - Resultate

Z&A

Z&A

Generic uC simulation including digital and analog peripherals
Stefan Stark, 07 2017

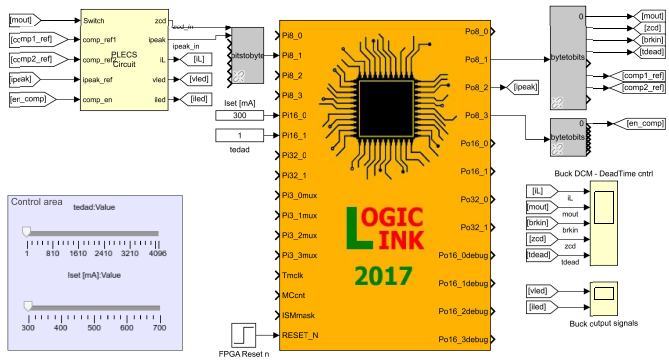


Abbildung 16: Simulink Aufbau

Systemtests - Resultate

Stefan Stark

Mot./Sd.T. Kon

Motivation&Ziele

Stand der Technik

Konzept

Loesung

Interaktion mit
Simulink

Kern-Auswahl

Analoge-Peripherie

Digitale-Peripherie

Ergebnisse

Modultests

Systemtests

SyS - Simulink

SyS - Resultate

Z&A

Z&A

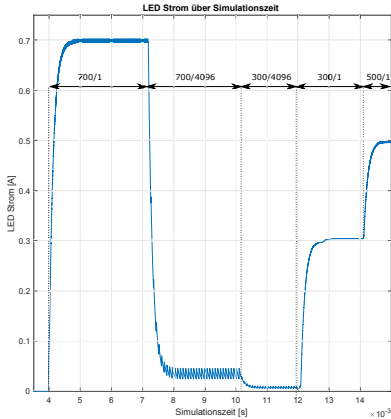


Abbildung 17: Laststrom

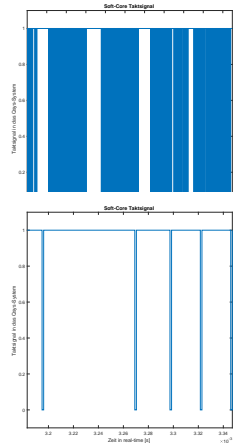


Abbildung 18: Taktsignal

Zusammenfassung

Stefan Stark

Generisch	100%
Simulationstakt	100%
Existierende Simulationsumgebung	100%
Genauigkeit digitale Peripherie	50%
Workflow	10%
Genauigkeit analoge Peripherie	10%
Multiplizierbarkeit	100%
Simulationsgeschwindigkeit	100%

Tabelle 1: Bewertung des entwickelten Konzeptes

Verbesserung

- Verbesserung des Workflows durch Cortex-M0 DesignStart.
- Berücksichtigen der Fehler der analogen Peripherie.

Ausblick

- Wissen für Konzept Nummer 2 vorhanden.
- Peripherie für Konzept Nummer 1 adaptierbar.
- Rapid-Control-Prototype Aufbau möglich (μC auf FPGA / Testboard).
- Tool für die Embedded-SW-Entwicklung.
- ...

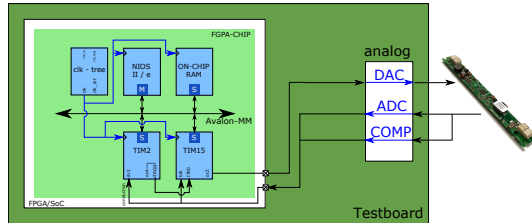


Abbildung 19: Rapid-Control-Prototype Aufbau

Stefan Stark

Mot./SdT./Kon

Motivation&Ziele
Stand der Technik
Konzept

Lösung

Interaktion mit
Simulink
Kern-Auswahl
Analoge-Peripherie
Digitale-Peripherie

Ergebnisse

Modultests
Systemtests
SyS - Simulink
SyS - Resultate

Z&A

Z&A



Markus Andres and Thomas Schmitt, *Modellbildung und simulation mechatronischer systeme*, FHV, 2012.



Benjamin Lanza, *Entwicklung einer Hardware in the Loop Schnittstelle*, Master's thesis, FH Vorarlberg - Vorarlberg University of Applied Sciences, 2011.



Martin Mohr, *Grafiken für logiclink 2017 erklärungen*, Tech. report, Tridonic, 2017.

RT Definition nach [AS12]

Das Kriterium der Echtzeit besagt nur, dass ein Zeitschritt der Simulation, welcher z.b. $100ms$ lang ist, in $< 100ms$ realer Zeit berechnet werden muss.

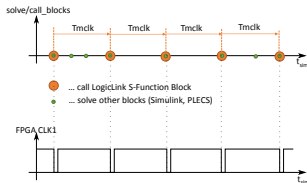


Abbildung 20: Simulationszeit -
Modifiziert von [Moh17]

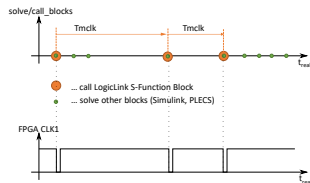


Abbildung 21: Echtzeit -
Modifiziert von [Moh17]

Backup - Buck Signals

Stefan Stark

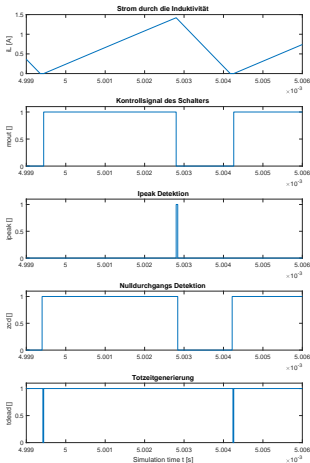


Abbildung 22: Buck Signals - 700/1

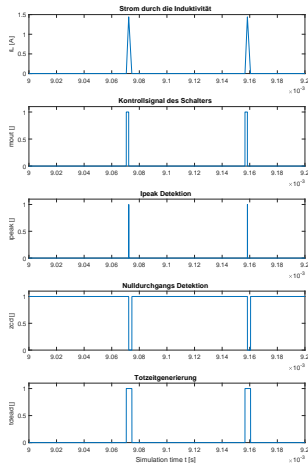


Abbildung 23: Buck Signals - 700/4096