12

15 julio 2021

Inicio: 9.00 am

Entrega: hasta las 3.00 pm

0) Responde esta pregunta de manera manuscrita.

Nombre completo y número de alumno:	
-------------------------------------	--

b) Me comprometo a no preguntar ni responder dudas	
de esta prueba, ya sea directa o indirectamente, a nadie	
que no sea parte del equipo docente del curso. Firma:	

Responde sólo 4 de las siguientes 5 preguntas

1) Memoria virtual

Tienes un computador con 1 MB de memoria RAM. Sin embargo, los programas que corren en tu computador creen que tienen 2 MB de memoria disponible. Además, tú sabes que el computador utiliza páginas de 128 KB y direcciones de memoria virtual que van desde 0x0000 hasta 0xFFFF (hexadecimal). Por otra parte, también sabes que el computador emplea una tabla de página en que cada entrada almacena un bit de presencia, un dirty bit, m bits suficientes para indicar el marco (page frame) y todos los bits necesarios para implementar el criterio FIFO de reemplazo de páginas. Puedes suponer que la tabla de páginas se almacenan "mágicamente" en otra memoria aparte, con suficiente espacio para que todo quepa correctamente. Finalmente, las especificaciones de tu computador indican que cuenta con una unidad TLB capaz de almacenar tan solo 2 traducciones y cuyo criterio de reemplazo de líneas es FIFO. Considerando esta información y la secuencia de 25 accesos a memoria (direcciones virtuales) que aparece más abajo, responde:

- a) Cantidad de marcos (page frames).
- b) Cantidad de páginas.
- c) Cantidad de page faults.
- d) Hit rate del TLB.

Accesos a memoria:

1. 0x1F5A	11. 0x0045	21. 0x790E
2. 0x0000	12. 0x54BC	22. 0x1111
3. 0x1230	13. 0x0000	23. 0x7900
4. 0x9FE1	14. 0x35AA	24. 0x1234
5.0x042B	15. 0x0890	25. 0xABCD
6. 0x36A7	16. 0x812A	
7. 0xD137	17. 0x8112	
8. 0x01CD	18. 0x82AF	
9. 0x6309	19. 0x0921	
10. 0x0602	20. 0xAEFB	

Considera los siguientes valores: $1KB = 2^{10}$ bytes, $1MB = 2^{20}$ bytes, $1GB = 2^{30}$ bytes, $1TB = 2^{40}$ bytes.

I2

15 julio 2021

2) Pipelining

Mientras nadie estaba viendo, extraterrestres flotantes decidieron adentrarse en nuestro sistema computacional. Como les gustan las cosas flotantes, decidieron modificar el computador con pipeline para que en vez de tener una ALU tenga una FPU. Esto hizo que el computador con pipelining tenga ahora 7 etapas (IF, ID, FEX1, FEX2, FEX3, MEM, WB) en vez de las 5 etapas convencionales. El computador cuenta con capacidad de *forwarding*, y el manejo de *stallings* es por software (es decir, utiliza la instrucción NOP). Ahora bien, los extraterrestres nos dejaron el siguiente código que si bien tiene instrucciones innecesarias, resulta ser muy útil para que tú demuestres tus conocimientos de paralelismo avanzado.

```
DATA:
iter
      2
      0
res
i
      1
CODE:
start:
       MOV B, (i)
       MOV A, (iter)
       CMP A, B
       JEQ end
       FADD A, B
       INC B
       MOV (res), B
       MOV B, (res)
       MOV (i), B
       MOV A, (res)
       JMP start
end:
       MOV A, 1
       MOV (res), A
```

- a) Suponiendo que el computador no tiene control de predicción de saltos, determina el número de ciclos que se demora en recorrer el código.
- b) Se produjo un error en el sistema y se cambió el valor de iter: ahora es 40 en vez de 2. Suponiendo que ahora sí hay predicción de saltos, pero que no es muy eficiente ya que logra predecir los saltos correctamente sólo un 65% de las veces, ¿cuántos ciclos se perderán aproximadamente tras recorrer el programa completo?

I2

15 julio 2021

3) Paralelismo con memoria compartida

a) Dada la siguiente configuración de memoria y la secuencia de instrucciones para un computador UMA con dos *cores*, P0 y P1:

- Memoria:

Dirección	Label	Valor
0x64206F68	X	5
0x64206F6C	Arr	1
0x64206F70		2

- Instrucciones:

	P0	P1
0	Arr[0] = Arr[0] + Arr[1];	X++;
1	Arr[0]++;	Arr[1] = Arr[1] - X;
2	Arr[1] = X;	Pass;

Indica el estado de los bits MESI para cada dato en caché durante la ejecución del programa y explica por qué ocurren los cambios. Considera que los datos NO están en la caché de cada procesador al inicio del programa. Se sugiere completar una tabla similar a la siguiente:

	P0												P1											
	X Arr[0]							Arr[1]				X				Arr[0]				Arr[1]				
Ins	M	E	S	Ι	M	E	S	Ι	M	E	S	Ι	M	E	S	Ι	M	E	\mathbf{S}	Ι	M	E	S	Ι
t																								

b) ¿De qué manera extenderías el protocolo MESI para que sea capaz de mantener coherencia de cachés en una máquina NUMA (sin tener que recurrir a directorios distribuidos)? [Hint: Como el ancho de banda de la red de interconexión es mucho menor al de la memoria local de cada procesador, los broadcasts ("envío a todos") de invalidación del esquema snooping caches tradicional rápidamente ocuparían toda la capacidad el bus; por lo tanto, lo que queremos es reducir el número de broadcasts.].

I2

15 julio 2021

4) Input/output

Un prototipo de un nuevo sensor de propiedades medioambientales es accesible desde el computador mediante operaciones de I/O. El dispositivo tiene comandos para ser encendido, apagado, medir la temperatura, medir la humedad y medir la presión atmosférica.

- a) Explica si para este dispositivo es preferible que la comunicación con la CPU sea mediante I/O ports o mediante memory-mapped I/O. Justifica tu respuesta, y describe cómo implementarías ya sea el espacio de puertos de I/O o el mapa de memoria, según corresponda.
- **b**) Define el formato de los comandos que la CPU enviará al dispositivo para llevar a cabo las acciones, y el formato de los datos que el dispositivo enviará a la CPU para informar su estado.
- c) Escribe el pseudo código de la función que maneja las interrupciones que la CPU recibe desde el dispositivo; en tu pseudo código haz referencia explícita a la información que corresponda de tus respuestas a a) y b). Considera que el funcionamiento del dispositivo es el siguiente: mide la temperatura una y otra vez hasta que ésta sea mayor que 90° C; entonces, el dispositivo mide la humedad una y otra vez hasta que ésta sea menor que 35%; entonces, el dispositivo mide la presión atmosférica.

I2

15 julio 2021

5) ISA

Considera que los valores enteros A, B, C, D, E y F están en memoria. Considera también que el código de operación (*opcode*) de una instrucción es representado en 8 bits, que las direcciones de memoria son de 64 bits, y que las direcciones (o identificadores) de los registros son de 6 bits. Algunos ISAs destruyen operandos durante la ejecución de una operación. Considera el siguiente cálculo:

C = A + B

D = A - E

F = C + D

- a) Escribe la secuencia de instrucciones para hacer el cálculo anterior en una arquitectura registro-memoria, siguiendo el modelo en la diapositiva 10 de "ISA" y usando instrucciones aritméticas tipo 80x86 (IA-32) de dos operandos (diapositiva 47).
- b) Escribe la secuencia de instrucciones para hacer el cálculo anterior en una arquitectura loadstore, siguiendo el modelo en la diapositiva 10 de "ISA" y usando instrucciones aritméticas tipo MIPS de tres operandos (diapositiva 40).
- c) Para cada una de tus secuencias de instrucciones a) y b):
 - i) marca cada operando que es destruido durante la ejecución
 - ii) marca cada instrucción "extra" que es necesaria sólo para contrarrestar esta pérdida de información (en el almacenamiento interno del procesador).
- d) Para cada una de tus secuencias de instrucciones a) y b), calcula:
 - i) el número de bytes que son transferidos desde o hacia la memoria
 - ii) el número de instrucciones extras
 - iii) el número de bytes extras