



DEPARTAMENTO DE CIENCIAS DE LA COMPUTACIÓN
ESCUELA DE INGENIERÍA
PONTIFICIA UNIVERSIDAD CATÓLICA DE CHILE

IIC2343-2 - Arquitectura de Computadores (I/2022)

Interrogación 3

Respuestas sin desarrollo o justificación no tendrán puntaje.

Viernes 1 de Julio a las 8:30 horas

Instrucciones

Lea atentamente los enunciados. Responda cada pregunta en hojas separadas. Ponga su nombre, número de alumno y número de lista. Siga el código de honor.

Código de Honor de la UC

“Como miembro de la comunidad de la Pontificia Universidad Católica de Chile me comprometo a respetar los principios y normativas que la rigen. Asimismo, prometo actuar con rectitud y honestidad en las relaciones con los demás integrantes de la comunidad y en la realización de todo trabajo, particularmente en aquellas actividades vinculadas a la docencia, el aprendizaje y la creación, difusión y transferencia del conocimiento. Además, velaré por la integridad de las personas y cuidaré los bienes de la Universidad.”

Pregunta	Puntos	Logrados
¡Warning hazard(s) ahead!	20	
Materia	15	
Un caso teórico 2	15	
Completar	10	
Computador Básico	15	
Total:	75	

Pregunta 1: ¡Warning hazard(s) ahead! (20 ptos.)

Desarrolle una unidad de control que le permitirá manejar por hardware el o los hazard(s) presentes en el siguiente bloque de código:

```
1 ADD A,B
2 SHL A,A
3 NOP
4 MOV B,3
5 ADD A,B
```

Considerando la arquitectura del computador básico con pipeline de 5 etapas visto en clases.

(a) ¿Qué tipo(s) de hazard(s) está(n) presente(s), entre que líneas y cómo se soluciona(n)? (4)

Pauta:

- Reconoce los tipos de hazards y dónde se encuentran (3 ptos)
- Menciona como se soluciona (1 pto cada uno)

(b) ¿Cuáles son las señales de control que permiten identificar este/estos hazard(s)? (4)

Pauta:

- Menciona se señal de carga del registro A y su origen (1 pto)
- Menciona se señal de carga del registro B y su origen (1 pto)
- Menciona el selector del primer operando de la ALU y su origen (1 pto)
- Menciona el selector del segundo operando de la ALU y su origen (1 pto)

(c) ¿Qué señal(es) de control se necesita(n) agregar para realizar la solución? (4)

Pauta:

- Agrega los selectores en la etapa de ejecución (2 ptos)
- Explica qué son independientemente para las entradas de la ALU (2 ptos)

(d) Exprese la tabla de verdad y el circuito lógico para la unidad de control requerida.

(8)

Pauta:

- La tabla de verdad cubre todos los casos (2 ptos)
- Define correctamente las señales en la tabla (2 ptos)
- Define correctamente las entradas del circuito (1 pto)
- Define correctamente las salidas del circuito (1 pto)
- El circuito es válido (1 pto)
- El circuito es correcto (1 pto)

Pregunta 2: Materia (15 ptos.)

Respecto a la materia vista en clases.

(a) Explique las dos formas en las que se puede implementar la comunicación de la CPU con los dispositivos de entrada/salida.

(4)

Pauta:

- Menciona la solución (1 pto cada uno)
- Explica la solución (1 pto cada uno)

(b) Explique los 3 modelos de comunicación para la transferencia de datos entre dispositivos de entrada/salida y la memorias.

(6)

Pauta:

- Menciona la solución (1 pto cada uno)
- Explica la solución (1 pto cada uno)

(c) Explique las clasificaciones de la taxonomía de Flynn y de ejemplos de ellas.

(5)

Pauta:

- Explica las clasificaciones (1 pto)
- Da un ejemplo (1 pto cada uno)

Pregunta 3: Un caso teórico 2 (15 ptos.)

Antes en IIC2343-2 Arquitectura de Computadores se le pidió que desarrollara el llenado de una caché considerando direcciones de 16 bits, una caché de 8 palabras, con bloques/líneas de 2 palabras, una función de correspondencia 2-way associative y una política de remplazo FIFO. El resultado fue un hit-rate de $\frac{8}{16}$.

Desconforme con el resultado decide hacer algunas pruebas usando la misma lista de accesos secuenciales: 0, 1, 2, 3, 4, 5, 32, 33, 34, 35, 36, 5, 4, 3, 2 y 1.

(a) Calcule el hit-rate cambiando la función de correspondencia a fully associative.

(5)

Pauta:

- Reconoce la función correspondencia (1 pto)
- Efectúa correctamente algún desarrollo (2 ptos)
- Llega al hit-rate, no casualmente (2 ptos)

(b) Calcule el hit-rate cambiando la función de correspondencia a directly mapped y el tamaño de bloque/línea a 4 palabras.

(5)

Pauta:

- Reconoce la función correspondencia (1 pto)
- Efectúa correctamente algún desarrollo (2 ptos)
- Llega al hit-rate, no casualmente (2 ptos)

- (c) Explique a qué se debe la diferencia entre los 3 hit-rates, las ventajas y desventajas de los dos nuevos esquemas. (5)

Pauta:

- Reconoce el efecto de la localidad sobre los esquemas (1 pto)
- Menciona ventajas (1 pto cada uno)
- Menciona desventajas (1 pto cada uno)

Pregunta 4: Completar (10 ptos.)

- (a) Una ISA **RISC** tiene el objetivo de minimizar la complejidad del hardware. (1)
- (b) El controlador **DMA** permite que los dispositivos I/O se comuniquen directamente con la **Memoria**. (2)
- (c) La existencia de North Bridge y un South Bridge se justifica por la diferencia de **velocidad** de los dispositivos que conectan. (1)
- (d) La **MMU** traduce una memoria virtual a una física de acuerdo a las tablas de páginas. (1)
- (e) El rendimiento de acceso a las tablas de páginas es mejorado por la **TLB**, que es una **memoria caché** dedicada solo a almacenar esa información. (2)
- (f) El valor decimal de 0xAF si lo interpretamos como un número de 8 bits en complemento a 2 es **-81**. (1)
- (g) La interrupción del **Timer del Sistema** le permite al SO quitarle el control del procesador a un programa. (1)
- (h) **NOR** se considera como una de las compuertas lógicas completas. (1)

Pauta:

- Completa correctamente el espacio (1 pto cada uno)

Pregunta 5: Computador Básico (15 pts.)

Complete el siguiente diagrama del computador básico:

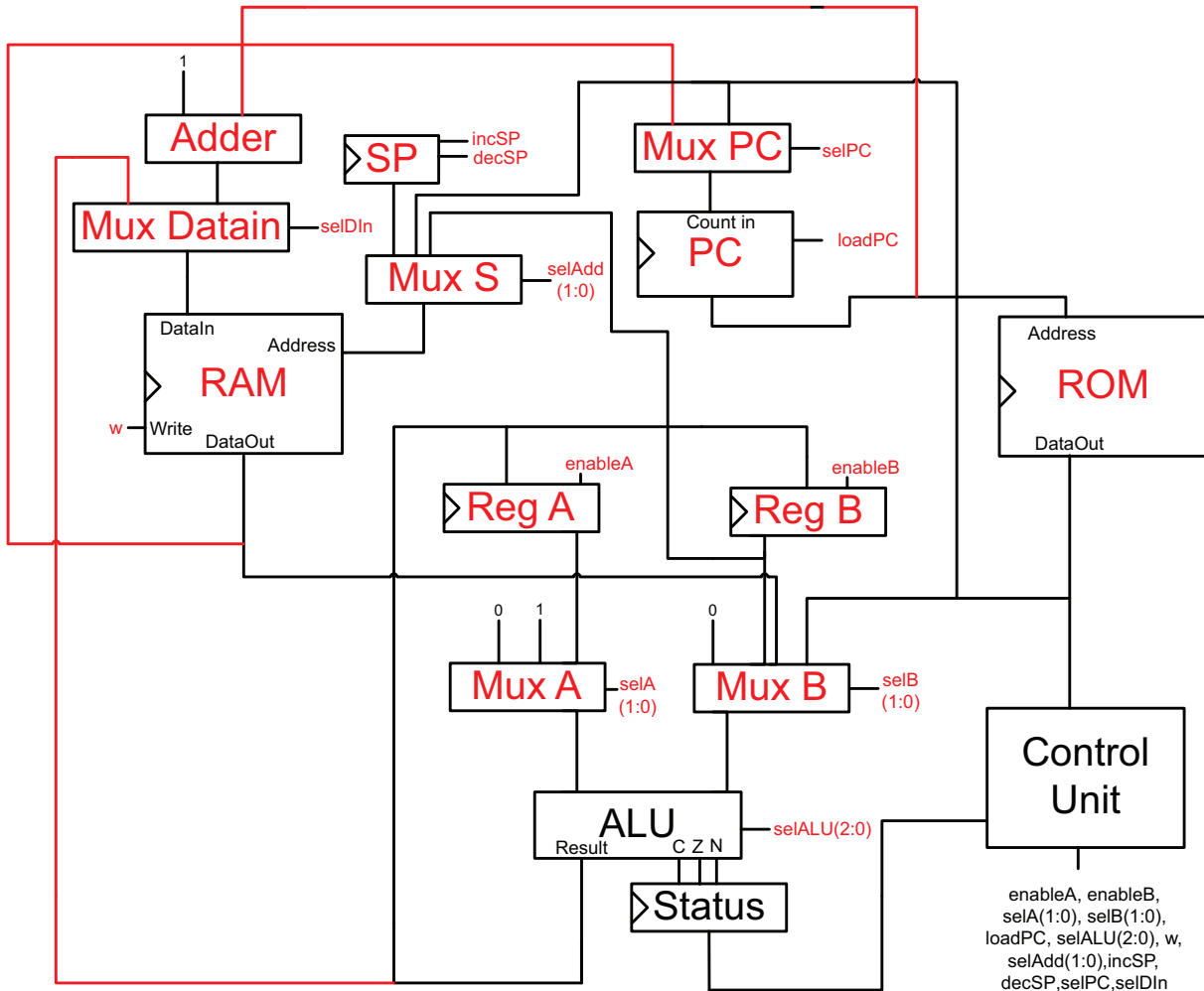


Figura 1: Computador Básico

(a) Complete los 12 nombres de los componentes

(4)

Pauta:

- Asigna correctamente el nombre del componente (1 pto por cada 3)

- (b) Agregue a los componentes las señales de control de la CU según corresponda. (4)

Pauta:

- Asigna correctamente el nombre de las señales (1 pto por cada 3)

- (c) Conecte los 3 buses que faltan para completar las funcionalidades. (3)

Pauta:

- Conecta correctamente el bus (1 pto cada uno)

- (d) Describa qué valores tienen que tomar las señales del computador para ejecutar la instrucción RET. (4)

Pauta:

- Reconoce que necesita 2 ciclos (1 pto)
- Indica que se debe incrementar el SP (1 pto)
- Indica los valores de selectores y señales (2 ptos)