

Lösung 1 Erstes Projekt

Jan Grapengeter

May 2, 2019

1 VHDL

```
library IEEE;
use IEEE.STD\_LOGIC\_1164.ALL;

entity main is
    Port ( sw0 : in STD\_LOGIC;
          btnd : in STD\_LOGIC;
          ld0  : out STD\_LOGIC;
          ld5  : out STD\_LOGIC);
end main;

architecture Behavioral of main is
begin

    ld0 <= sw0;
    ld5 <= btnd;

end Behavioral;
verbatim

\section{Constraints}

\begin{verbatim}
set\_property -dict \{ PACKAGE\_PIN V16    IOSTANDARD LVCMOS33 \} [get\_ports \{ sw0\}];
set\_property -dict \{ PACKAGE\_PIN u17    IOSTANDARD LVCMOS33 \} [get\_ports \{ btnd\}];

set\_property -dict \{ PACKAGE\_PIN e19    IOSTANDARD LVCMOS33 \} [get\_ports \{ ld0\}];
set\_property -dict \{ PACKAGE\_PIN u15    IOSTANDARD LVCMOS33 \} [get\_ports \{ ld5\}];

```

2 Weitere Lösung

1.5.3: Das FPGA hat flüchtigen Speicher, wenn man die Spannung abschaltet wird das Programm gelöscht.