

Übung 2 Logikgatter in VHDL und FPGAs

Jan Grapengeter

May 2, 2019

1 Einfache Gatter

Einfache Logikgatter lassen sich in VHDL wie folgt anlegen:

```
ld0<=sw0 and sw1;
```

Damit wird der Ausgang ld0 auf "1" geschaltet, wenn die Eingänge sw0 und sw1 beide auf "1" stehen. Wie in der letzten Übung müssen ld0, sw0 und sw1 mit entsprechender Peripherie auf dem Board verbunden werden. Die weiteren Logikgatter haben folgende Syntax:

Logikgatter	
Und-Gatter	and
Oder-Gatter	or
Nicht-Gatter	not
NAND-Gatter	nand
NOR-Gatter	nor
XOR-Gatter	xor
XNOR-Gatter	xnor

Table 1: Logikgatter

Aufgaben

- 1.: Legen Sie ein neues Projekt an und nennen Sie dieses Gatterlogik. Legen Sie sw0 und sw1 als Eingänge und ld0 als Ausgang fest. Verbinden Sie in der Constraints Datei sw0 mit Schalter 1 (sw0), sw1 mit Schalter 1(sw1) und ld0 mit LED 0 (ld0). LED 0 soll leuchten, wenn beide Schalter betätigt werden.
- 2.: Verbinden Sie je zwei benachbarte Schalter mit einem Logikgatter und weisen Sie den Ausgang des Gatters einer benachbarten LED zu.
- 3.: Klicken Sie unter "Flow Navigator" auf "Open Elaborated Design" und schauen Sie, welche Logikgatter Vivado aus ihrem VHDL Code gemacht hat.
- 4.: Klicken Sie unter "Flow Navigator" auf Synthesis/Schematic und sehen Sie sich an, wie die Ihre Schaltung nun aussieht. Was fällt Ihnen auf im Vergleich zum Elaborated Design?

2 Look Up Table

In einem FPGA sind keine Logikgatter fest verbaut. Alle Logikgatter werden über Look Up Tables (LUTs) realisiert. Wenn Sie in VHDL ein Logikgatter festlegen, wird dafür ein "Configurable Logic Block" (CLB) im FPGA angelegt, dessen Werte dem LUT des Gatters entsprechen. In dem Artix 7 A35T chip, der auf dem Basys3 verbaut ist, kann ein einzelner CLB maximal sechs Eingänge haben und daher maximal $2^6=64$ verschiedene Kombinationen darstellen. Der LUT eines UND-Gatters ist hier dargestellt.

LUT Und-Gatter		
A1	A2	E
0	0	0
0	1	0
0	0	0
0	1	1

Table 2: LUT Und-Gatter

Aufgaben

- 1.: Notieren Sie sich die LUTs der anderen von Ihnen verwendeten Logikgatter.
- 2.: Notieren Sie sich ein nichtsymmetrisches LUT mit zwei Eingängen. Überlegen Sie sich, wie Sie dieses in VHDL schreiben könnten.
- 3.: Notieren Sie sich ein LUT mit mehr als sechs Eingängen. Was macht Vivado aus diesem Code?