

# Übung 9 Digitale Regelung

Jan Grapengeter

May 2, 2019

## 1 Phasen-Frequenz-Detektor

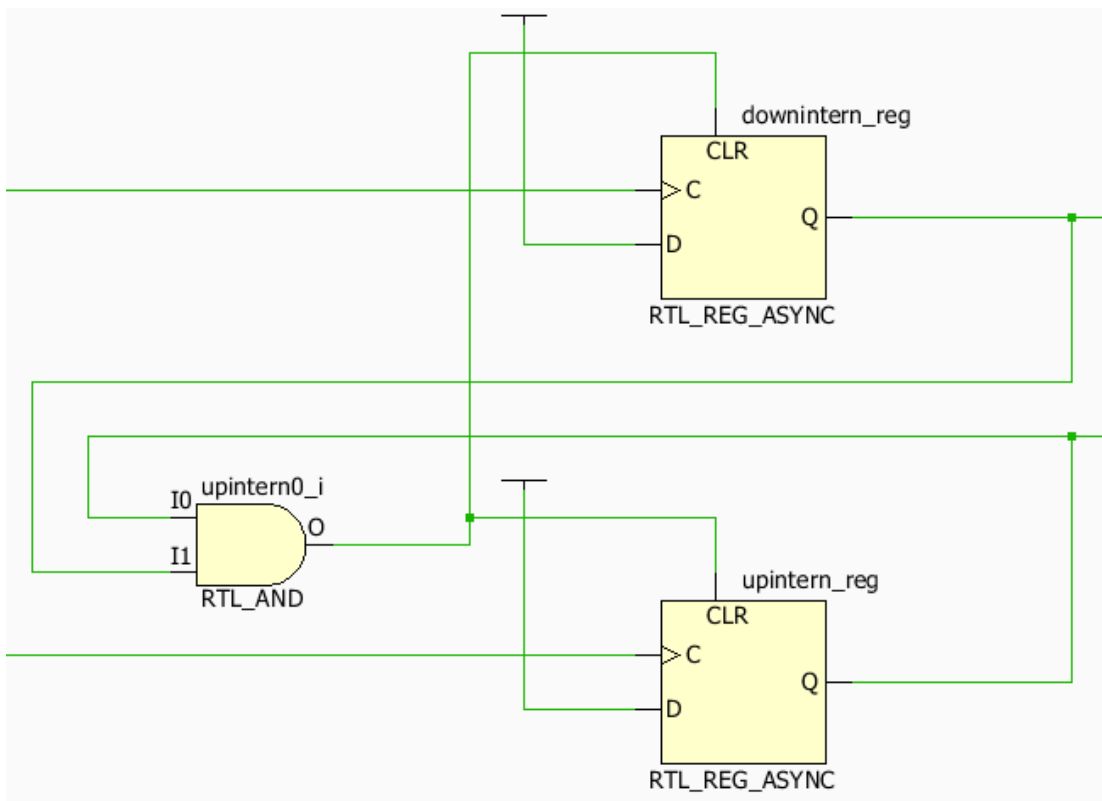


Figure 1: Blockschaltbild PFD

Ein simpler digitaler Phasen-Frequenz-Detektor hat zwei Eingänge für die beiden zu vergleichenden Eingangsfrequenzen und zwei Ausgänge für die Steuersignale der Ladungspumpe.[? ]

Aufgaben:

- 1.: Erklären Sie anhand des Blockschaltbildes die Funktionsweise eines Phasen-Frequenz-Detektors.
- 2.: Implementieren Sie in VHDL ein Modul für einen PFD und testen Sie die Schaltung durch ein Simulationstool.

## 2 Digitale Ladungspumpe

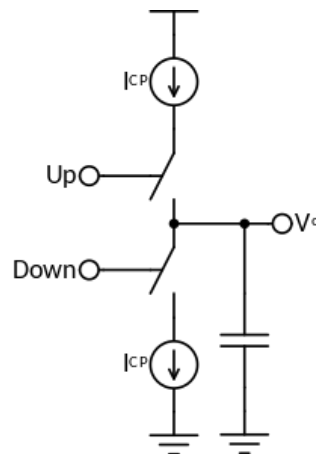


Figure 2: Blockschaltbild Analoge Ladungspumpe

Eine analoge Ladungspumpe, wie hier dargestellt, integriert einen Strom über einen Kondensator und stellt dadurch die Ausgangsspannung  $V_0$  ein. Der Strom wird über die Schalter "Up" und "Down" gesteuert. Wenn "Up" geschlossen ist und "Down" offen, dann wird der Kondensator über die obere Stromquelle geladen. Wenn "Down" geschlossen ist und "Up" offen, wird der Kondensator über die untere Stromquelle entladen. In den beiden anderen Fällen bleibt die Spannung im Kondensator konstant. [? ]

Aufgaben:

- 1.: Skizzieren Sie die Ladekurve für diese Art von Ladungspumpe. Wie würde die Kurve aussehen, wenn der Kondensator über eine Spannungsquelle geladen wird?
- 2.: Implementieren Sie eine digitale Ladungspumpe in VHDL. Was ist das Äquivalent des Kondensators und des Ladungsstromes und welchem der beiden analogen Ladungsmodelle entspricht dies?

### 3 Numerisch kontrollierter Oszillator

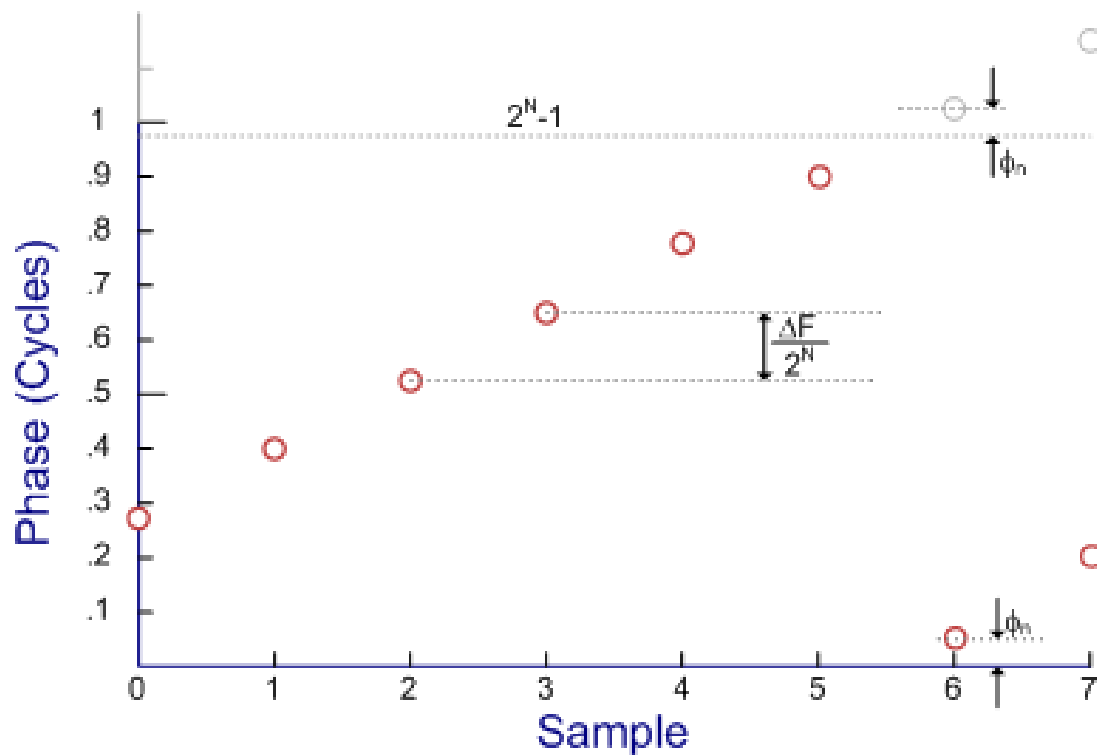


Figure 3: Phasenakkumulator

Ein Phasenakkumulator ist eine Inkrementier-Schaltung, die einen Registerwert mit jedem Taktzyklus um einen variablen Wert erhöht.[? ]

Aufgaben:

- 1.: Erklären Sie anhand des Bildes, wie Sie einen Phasenakkumulator für eine regelbare Signalquelle nutzen können.
- 2.: Implementieren Sie einen NCO mit einem Rechtecksignal als Ausgang in VHDL.
- 3.: Überlegen Sie sich, wie Sie diese Schaltung erweitern können, um ein Sinussignal zu erzeugen.

## 4 Phasenregelschleife

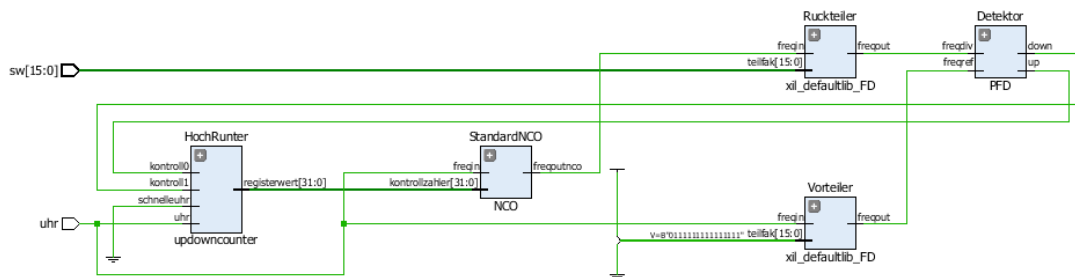


Figure 4: Blockschaltbild PLL

Eine Phasenregelschleife nimmt eine Eingangsfrequenz entgegen und synchronisiert ein Ausgangssignal mit diesem Eingangssignal. Durch den Einsatz von Frequenzteilern lassen sich dadurch verschiedene Frequenzen synthetisieren, deren Langzeitstabilität der des Eingangssignals entspricht.

Aufgabem:

- 1.: Implementieren Sie eine Phasenregelschleife aus den einzelnen Modulen, die Sie bisher erstellt haben. Testen Sie Ihre Ausgangsfrequenz.
- 2.: Erweitern Sie Ihre Schaltung um einen einstellbaren Vorteiler, der Ihre Eingangsfrequenz herunterteilt. Testen Sie Ihre Ausgangsfrequenz.
- 3.: Erweitern Sie Ihre Schaltung um einen eintellbaren Frequenzteiler in der Rückführung. Stellen die den Teilerfaktor Ihres Vorteilers auf  $2^{-16}$  ein. Testen Sie Ihre Ausgangsfrequenz.

## 5 Digitale Filter

Wie an der vorherigen Aufgabe sichtbar wurde, ist das Signal sehr ungenau. Man kann das Signal jedoch mit Filtern stabilisieren. Die Formel für einen Filter mit endlicher Impulsantwort (FIR-Filter) ist:

$$y[n] = \sum_{i=1}^N b_i * x[n-i]$$

mit  $y[n]$  als Ausgangssignal/Ausgangssignalvektor,  $x[n]$  als Eingangssignal/Eingangssignalvektor [? ]

Aufgaben:

- 1.: Um welche Art Filter handelt es sich hier? Was ist das analoge Äquivalent?
- 2.: Implementieren Sie einen solchen Filter in VHDL, setzen Sie  $b_i = 0$ . Überlegen Sie sich, an welcher Stelle Ihrer PLL dieser Filter eingebaut werden müsste.
- 3.: Integrieren Sie Ihren Filter in Ihre bestehende PLL und testen Sie die Frequenz.