

Circuitos Secuenciales Sincrónicos

Introducción al Diseño Lógico (E0301)

Ingeniería en Computación

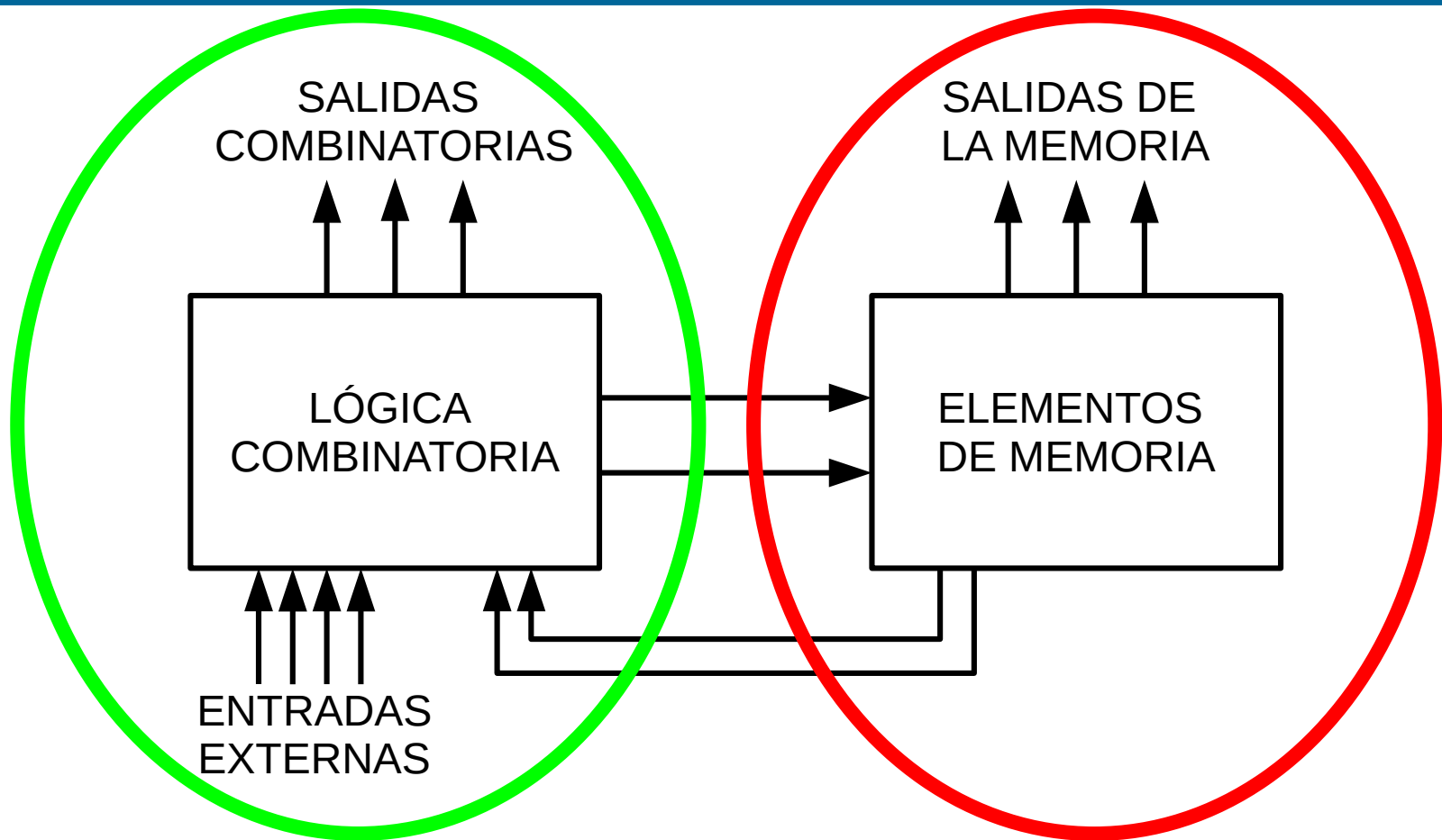
Gerardo E. Sager

Clase 12 curso 2023

Circuitos Secuenciales Sincrónicos

- Temas a tratar
 - Introducción
 - Máquinas de Estado Finito
 - Modelo de Moore
 - Modelo de Mealy
 - Análisis de circuitos secuenciales sincrónicos
 - Síntesis de circuitos secuenciales sincrónicos
 - Ejemplos

Introducción

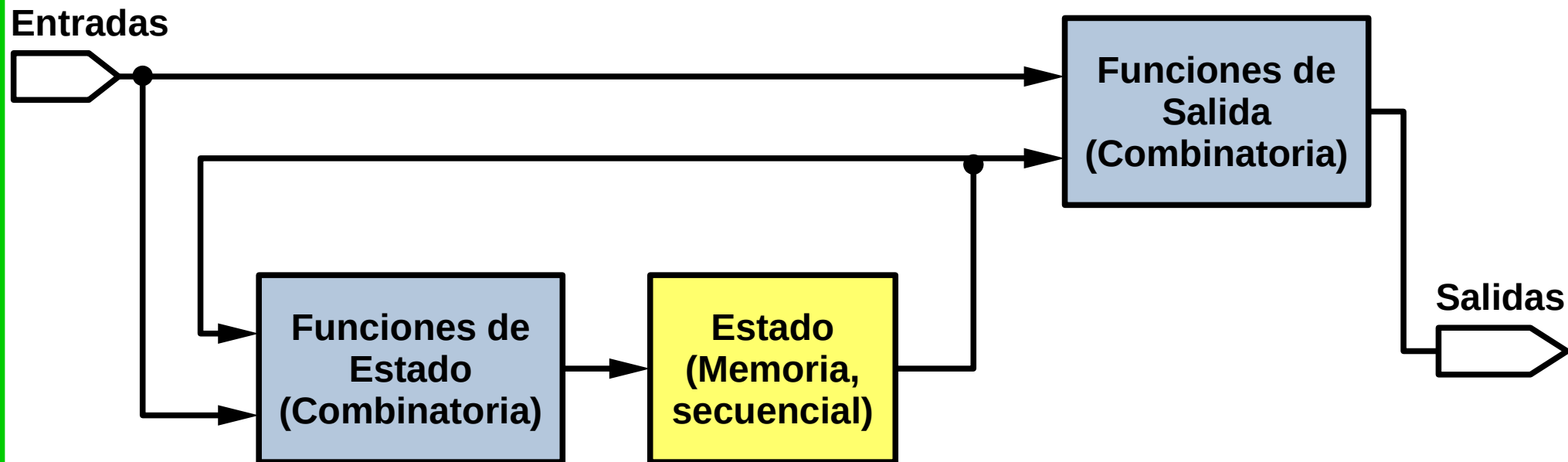


Hasta ahora vimos como analizar y diseñar lógica combinatoria

También vimos como analizar y diseñar elementos de memoria

Circuito secuencial síncrono

Esquema general de un circuito secuencial síncrono



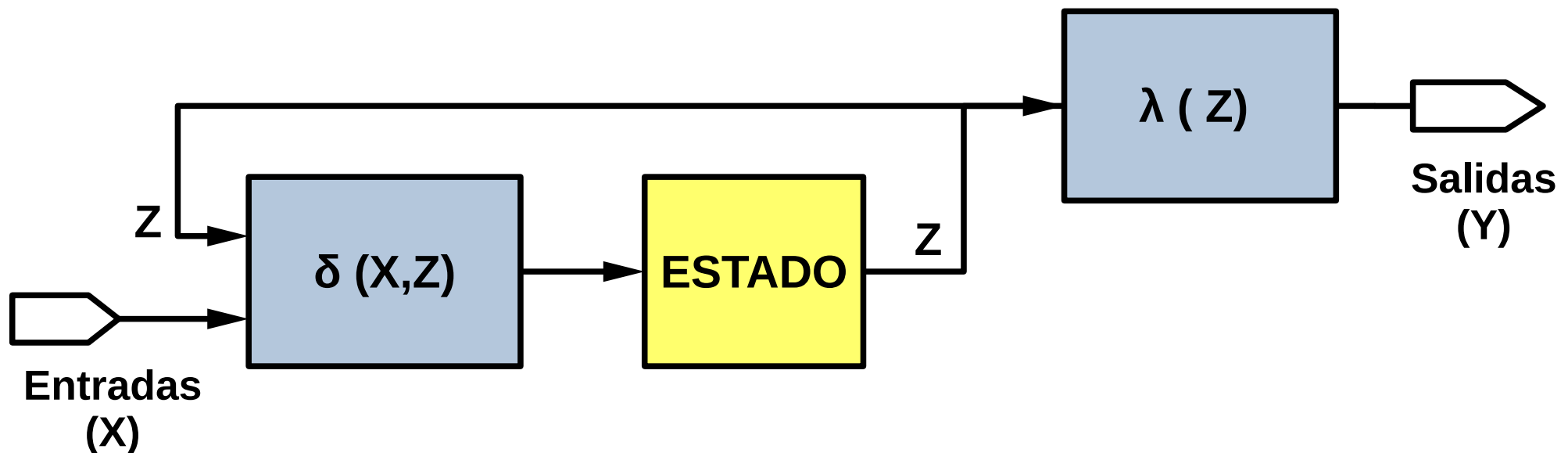
El bloque “ESTADO” está formado por biestables (Flip-Flops), todos ellos sincronizados por la misma señal de reloj.

Máquinas de Estados Finitos (FSM)

- El comportamiento de un circuito síncrono puede representarse mediante una Máquina de Estados Finitos (FSM o Finite State Machine)
- Una Máquina de Estados Finitos tiene los siguientes elementos
 - X : Entradas
 - Y : Salidas
 - Z : Estados (Valores de los FF, cambian con cada flanco de reloj)
 - δ : Funciones de Estado (Funciones combinatorias de entrada de los FF)
 - λ : Funciones de Salida (Combinacionales)
- Una FSM se define como una serie de eventos en tiempos discretos. El estado Z cambia en cada evento y el cambio está definido por δ

Modelo de Moore

- En el modelo de Moore las salidas dependen únicamente de los estados (NO de las entradas)
- Formalmente podemos describir una máquina de Moore como:
 - $Z = \delta (X, Z)$
 - $Y = \lambda (Z)$

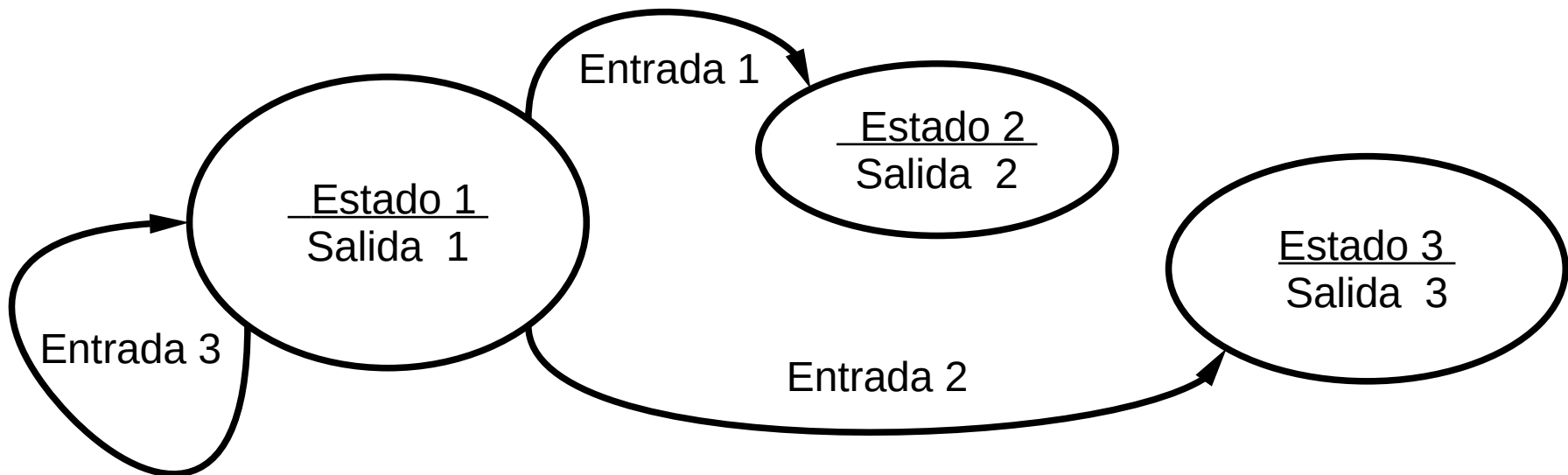


Modelo de Moore

- El reloj y el reset no aparecen en las máquinas de estados, la asociación entre estas señales en un circuito y la máquina de estados es:
 - En cada flanco del reloj, se produce una transición o cambio de estado
 - El reset se utiliza únicamente para establecer el estado inicial
- En las máquinas de estados de Moore las salidas cambian únicamente si hay un cambio de estado
 - Las salidas están sincronizadas con el reloj

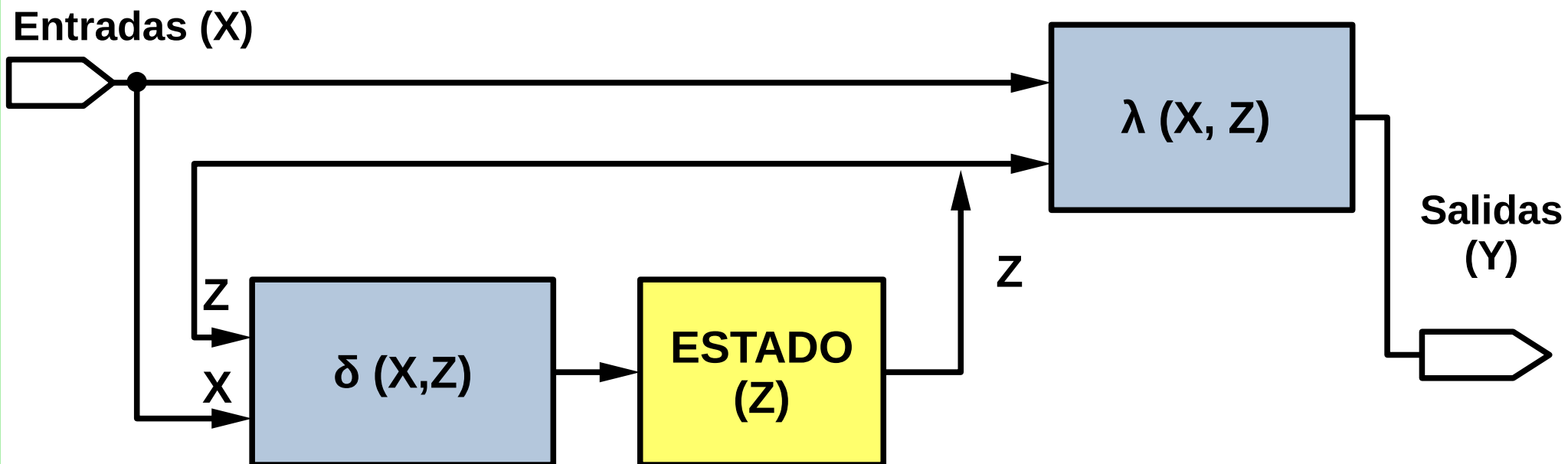
Modelo de Moore

- Una FSM se puede también representar mediante un diagrama de estados (STG o “State Transition Graph”)
 - Cada estado se representa con un círculo
 - Cada transición de estado se representa con una flecha
 - Los diferentes valores de las entradas se representan en las flechas
 - En el caso del modelo de Moore, las salidas se representan dentro de cada estado
- Diagrama de estados (Moore)



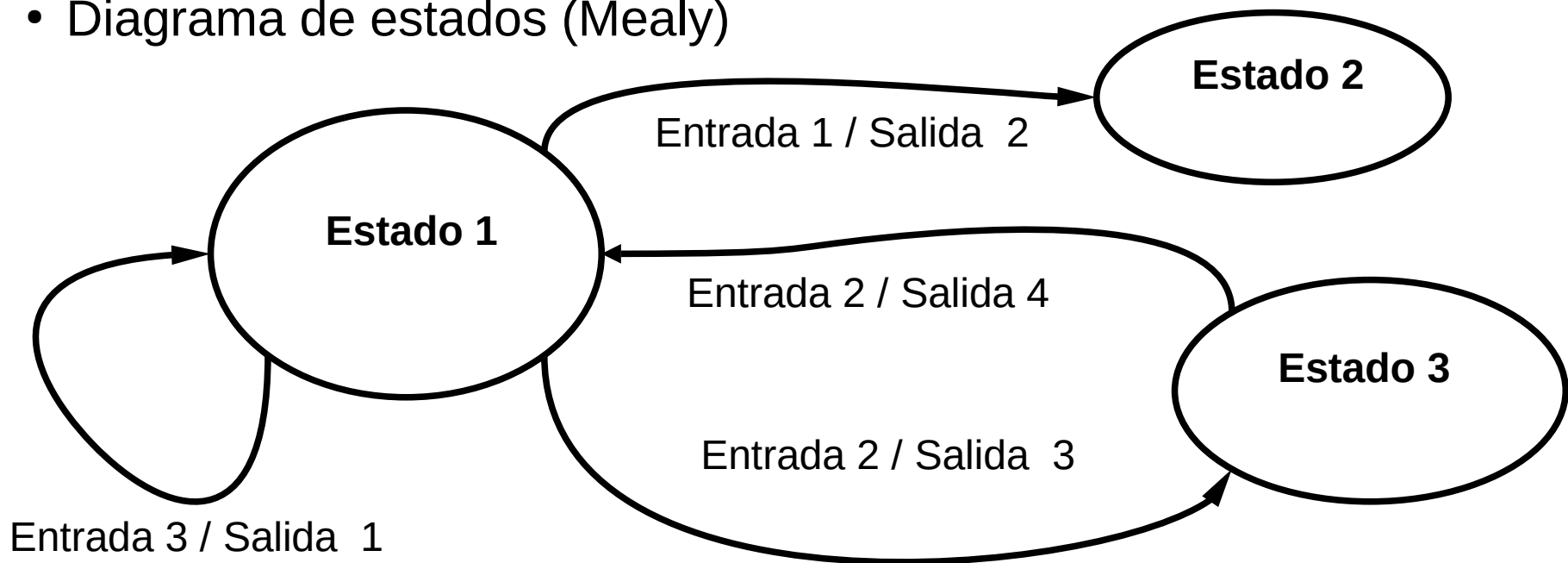
Modelo de Mealy

- En el modelo de Mealy las salidas dependen tanto de las entradas como de los estados (Caso general)
- Formalmente podemos describir una máquina de Mealy como:
 - $Z = \delta (X, Z)$
 - $Y = \lambda (X, Z)$



Modelo de Mealy

- Como vimos antes, una FSM se puede representar mediante un diagrama de estados (STG o “State Transition Graph”)
 - Cada estado se representa con un círculo y cada transición de estado se representa con una flecha como antes.
 - En el caso del modelo de Mealy, las entradas se representan en las flechas junto con las salidas, ya que cuando cambien las entradas, también cambiará la salida
- Diagrama de estados (Mealy)



Modelo de Mealy

- Igual que en Moore, el reloj y el reset no aparecen en las máquinas de estados,
- En las máquinas de estados de Mealy las salidas pueden cambiar en cualquier momento, (alcanza con que cambie una de las entradas)
 - Las salidas NO están sincronizadas con el reloj
 - De todas maneras el circuito sigue siendo sincrónico, ya que los biestables estan todos sincronizados con el mismo reloj.
 - Los estados SI están sincronizados con el reloj

Análisis y Síntesis de Circuitos Secuenciales Sincrónicos

- **Análisis:** A partir de un circuito, obtener su funcionalidad
 - Circuitos Combinacionales:
 - Obtener tablas de verdad o funciones booleanas
 - Circuitos Secuenciales:
 - Obtener diagrama de estados, o funciones de estado y de salida (δ y λ)
- **Síntesis:** Dada una funcionalidad, obtener la implementación de un circuito
 - Circuitos Combinacionales:
 - Obtener expresiones booleanas, implementar con puertas lógicas, multiplexores, decodificadores, etc.
 - Circuitos Secuenciales:
 - Obtener diagrama de estados e implementar las funciones de estado y de salida (δ y λ) con puertas lógicas, multiplexores, decodificadores y Biestables.

Análisis de Circuitos Secuenciales Sincrónicos

- **Análisis:** Obtener tabla de transiciones, calcular (δ y λ) y obtener diagrama de estados
- **Ejemplo:**

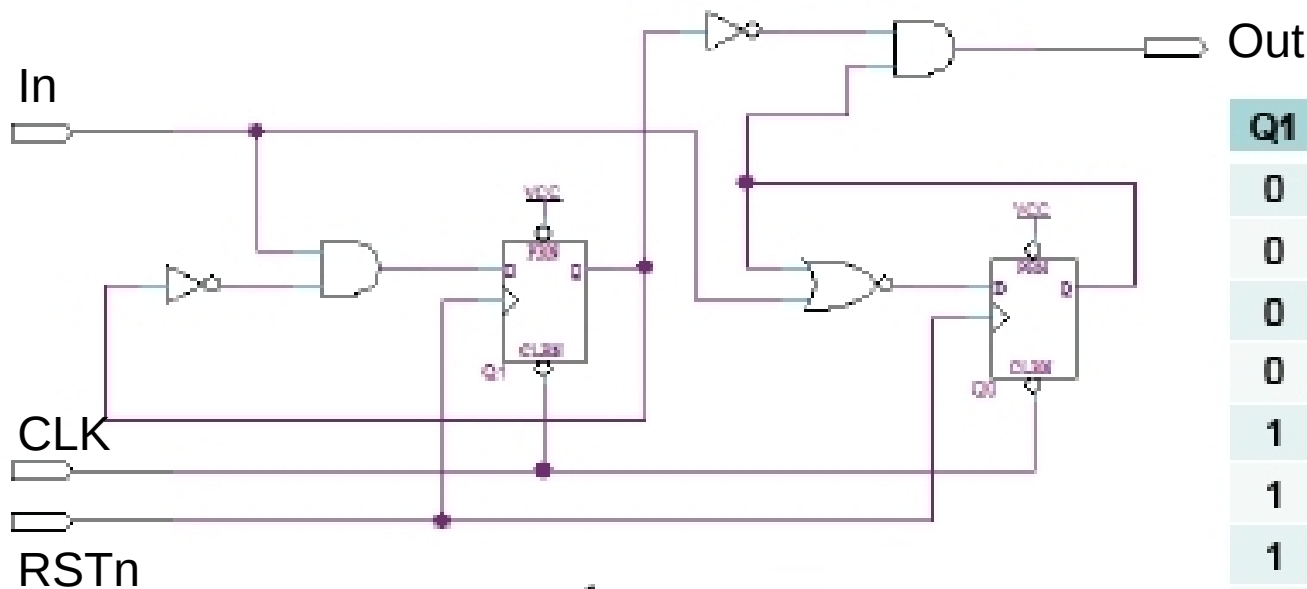


Tabla de transiciones:

| Q1 | Q0 | In | D1 | D0 | Q1+ | Q0+ | Out |
|----|----|----|----|----|-----|-----|-----|
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |

$$\delta \Rightarrow \begin{cases} D_0 = \overline{Q_0} + In \\ D_1 = \overline{Q_1} \cdot In \end{cases}$$

$$\lambda \Rightarrow Out = \overline{Q_1} \cdot Q_0$$

Análisis de Circuitos Secuenciales Sincrónicos

Tabla de transiciones:

| Q1 | Q0 | In | D1 | D0 | Q1+ | Q0+ | Out |
|----|----|----|----|----|-----|-----|-----|
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |

Diagrama estados (Mealy):

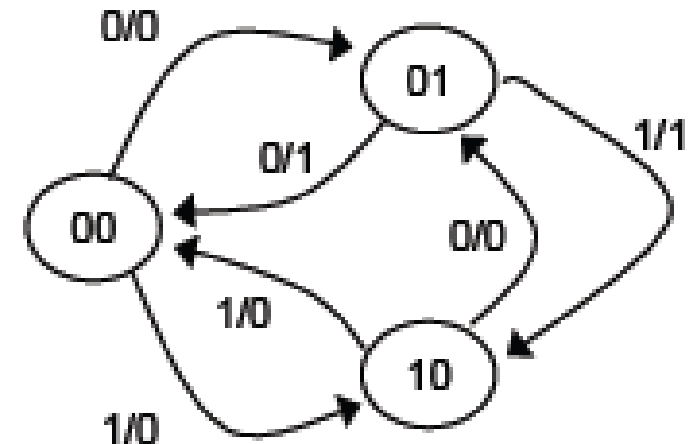
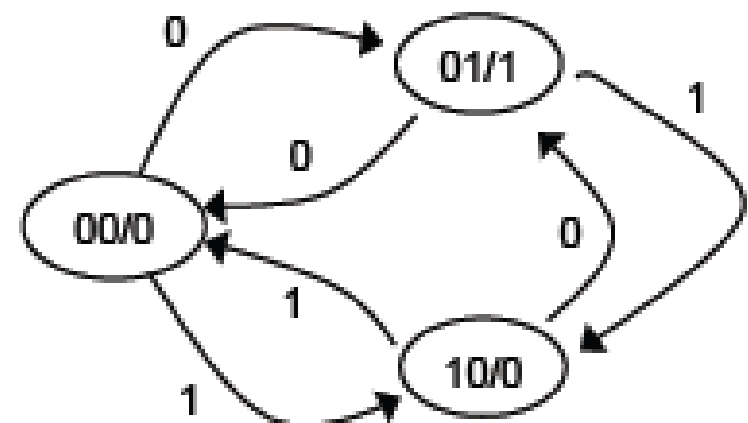


Diagrama estados (Moore):



Síntesis de Circuitos Secuenciales Sincrónicos

- A partir de la descripción de la funcionalidad de un circuito secuencial. los pasos a seguir para obtener una implementación son:
 - 1) Obtener diagrama de Estados
 - 2) Codificación de los Estados
 - 3) Obtener tablas de salidas y de transiciones de estados
 - 4) Obtener tabla de excitación de los Biestables, también se la llama tabla inversa
 - 5) Obtener funciones de salida
 - 6) Obtener funciones de estado
 - 7) Implementar con FF y Lógica/ MuX /Decodif.
- La diferencia entre Moore y Mealy está en las funciones de salida

Tablas de excitación o tablas inversas de los Biestables

- Tablas de excitación o Tablas inversas
 - Describen todas las posibles combinaciones de entradas que permiten pasar del estado actual Q al estado siguiente Q^+

R-S latch

| Q | Q+ | S | R |
|---|----|---|---|
| 0 | 0 | 0 | X |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | X | 0 |

J-K flip-flop

| Q | Q+ | J | K |
|---|----|---|---|
| 0 | 0 | 0 | X |
| 0 | 1 | 1 | X |
| 1 | 0 | X | 1 |
| 1 | 1 | X | 0 |

D flip-flop

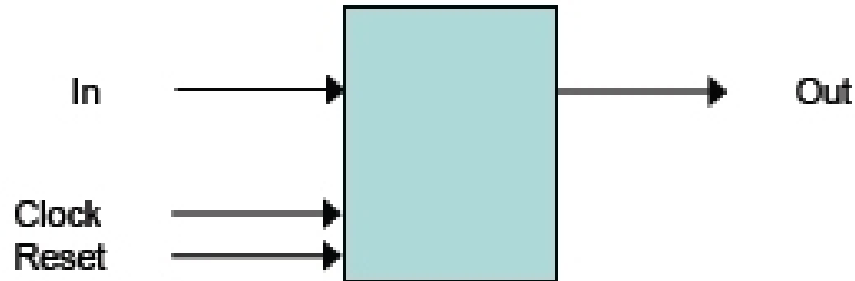
| Q | Q+ | D |
|---|----|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

T flip-flop

| Q | Q+ | T |
|---|----|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Síntesis de Circuitos Secuenciales Sincrónicos

- Problema: Diseñar un circuito secuencial síncrono que permita detectar una secuencia de tres o más “unos” consecutivos a través de una entrada serie
 - La entrada se lee en cada flanco ascendente del reloj
 - La salida se activa cuando se detecta la secuencia

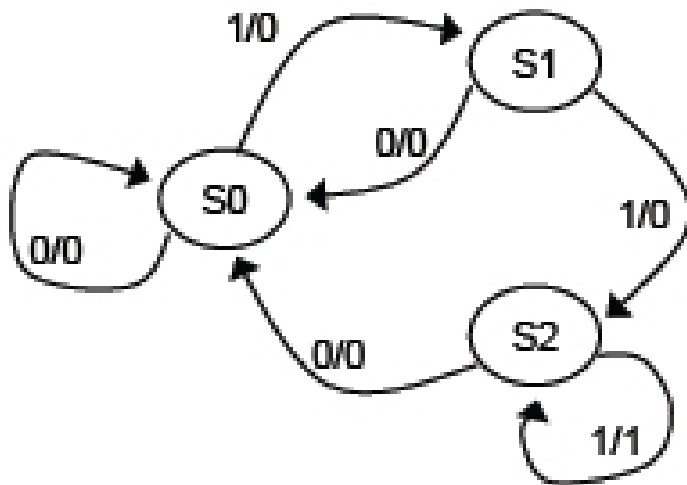


- Ejemplo de secuencia de entradas y de salidas
- X: 0 0 1 1 0 1 1 1 1 1 0 0 1 1 1
- Z: 0 0 0 0 0 0 0 1 1 1 0 0 0 0 1

Síntesis de Circuitos Secuenciales Sincrónicos

- Ejemplo 1: Mealy con FF tipo D

1. Diagrama de estados:



2. Codificación de estados:

| Estado | Q1 | Q0 |
|--------|----|----|
| S0 | 0 | 0 |
| S1 | 0 | 1 |
| S2 | 1 | 1 |
| | 1 | 0 |

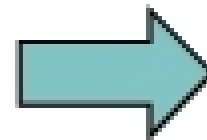
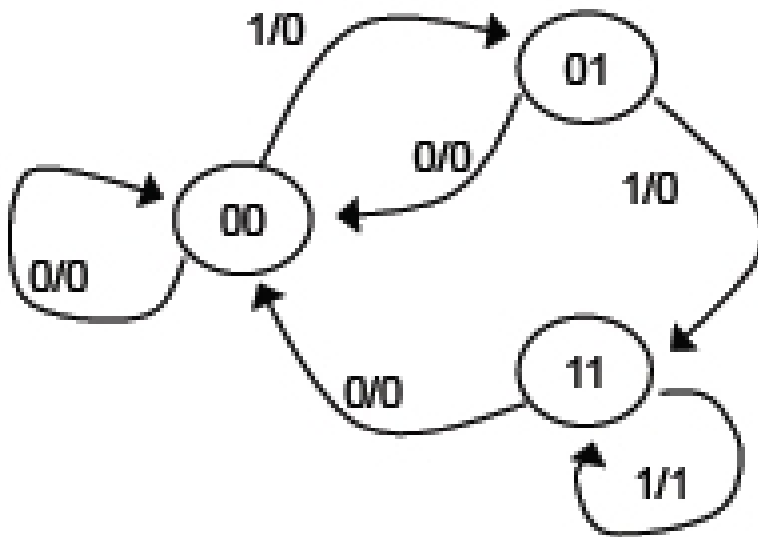


Estado no alcanzable

Síntesis de Circuitos Secuenciales Sincrónicos

- Ejemplo 1: Mealy con FF tipo D

3. Tabla de transiciones y tabla de salidas (combinadas juntas):



| In | Q1 | Q0 | Q1+ | Q0+ | Out |
|----|----|----|-----|-----|-----|
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | X | X | X |
| 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | X | X | X |
| 1 | 1 | 1 | 1 | 1 | 1 |

Síntesis de Circuitos Secuenciales Sincrónicos

- Ejemplo 1: Mealy con FF tipo D

4. Tabla inversa de biestables (biestables D):

| In | Q1 | Q0 | Q1+ | Q0+ | Out | D1 | D0 |
|----|----|----|-----|-----|-----|----|----|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | X | X | X | X | X |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | X | X | X | X | X |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

5. Función de salida:

| In | Q1 Q0 | | | |
|----|-------|----|----|----|
| | 00 | 01 | 11 | 10 |
| 0 | | | | X |
| 1 | | | 1 | X |

$$Out = Q_1 In$$

6. Funciones de estado

| In | Q1 Q0 | | | |
|----|-------|----|----|----|
| | 00 | 01 | 11 | 10 |
| 0 | | | | X |
| 1 | | 1 | 1 | X |

$$D_1 = Q_0 In$$

| In | Q1 Q0 | | | |
|----|-------|----|----|----|
| | 00 | 01 | 11 | 10 |
| 0 | | | | X |
| 1 | 1 | 1 | 1 | X |

$$D_0 = In$$

Síntesis de Circuitos Secuenciales Sincrónicos

• Ejemplo 2: Mealy con FF tipo JK

4. Tabla inversa de biestables (biestables J-K):

| In | Q1 | Q0 | Q1+ | Q0+ | Out | J1 | K1 | J0 | K0 |
|----|----|----|-----|-----|-----|----|----|----|----|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | X | 0 | X |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | X | X | 1 |
| 0 | 1 | 0 | X | X | X | X | X | X | X |
| 0 | 1 | 1 | 0 | 0 | 0 | X | 1 | X | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | X | 1 | X |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 | X | X | 0 |
| 1 | 1 | 0 | X | X | X | X | X | X | X |
| 1 | 1 | 1 | 1 | 1 | 1 | X | 0 | X | 0 |

5. Función de salida:

$$Out = Q_1 In$$

6. Funciones de estado

| In | Q1 Q0 | | | |
|----|-------|----|----|----|
| | 00 | 01 | 11 | 10 |
| 0 | | | X | X |
| 1 | | 1 | X | X |

$$J_1 = Q_0 In$$

| In | Q1 Q0 | | | |
|----|-------|----|----|----|
| | 00 | 01 | 11 | 10 |
| 0 | | X | X | X |
| 1 | 1 | X | X | X |

$$J_0 = In$$

| In | Q1 Q0 | | | |
|----|-------|----|----|----|
| | 00 | 01 | 11 | 10 |
| 0 | X | X | 1 | X |
| 1 | X | X | | X |

$$K_1 = \overline{In}$$

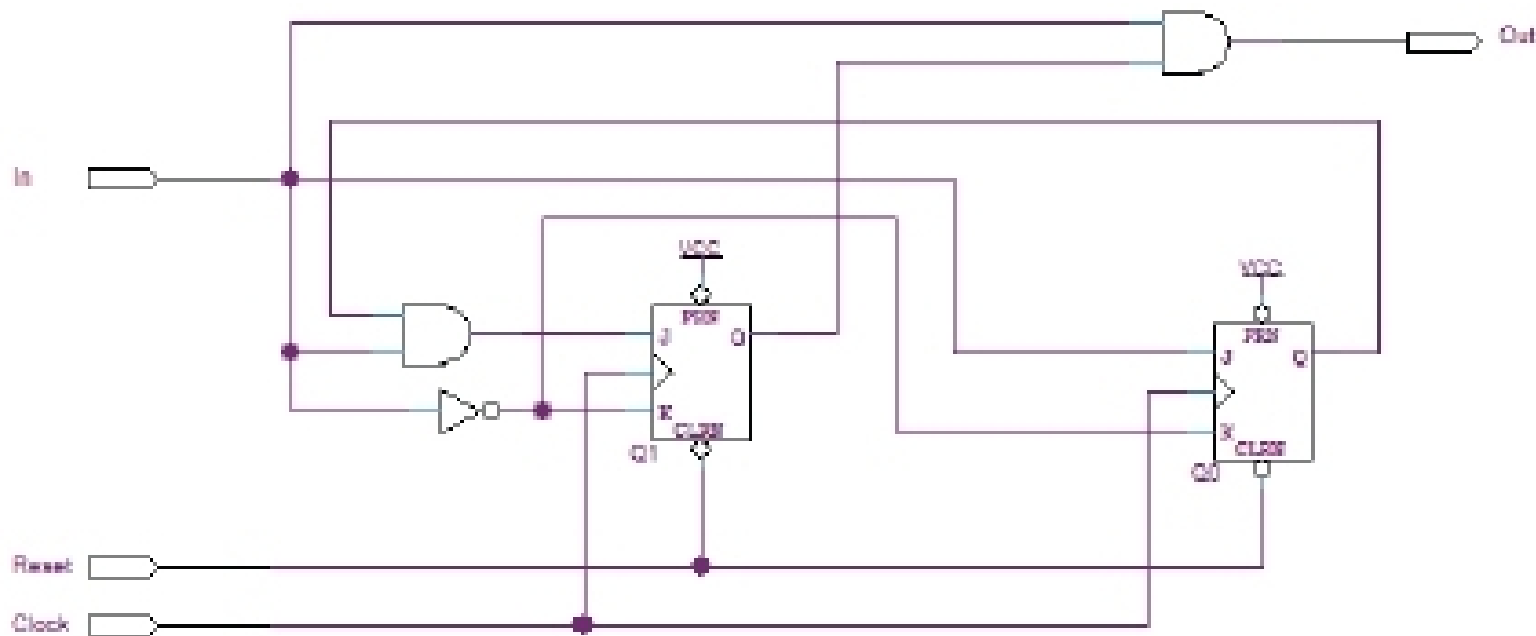
| In | Q1 Q0 | | | |
|----|-------|----|----|----|
| | 00 | 01 | 11 | 10 |
| 0 | X | 1 | 1 | X |
| 1 | X | | | X |

$$K_0 = \overline{In}$$

Síntesis de Circuitos Secuenciales Sincrónicos

- Ejemplo 2: Mealy con FF tipo JK

7. Implementación



$$Out = Q_1 In$$

$$J_0 = In$$

$$K_0 = \overline{In}$$

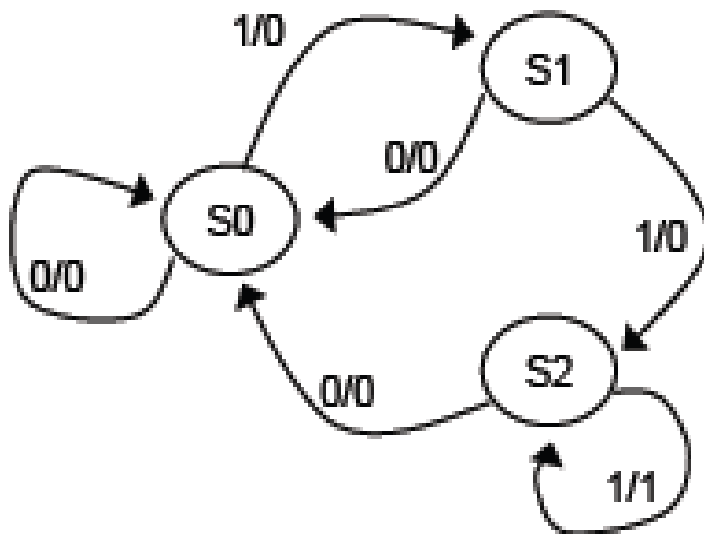
$$J_1 = Q_0 In$$

$$K_1 = \overline{In}$$

Síntesis de Circuitos Secuenciales Sincrónicos

- Ejemplo 3: Mealy con una codificación diferente

1. Diagrama de estados:



2. Codificación de estados:

| Estado | Q1 | Q0 |
|--------|----|----|
| S0 | 0 | 0 |
| S1 | 0 | 1 |
| S2 | 1 | 0 |
| | 1 | 1 |

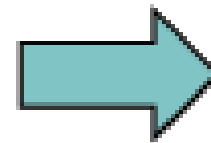
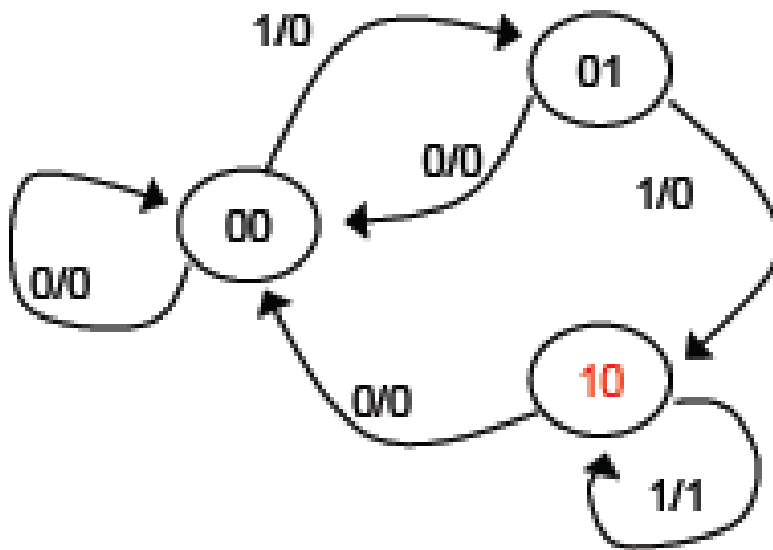


Ahora codificamos S2 de forma diferente

Síntesis de Circuitos Secuenciales Sincrónicos

- Ejemplo 3: Mealy con una codificación diferente

3. Tablas de transiciones y salidas (combinadas en una sola):



| In | Q1 | Q0 | Q1+ | Q0+ | Out |
|----|----|----|-----|-----|-----|
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | X | X | X |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | X | X | X |

Síntesis de Circuitos Secuenciales Sincrónicos

- Ejemplo 3: Mealy con una codificación diferente y FF tipo D

4. Tabla inversa de biestables (biestables D):

| In | Q1 | Q0 | Q1+ | Q0+ | Out | D1 | D0 |
|----|----|----|-----|-----|-----|----|----|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | X | X | X | X | X |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | X | X | X | X | X |

5. Función de salida:

| In | Q1 Q0 | | | |
|----|-------|----|----|----|
| | 00 | 01 | 11 | 10 |
| 0 | | | X | |
| 1 | | | X | 1 |

$$Out = Q_1 In$$

6. Funciones de estado

| In | Q1 Q0 | | | |
|----|-------|----|----|----|
| | 00 | 01 | 11 | 10 |
| 0 | | | X | |
| 1 | | 1 | X | 1 |

$$D_1 = Q_0 In + Q_1 In = In(Q_0 + Q_1)$$

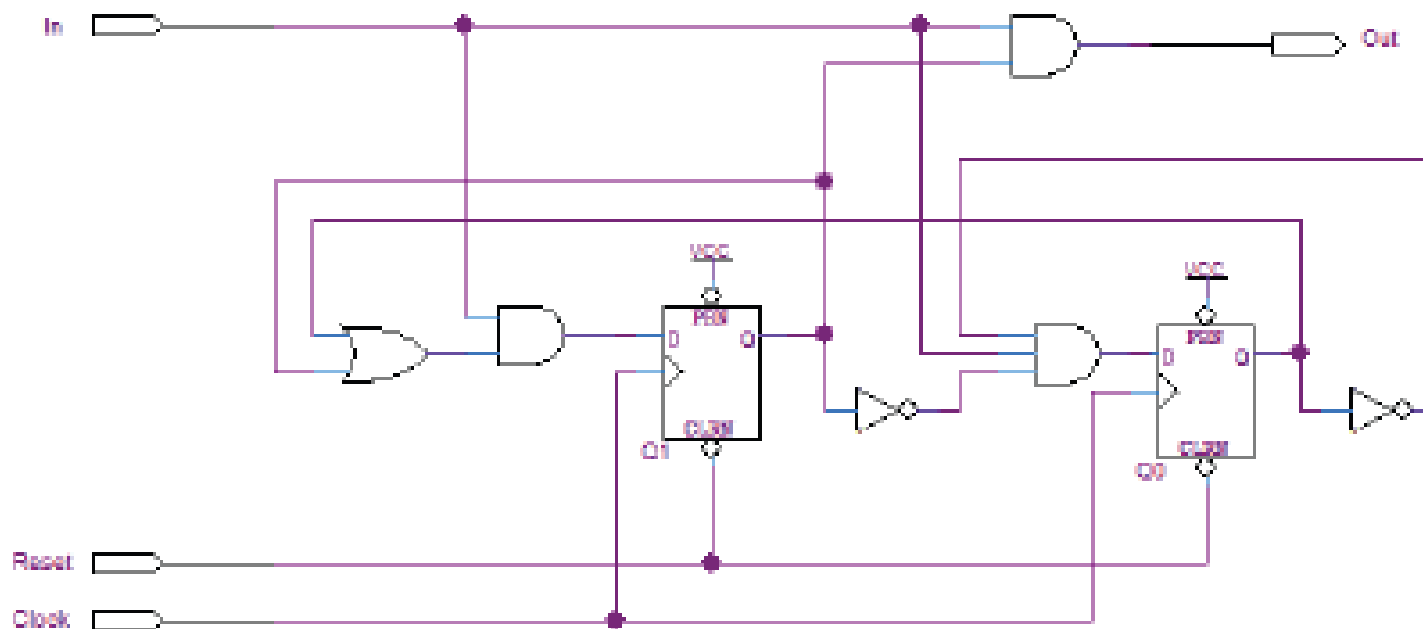
| In | Q1 Q0 | | | |
|----|-------|----|----|----|
| | 00 | 01 | 11 | 10 |
| 0 | | | X | |
| 1 | 1 | | X | |

$$D_0 = \overline{Q_1} \overline{Q_0} In$$

Síntesis de Circuitos Secuenciales Sincrónicos

- Ejemplo 3: Mealy con una codificación diferente y FF tipo D

7. Implementación

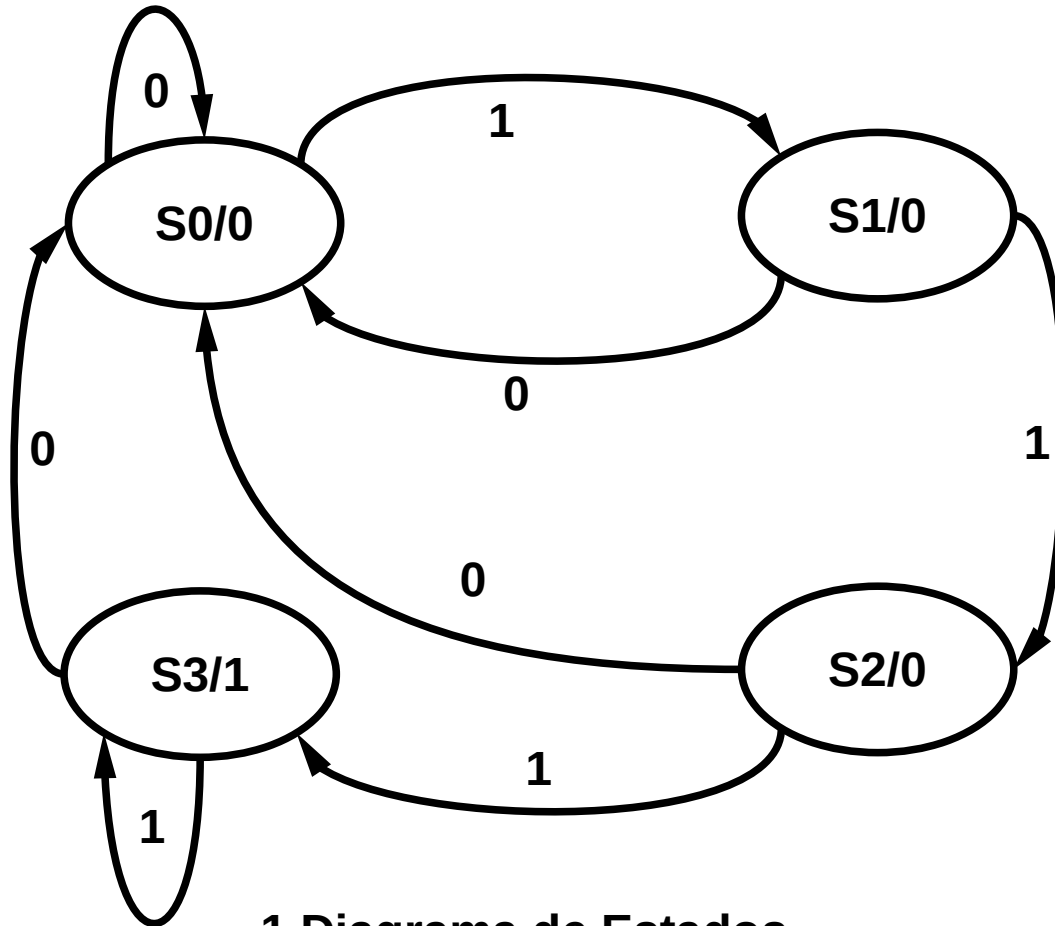


Con esta otra codificación sale más complejo y se requieren más puertas lógicas para la implementación

$$Out = Q_1 In$$
$$D_1 = In(Q_0 + Q_1)$$
$$D_0 = \overline{Q_1} \overline{Q_0} In$$

Síntesis de Circuitos Secuenciales Sincrónicos

- Ejemplo 4: Moore con biestables tipo D



1. Diagrama de Estados

| Q1 | Q0 | ESTADO |
|----|----|--------|
| 0 | 0 | S0 |
| 0 | 1 | S1 |
| 1 | 0 | S3 |
| 1 | 1 | S2 |

2. Codificación de Estados

Síntesis de Circuitos Secuenciales Sincrónicos

- Ejemplo 4: Moore con biestables tipo D

| In | Q1 | Q0 | Q1+ | Q0+ |
|----|----|----|-----|-----|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 |

3. Tabla de Transiciones

| Q1 | Q0 | OUT |
|----|----|-----|
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

3. Tabla de Salidas

Síntesis de Circuitos Secuenciales Sincrónicos

- Ejemplo 4: Moore con biestables tipo D

4. Tabla inversa de biestables (biestables D):

| In | Q1 | Q0 | Q1+ | Q0+ | D1 | D0 |
|----|----|----|-----|-----|----|----|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 |



5. Función de salida:

| Q1 | Q0 | Out |
|----|----|-----|
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

$\Rightarrow Out = Q_1 \bar{Q}_0$

6. Funciones de estado

| | | | | |
|----|-------|----|----|----|
| | Q1 Q0 | | | |
| | 00 | 01 | 11 | 10 |
| In | | | | |
| 0 | | | | |
| 1 | | 1 | 1 | 1 |

$$D_1 = Q_0 In + Q_1 In = (Q_0 + Q_1) In$$

| | | | | |
|----|-------|----|----|----|
| | Q1 Q0 | | | |
| | 00 | 01 | 11 | 10 |
| In | | | | |
| 0 | | | | |
| 1 | 1 | 1 | | |

$$D_0 = \bar{Q}_1 In$$

Síntesis de Circuitos Secuenciales Sincrónicos

- Ejemplo 4: Moore con biestables tipo D

7. Implementación

