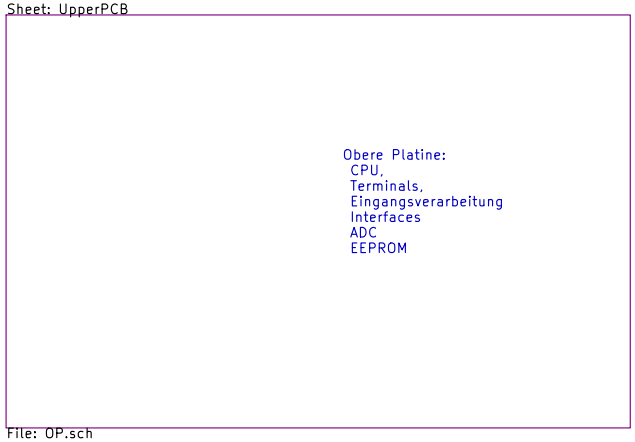
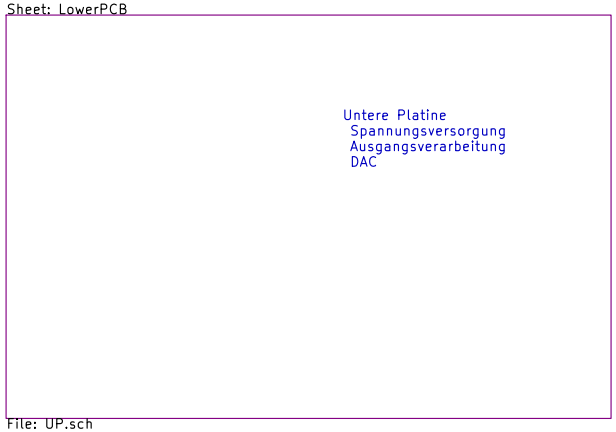
Sheet: UpperPCB



File: OP.sch

Sheet: LowerPCB



File: UP.sch

Modifications: M37
Experimental study
OP (Upper) and UP (Lower) Board

C.Niesen, Koenigswinter, Germany

Sheet: /
File: HomeTeensy40.sch

Title: myT40-PLC (PLC with Teensy 4.0)

Size: A4	Date: 2023-11-23	**Rev: V2.6 (PFS)**
KiCad E.D.A. kicad (5.1.7)-1		Id: 1/3

Dimensionierung If (Optokoppler)
Siehe Dokumentation

R1–16 500mW–>Uimax=50V
R1–16 250mW–>Uimax=30V

D88–D103 Alterntive:
1N4007–SMD/SM4007 (MELF)
1N4448W (SOD–123)

Digital INPUT

CPU

PFS Connector 2x4 zu
Batterie 3V...3,6V
Mode Switch
Reset–Button

5V CPU Kaltstart

Voltage–Monitoring 5V_CPU. Da daraus auf UP 3V3–Interface erzeugt wird, sollte U13 (UP) ein LT1086 sein.

Kaltstart der CPU mit SW_MODE_2 und RESET
5V_CPU stammt von UP. Q1 schaltet bei
SW_MODE_2=Low und RESET =Low über
OR–Gatter und NE555 die Versorgungs–
spannung des CPU–Moduls für ca. 2,5 sec ab.

T(R133,C76)=2,5sec

L2/C78/C79 : f0=500kHz Q=0,34

Analog INPUT

GNDA und VDD im Analogzweig sternförmig an die Devices.
Entkoppelkondensatoren innerhalb von 4mm an VDD und GNDA!

J33 an J6–Pin–2 :
GND_CAN_BUS (von J28) oder
GND_RS485_BUS (von J37)

Leitungs–Schirm
extern einseitig
an Sternpunkt
auf PE legen

Splitting im Busabschluss
bei CAN–Frequenz bis 500kHz:
C5,C6: C=1/(2*pi*R*f)=1/(2*3,14*60 Ohm*500kHz)=5,3nF –> 4n7 (C5,C6)
Verbindungen über Bus
PE Stecker–Gehäuse nur einseitig auflegen
Bei 3 Adern inkl. GND_xxx/GND_CAN: Schirm an PE.
Bei 2 Adern ohne GND_xxx/GND_CAN: Schirm an PE

Sende–Empfang Richtungsumschaltung
am RS485 mit einem Pin.
UART_DE und negierter UART_RE

Elkos/Tantal als Low ESR und 105°C/125°C
Alle Serien–Widerstände in SPI–Signalleitungen
zur Reduktion von Überschwingen SMD 0603 mit 30–150 Ohm
SMD 0805 ist angegeben, sonst SMD 1206

CAN–BUS

Dual–Bi–Directional CAN TVS ESD
SOT23, Ubr 26.2V , Pppm 350W
Vesd 30kV, Cd 30pF, Ipp 8A

Betriebsspannungen Verbindungen OP zu UP

J11 Oberplatine zu J20 Unterplatine

J25 Oberplatine zu J24 Unterplatine

J8 Oberplatine zu J21 Unterplatine

J9 Hauptanschluss PE für CAN–Bus und Gehäuse

J10 OP zu J18 UP

3V3_INT (OP) identisch zu 3V3_INT (UP)

Wegen 700mA je Ausgang zusätzliche Kontakte für 24V an J12 und J14

OUTPUT von UP

Phoenix: https://www.phoenixcontact.com

Leiterplattengrundleiste:
– MSTBVA 2,5 HC/10–G–5,08 – 1924389
Leiterplattensteckverbinder
– MVSTBW 2,5 HC/10–ST–5,08 – 1912922

EEPROM / FLASH

Optional
FLASH 1MB–8MB
e.g. W25Q80BV

Alternative
25LC1024–I/P
o.e.

RS485–BUS

Opt. Strombegrenzung
Treiberschutz 0 / 10 Ohm
R163/R165

BAT 46 : permanent Termination See doc

12V–Alternative D42, D43 : SMAJ12CA

Optional statt D44–47 ext. D45–>R:730 Ohm plus SW3, R164, R166–168 C94

100nF mit 50V, falls nichts angegeben
Alle Widerstände 1% 250mW, falls nicht anders angegeben

Uth=2,32V ADM809Z
Alternativen: ADM6346 ADM6326

Reset Generator

Uth=4,63V

open Collector

J3: mit FFC Molex für korrekte Anbindung des Originalgehäuses PS4–3xx :
https://www.mouser.de/datasheet/2/276/3/0039532065_FFC_FPC_CONNECTORS–2838446.pdf

Modifications: M37
Experimental study for reuse in original housing of PS4–1xx–MMx
Upper (OP) Board
CC BY–NC–SA 2023
C.Niesen, Koenigswinter, Germany

Sheet: /UpperPCB/		
File: OP.sch		
Title: myT40–PLC (PLC with Teensy 4.0)		
Size: A3	Date: 2023–11–23	**Rev: V2.6 (PFS)**
KiCad E.D.A. kicad (5.1.7)–1		Id: 2/3

Spg.Versorgung RS-485

U11 2S7WA_2405_S3RP — 50mA F3 — 10µ 50V C11 — C84 100n 50V, C16 22µ 10V (0805) — Ub_5V_RS485_BUS, GND_RS485_BUS → J20 01x02_Male "Auf J11 Oberplatine"

+5V 2W
Ub RS485 BUS
isoliert

Einspeisung

L1: 270µH 0,3A
PIS2812-271M-04

J18 UP zu J10 OP
DC
Ub 24V
Ub 0V
PE

C86 100n, C87 100n, L1, D48 MBRS 1100 SMD

J55<-- J54
J56<-- J53
Lötauge

opt. C nach PE
22nF/500V
von J54/J53
nach J55/J56

L1 verzögert Ansprechen von D51, falls Varistor RV1 auf OP wegen Überspannungen leitend wird.

Spg.Versorgung CAN

U12 2S7WA_2405_S3RP — 50mA F6 — 10µ 50V C12 — C85 100n 50V, C17 22µ 10V (0805) — 5V_CPU, Ub_CAN_BUS, GNDD, GND_CAN_BUS → 02x02_Male "UP Auf J8 Oberplatine" J21

+5V 2W
Ub CAN-BUS
isoliert
+5V_CPU

Spg.Versorgung CPU + Interfacebausteine

U46 LCN78_05-1.0 — 100mA F7 — C39 100n 50V, C81 10µ 50V, C82 100n 50V, C49 22µ 10V, C97 100n, C15 100n 50V, C14 22µ 6V3

U13 LT1086 3.3 (0...100R THT)

RESET Reset-Generator

5V_CPU, +3.3V

R170 10k 0805 — Q2 IRLML 2244 — D50 BZX84C-3V6

(0V/5V) 3V3EN_Q2_UP J19 Pin-8

PWR_FLAG, 3V3_INT, C96 100n 0805

U13: LT1086-3.3 or LM1086CT3.3 not recommended is LD1117-3.3

3V3INT : 3,3V to GNDD
Ub for interface ICs
UP via J19 + J24 zu OP

3V3 Surveilance

U40 ADM-803R — +3.3V, VCC, RESET, GND, open Collector, Uth=2,63V — R50 10k 0805, C98 100n — Reset Generator

J19 Unterplatine zu J4 Oberplatine

3V3_INT, 3V3EN_Q2_UP, 3V3_INT, RESET, MISO, MOSI, SPISCK, SPICS_IO — R67 10k, R157 51 — 01x08_Male UP J19

U14 MCP23S17

A0	15	28	GPA7 — O_GPA7
A1	16	27	GPA6 — O_GPA6
A2	17	26	GPA5 — O_GPA5
VSS	10	25	GPA4 — O_GPA4
RESET	18	24	GPA3 — O_GPA3
INTA	20	23	GPA2 — O_GPA2
INTB	19	22	GPA1 — O_GPA1
SO	14	21	GPA0 — O_GPA0
SI	13	8	GPB7 — O_GPB7
SCK	12	7	GPB6 — O_GPB6
CS	11	6	GPB5 — O_GPB5
VDD	9	5	GPB4 — O_GPB4
		4	GPB3 — O_GPB3
		3	GPB2 — O_GPB2
		2	GPB1 — O_GPB1
		1	GPB0 — O_GPB0

Byte-1 / Byte-0

C18 100n, C19 2µ2 16V

Spg.Versorgung Analog Sektion, ADC + DAC

+14,3V
Analog Section isolated

U44 2S7WB_2415S3RP — 50mA F2 — 10µ 50V C35 — C80 100n 50V, C36 22µ 25V, C88 100n 50V, C89 100n 50V (0805) — D53 1N4007 SMD — L-1812AF 330µ 100mA — L3 — 12V_ADDA

D51 1.5KE30CA

(+14,3V, falls doch für U37 ein LD1117-3.3 verwendet werden sollte)

AREF_2V5, 3V3_ADDA, 3V3_INT — J24 auf J25 Oberplatine

C37 100n, C38 100n, PWR_FLAG, U45 ADR03ARZ, C44 100n — 12V_ADDA (+14,3V), AREF_2V5

U37 LT1086 3.3 — C27 100n, C29 10µ 10V

LT1086 3.3V (Uin max 18V), Alternative: LM1086CT3.3)
(LD1117 3.3V, mit Uin max 15V weniger geeignet)

Analog OUTPUT : DAC

U41 : LT1078 benötigt mindestens Ub von 12V

U35 ADuM1401xRW — J26 01x04_Male — 3V3_INT, SPICS_DAC, SPISCK, MOSI — J26 UP zu J15 OP

C26 100n, C28 100n, C32 100n, C33 100n, 3V3_ADDA, R68 10k, optional R 51 SMD 0603

Pin 8 to Pin 2 (GND1)
GND1 = GNDD digital
GND2 = GNDA analog

U38 MCP4922 — SDI, SCK, CS, LDAC, SHDN, VDD, VREFA, VOUTA, VREFB, VOUTB, AVSS — DAC_A, DAC_B, AREF_2V5, C34 100n

U41A LT 1078 — DAC_A, R69 1k 0,1%, R121 3k0 0,1% — DAC_OUT_A — J29 Lötauge

U41B LT 1078 — DAC_B, R120 1k 0,1%, R122 3k0 0,1% — DAC_OUT_B — J30 Lötauge, J31 Lötauge

U41C LT 1078 — V+, V-, 12V_ADDA (+14,3V) (min. 12V), C40 100n

Unterplatine UP

Q1.7 / Q1.0 — Byte-1

O_GPA7, O_GPA6, O_GPA5, O_GPA4, O_GPA3, O_GPA2, O_GPA1, O_GPA0

R70–R77 1650 — U15A–U16D LTV-844 — R86, R87, R88, R89, R90, R91, R92, R93 7k5

24V_OPT_1

2µ2 50V, C20, C22 100n, 1N4448W7F DII, PWR_FLAG, 24V_Out_1, D37

60V 8A D104 SK86 — 24V F5 5,6AT — F5= 4,0AT – 5,6AT Lötauge — J32 — Analog-Option :Brücke J32 <<---->> J35

P6KE33CA D70, C41 100n

BSP-452 U19 (D71), U20 (D72), U21 (D73), U22 (D74), U23 (D75), U24 (D76), U25 (D77), U26 (D78) — IN, GND, VCC, OUT — 500mA

GNDPWR_Out_1

J4 01x15 Male zu OP — J23 — 0V, 24V, 1.7, 1.0 — opt. Connector

KPTD-3216 — R102–R109 7k5 — D54–D61

SMD 1N4448W7F DII — D106–D113

BSP-452 Output:
Imax = 500mA (700mA)
Umax = 40V
kurzschlussfest

If(D54–D69)=2mA mit R102–R117=10k

If(D54–D69)=3mA mit R102–R117=7k5

J22 + J23: Passende Buchse für UP optional:
https://www.phoenixcontact.com/en-pc/products/printed-circuit-board-connector-mstba-25-10-g-508-1757323
opt. 90° : MSTBA 2,5/10-G-5,08 – PCB header
Passender Stecker :
https://www.phoenixcontact.com/en-pc/products/printed-circuit-board-connector-mstb-25-10-st-508-1757093

Q0.7 / Q0.0 — Byte-0

O_GPB7, O_GPB6, O_GPB5, O_GPB4, O_GPB3, O_GPB2, O_GPB1, O_GPB0

R78–R85 1650 — U17A–U18D LTV-844 — R94, R95, R96, R97, R98, R99, R100, R101 7k5

24V_OPT_2

2µ2 50V, C21, C23 100n, 1N4448W7F DII, PWR_FLAG, 24V_Out_0, D49

60V 8A D105 SK86 — 24V F4 5,6AT — F4= 4,0AT – 5,6AT
Bei Analog-Option:
F4= 2,0AT bis 3,15AT
Lötauge — J35 — Analog-Option :Brücke J32 <<---->> J35

P6KE33CA D79, C42 100n

BSP-452 U27 (D80), U28 (D81), U29 (D82), U30 (D83), U31 (D84), U32 (D85), U33 (D86), U34 (D87) — IN, GND, VCC, OUT — 500mA

GNDPWR_Out_0

J22 — 0V, 24V, 0.7, 0.6, 0.5, 0.4, 0.3, 0.2, 0.1, 0.0 — Analogsektion optional auf Oberplatine — U11 Analog-OUT, 0V Analog In/Out, U10 Analog-OUT, U1 Analog-IN, U0 Analog-IN, Q0.4, Q0.3, Q0.2, Q0.1, Q0.0

J50 01x15 Male zu OP — Mit Analog : J50 01x05 Male
Ohne Analog : J50 01x15 Male — opt. Connector

KPTD-3216 — R110–R117 7k5 — D62–D69

SMD 1N4448W7F DII — D114–D121

Analog-Option :Brücke J39 <<---->> J38 — Lötauge — J38

Alternative zu BSP-452: BTS-4141N

H31 LED-Licht-Leiter_8x3mm_P5.08
H32 LED-Licht-Leiter_8x3mm_P5.08

J55 J56 J57 J59 J63 J64 J60 J58 Lötauge — PE — J65 J66 Flachstecker

O_GPA_5, O_GPA6 und O_GPA7 können zu Gunsten Analog In und Out entfallen. 0V und 24V Digital-Out-Byte-0 muss mit 0V und 24V vom Ausgangsbyte-1 verbunden werden, weil für J22 an J14 diese Anschlüsse für Analog-0V und In/Out nutzt. (J38->J39, J32->J35)

Keine Änderungen, wenn Analog-Sektion entfällt. Dann entfällt auch Spgs-Versorgung Analog-Sektion

Modifications: M37
Experimental study for reuse in original housing of PS4-1xx-MMx
Lower (UP) Board

C.Niesen, Koenigswinter, Germany

Sheet: /LowerPCB/
File: UP.sch

Title: myT40-PLC (PLC with Teensy 4.0)

Size: A3 | Date: 2023-11-23 | **Rev: V2.6 (FFC)**
KiCad E.D.A. kicad (5.1.7)-1 | Id: 3/3