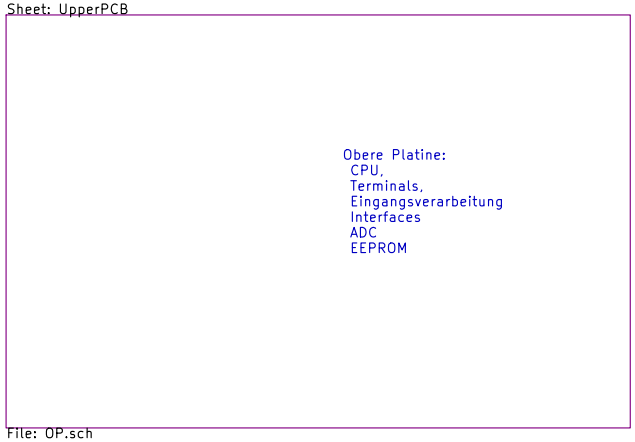
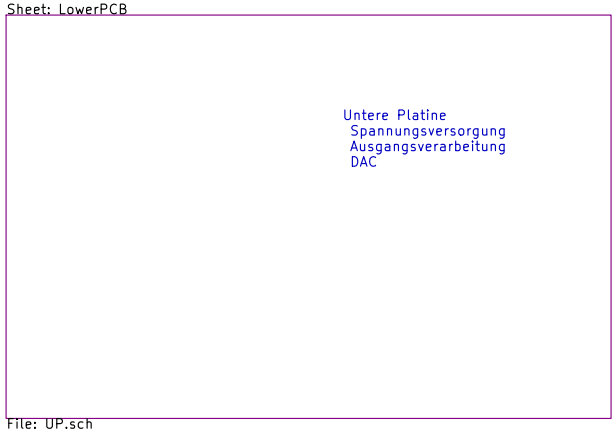
Sheet: UpperPCB




File: OP.sch

Sheet: LowerPCB




File: UP.sch

Modifications: M37
Experimental study
OP (Upper) and UP (Lower) Board

**C.Niesen, Koenigswinter, Germany**

Sheet: /
File: HomeTeensy40.sch

***Title: myT40-PLC (PLC with Teensy 4.0)***

| Size: A4 | Date: 2023-11-23 | **Rev: V2.6 (PFS)** |
|---|---|---|
| KiCad E.D.A. kicad (5.1.7)-1 | | Id: 1/3 |

Dimensionierung If (Optokoppler)
Siehe Dokumentation

R1-16 500mW->Uimax=50V
R1-16 250mW->Uimax=30V

D88-D103 Alterntive:
1N4007-SMD/SM4007 (MELF)
1N4448W (SOD-123)

## Digital INPUT

## CPU

PFS Connector 2x4 zu
Batterie 3V...3,6V
Mode Switch
Reset-Button

## 5V CPU Kaltstart

Kaltstart der CPU mit SW_MODE_2 und RESET
5V_CPU_IN stammt von UP und heißt dort
5V_CPU. Auf OP heißt dieses Potential erst
hinter Q1 wieder 5V_CPU. Q1 schaltet bei
SW_MODE_2=Low und RESET =Low über
OR-Gatter und NE555 die Versorgungs-
spannung des CPU-Moduls für ca. 2,5 sec ab.

T(R133,C76)=2,5sec

L2/C78/C79 : f0=500kHz Q=0,34

Voltage-Monitoring 5V_CPU. Da daraus
auf UP 3V3-Interface erzeugt wird,
sollte U13 (UP) ein LT1086 sein.

Übergang OP-UP
von IO_IN zu IO_OUT

Übergang OP-UP
von ADC zu DAC

J33 an J6-Pin-2 :
GND_CAN_BUS (von J28) oder
GND_RS485_BUS (von J37)

Leitungs-Schirm
extern einseitig
an Sternpunkt
auf PE legen

Splitting im Busabschluss
bei CAN-Frequenz bis 500kHz:
C5,C6: C=1/(2*pi*R*f)=1/(2*3,14*60 Ohm*500kHz)=5,3nF -> 4n7 (C5,C6)
Verbindungen über Bus
PE Stecker-Gehäuse nur einseitig auflegen
bei 3 Adern + Schirm an PE.
Bei 2 Adern mit Schirm: Schirm=GND_xxx/GND_CAN

## CAN-BUS

Dual-Bi-Directional CAN TVS ESD
SOT23, Ubr 26.2V , Pppm 350W
Vesd 30kV, Cd 30pF, Ipp 8A

## Betriebsspannungen Verbindungen OP zu UP

J8 Oberplatine zu J21 Unterplatine

J9 Hauptanschluss PE für CAN-Bus und Gehäuse

J10 OP zu J18 UP

J11 Oberplatine zu J20 Unterplatine

J25 Oberplatine zu J24 Unterplatine

3V3_INTERFACE (OP) identisch zu 3V3_INT (UP)

Wegen 700mA je Ausgang
zusätzliche Kontakte für 24V
an J12 und J14

## OUTPUT von UP

Phoenix: https://www.phoenixcontact.com

Leiterplattengrundleiste:
- MSTBVA 2,5 HC/10-G-5,08 - 1924389
Leiterplattensteckverbinder
- MSVSTBW 2,5 HC/10-ST-5,08 - 1912922

## EEPROM / FLASH

Optional
FLASH 1MB-8MB
e.g. W25Q80BV

Alternative
25LC1024-I/P
o.e.

## RS485-BUS

Opt. Strombegrenzung
Treiberschutz 0 / 10 Ohm
R163/R165

BAT 46 :
permanent
Termination
See doc

12V-Alternative
D42, D43 :
SMAJ12CA

Optional statt D44-47
evtl. D45->R:730 Ohm
plus
SW3, R164,
R166-168
C94

100nF mit 50V, falls nichts angegeben
Alle THT Widerstände Metallschicht 1% 250mW, falls nicht anders angegeben

## Analog INPUT

GNDA und VDD im Analogzweig sternförmig an die Devices.
Entkoppelkondensatoren innerhalb von 4mm an VDD und GNDA!

J3: mit FFC Molex für korrekte Anbindung des Originalgehäuses PS4-3xx :
https://www.mouser.de/datasheet/2/276/3/0039532065_FFC_FPC_CONNECTORS-2838446.pdf

| | |
|---|---|
| Modifications: M37 | |
| Experimental study for reuse in original housing of PS4-1xx-MMx Upper (OP) Board | |
| CC BY-NC-SA 2023 | |
| **C.Niesen, Koenigswinter, Germany** | |
| Sheet: /UpperPCB/ | |
| File: OP.sch | |
| **Title: myT40-PLC (PLC with Teensy 4.0)** | |
| Size: A3 | Date: 2023-11-23 — **Rev: V2.6 (PFS)** |
| KiCad E.D.A. kicad (5.1.7)-1 | Id: 2/3 |

## Spg.Versorgung RS-485

U11 2S7WA_2405_S3RP

50mA F3

+ C11 10µ 50V

In+ In- Out+ Out- DC-DC

C84 100n 50V 0805

+ C16 22µ 10V

Ub_5V_RS485_BUS

GND_RS485_BUS

J20 01x02_Male

Auf J11 Oberplatine

+5V 2W
Ub RS485 BUS
isoliert

## Einspeisung

L1: 270µH 0,3A
PIS2812-271M-04

J18 UP
zu
J10 OP

DC
Ub 24V
Ub 0V
PE

J18

C86 100n C87 100n L1 D48 MBRS 1100 SMD

J55<-- J54
J56<-- J53
Lötauge

opt. C nach PE
22nF/500V
von J54/J53
nach J55/J56

L1 verzögert Ansprechen von D51, falls Varistor RV1 auf OP wegen Überspannungen leitend wird.

## Spg.Versorgung CAN

U12 2S7WA_2405_S3RP

50mA F6

+ C12 10µ 50V

In+ In- Out+ Out- DC-DC

C85 100n 50V 0805

+ C17 22µ 10V

5V_CPU
Ub_CAN_BUS
GNDD
GND_CAN_BUS

02x02_Male
UP
Auf J8 Oberplatine
J21

+5V 2W
Ub CAN-BUS
isoliert
+5V_CPU

## Spg.Versorgung CPU + Interfacebausteine

J19 Pin-8 (3V3EN.Q2.UP)
COLDSTART_3V3INT

5V_CPU

100mA F7

U46 LCN78_05-0.5

IN OUT GND

C39 100n 50V
+ C13 10µ 50V
C81 100n 50V 0805
C82 100n 50V 0805

R170 10k 0805

Q2 IRLML 2244

+ C49 22µ 10V

0805 C96 100n
C97 100n

U13 LT1086 3.3 THT

VI VO GND

0...100R

C15 100n 50V
+ C14 22µ 6V3

3V3_INTERFACE
+3.3V

GNDD

+3.3V 3W und GNDD
Ub for interface ICs
UP via J19 zu OP (J4)

U13: LT1086 or LD1117
recommended is : LT1086 for ADM803L Reset-Monitor

## Spg.Versorgung Analog Sektion, ADC + DAC

+14,3V
Analog Section isolated
U41 : LT1078 benötigt mindestens Ub von 12V
U37 : LD1117-3,3 Uin max 15V, LT1086-3V3 Uin max 18V (alt. LM1086CT3.3)

U44 2S7WB_2415S3RP

50mA F2

+ C35 10µ 50V
C80 100n 50V 0805

In+ In- Out+ Out- DC-DC

D51 1.5KE30CA

C83 100n 50V 0805
+ C36 22µ 25V

D53 1N4007 SMD

L-1812AF 330µ 100mA L3

C88 100n 50V 0805
C89 100n 50V 0805

12V_ADDA (+14,3V)

AREF_2V5
3V3_ADDA

J24 auf J25 Oberplatine

GNDA GNDD +3.3V

GNDA
C37 100n

GNDA
C38 100n

PWR_FLAG

12V_ADDA (+14,3V)

U45 ADR03ARZ

IN GND OUT

AREF_2V5

C44 100n

GNDA

LT1086 3.3V (Uin max 18V)
(alternativ ein LD1117 3.3V, mit Uin max 15V)

U37 LT1086 3.3

12V_ADDA (+14,3V)
C27 GNDA 100n
VI GND VO
3V3_ADDA
C29 GNDA 10µ 10V

## Analog OUTPUT : DAC

GNDD
C26 100n
+3.3V

GNDA
C28 100n

3V3_ADDA

GNDA
C32 100n

GNDA
C33 100n

AREF_2V5

U35 ADuM1401xRW

J26 01x04_Male
SPICS_DAC
SPISCK
MOSI

J26 UP
zu
J15 OP

GNDD

VDD1 VIA VIB VIC VOD VE1 GND1
VDD2 VOA VOB VOC VID VE2 GND2

R68 10k

optional R 51
SMD 0603

U38 MCP4922

SDI SCK CS LDAC SHDN VDD VrefA VoutA VrefB VoutB AVSS

DAC_A
DAC_B

C34 100n

Pin 8 to Pin 2 (GND1)
GND1 = GNDD digital
GND2 = GNDA analog

U41A LT 1078

DAC_A
R69 1k 0,1%
R121 3k0 0,1%
DAC_OUT_A
J29 Lötauge

U41B LT 1078

DAC_B
R120 1k 0,1%
R122 3k0 0,1%
DAC_OUT_B
J30 Lötauge
J31 Lötauge

12V_ADDA (+14,3V) (min. 12V)
C40 100n
U41C LT 1078

Unterplatine UP

J19 Unterplatine
zu
J4 Oberplatine

+3.3V
R67 10k
COLDSTART_3V3INT
3V3_INT
UP
01x08_Male
J19
MISO
MOSI
R157 51

U14 MCP23S17

A0 A1 A2 VSS VDD RESET INTA INTB SO SI SCK CS
GPA7 GPA6 GPA5 GPA4 GPA3 GPA2 GPA1 GPA0
GPB7 GPB6 GPB5 GPB4 GPB3 GPB2 GPB1 GPB0

Byte-1
O_GPA7 O_GPA6 O_GPA5 O_GPA4 O_GPA3 O_GPA2 O_GPA1 O_GPA0
Byte-0
O_GPB7 O_GPB6 O_GPB5 O_GPB4 O_GPB3 O_GPB2 O_GPB1 O_GPB0

C18 100n
+ C19 2µ2 16V

GNDD +3.3V GNDD

Q1.7 O_GPA7
Q1.0 O_GPA0
Q0.7 O_GPB7
Q0.0 O_GPB0

R70 R71 R72 R73 R74 R75 R76 R77 1650
R78 R79 R80 R81 R82 R83 R84 R85 1650

U15A U15B U15C U15D U16A U16B U16C U16D U17A U17B U17C U17D U18A U18B U18C U18D LTV-844

7k5 R86 R87 R88 R89 R90 R91 R92 R93 R94 R95 R96 R97 R98 R99 R100 R101

7k5 R134 R135 R136 R137 R138 R139 R140 R141 R142 R143 R144 R145 R146 R147 R148 R149

BSP-452 U19 U20 U21 U22 U23 U24 U25 U26 U27 U28 U29 U30 U31 U32 U33 U34

IN GND VCC OUT

500mA

GNDPWR_Out_1
GNDPWR_Out_0

60V 8A
D104 SK86
D105 SK86

24V F5 5,6AT
24V F4 5,6AT

F5= 4,0AT - 5,6AT
Lötauge
J32
Analog-Option :Brücke J32 <<---->> J35

F4= 4,0AT - 5,6AT
Bei Analog-Option:
F4= 2,0AT bis 3,15AT
J35 Lötauge
Analog-Option :Brücke J32 <<---->> J35

2µ2 50V
+ C20
C22 100n
D37

2µ2 50V
+ C21
C23 100n
D49

1N4448W7F DII
PWR_FLAG
24V_Out_1
24V_Out_0

24V_OPT_1
24V_OPT_2

P6KE33CA
D70 C41 100n
D79 C42 100n

D71 D72 D73 D74 D75 D76 D77 D78 D80 D81 D82 D83 D84 D85 D86 D87

J4 01x15 Male zuOP

J23
1 0V
2 24V
3 1.7
4
5
6
7
8
9
10 1.0

opt. Connector

KPTD-3216
R102 R103 R104 R105 R106 R107 R108 R109 7k5
D54 D55 D56 D57 D58 D59 D60 D61
D106 D107 D108 D109 D110 D111 D112 D113
SMD
1N4448W7F DII

BSP-452 Output:
Imax = 500mA (700mA)
Umax = 40V
kurzschlussfest

If(D54-D69)=2mA mit
R102-R117=10k

If(D54-D69)=3mA mit
R102-R117=7k5

J22 + J23: Passende Buchse für UP optional:
https://www.phoenixcontact.com/en-pc/products/printed-circuit-board-connector-mstba-2_5-10-g-5_08-1757323
opt. 90° : MSTBA 2,5/10-G-5,08 - PCB header
Passender Stecker :
https://www.phoenixcontact.com/en-pc/products/printed-circuit-board-connector-mstb-2_5-10-st-5_08-1757093

Lötauge J55 J56 J57 J59 J63 J64 J60 J58 J65 J66 Flachstecker
PE

KPTD-3216
R110 R111 R112 R113 R114 R115 R116 R117 7k5
D62 D63 D64 D65 D66 D67 D68 D69
D114 D115 D116 D117 D118 D119 D120 D121
1N4448W7F DII

J50 01x15 Male zu OP

J22
1 0V
2 24V
3 0.7
4 0.6
5 0.5
6 0.4
7 0.3
8 0.2
9 0.1
10 0.0

opt. Connector

Mit Analog : J50 01x05 Male
Ohne Analog : J50 01x15 Male

Analog-Option :Brücke J39 <<---->> J38
Lötauge J38

| | |
|---|---|
| 0V | U11 Analog-OUT |
| 24V | 0V Analog In/Out |
| Q0.7 | U10 Analog-OUT |
| Q0.6 | U1 Analog-IN |
| Q0.5 | U0 Analog-IN |
| Q0.4 | Q0.4 |
| Q0.3 | Q0.3 |
| Q0.2 | Q0.2 |
| Q0.1 | Q0.1 |
| Q0.0 | Q0.0 |

Analogsektion optional auf Oberplatine

Alternative zu BSP-452: BTS-4141N

H31 LED-Licht-Leiter_8x3mm_P5.08
H32 LED-Licht-Leiter_8x3mm_P5.08

**O_GPA_5, O_GPA6 und O_GPA7 können zu Gunsten Analog In und Out entfallen. 0V und 24V Digital-Out-Byte-0 muss mit 0V und 24V vom Ausgangsbyte-1 verbunden werden, weil für J22 an J14 diese Anschlüsse für Analog-0V und In/Out nutzt. (J38->J39, J32->J35)**

**Keine Änderungen, wenn Analog-Sektion entfällt. Dann entfällt auch Spgs-Versorgung Analog-Sektion**

Modifications: M37
Experimental study for reuse in original housing of PS4-1xx-MMx
Lower (UP) Board

**C.Niesen, Koenigswinter, Germany**

| | | |
|---|---|---|
| Sheet: /LowerPCB/ | | |
| File: UP.sch | | |
| ***Title: myT40-PLC (PLC with Teensy 4.0)*** | | |
| Size: A3 | Date: 2023-11-23 | **Rev: V2.6 (FFC)** |
| KiCad E.D.A. kicad (5.1.7)-1 | | Id: 3/3 |