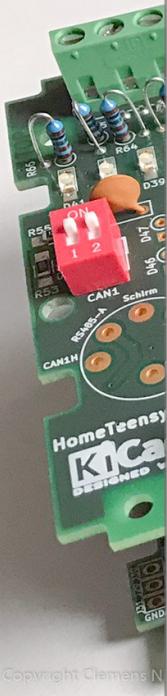


myT40-PLC

Neue PLC im alten Gewand – Eine Studie
Upcycling einer defekten KlöcknerMoeller SPS PS4-1x1

V2.9 finale Version basierend auf Prototyp-4

Ein Antidepressivum in Zeiten von Corona



Clemens Niesen
2020-2024

myT40-PLC History

| | | | | | |
|---|-------------|--|-----|--------|---|
| Version 0.1 | ab Mai 2018 | Gedankenspiele mit Arduino Due Ausprobieren von KiCad 4.x | | | |
| Version 1.0 | 1.12.2020 | Steckbrett-Aufbauten mit Teensy 4.0 und 4.1 | | | |
| Version 1.2.1 | 22.4.2021 | PLC HT40 | M00 | V1.2.1 | (Prototyp1) |
| Version 1.5 | 16.01.2022 | PLC HT40 | M16 | V1.5 | (Prototyp2) |
| Version 2.2 | 04.09.2022 | PLC HT40 | M31 | V2.2 | (Prototyp3) |
| Projekt umbenannt in myT40-... im August 2023 | | | | | |
| Version 2.6 | 23.11.2023 | myT40-PLC | M38 | V2.6 | (Prototyp4) |
| | 17.01.2024 | myT40-PLC | | | Modifications & 4-Layer for OP |
| Version 2.9 | 09.06.2024 | myT40-PLC | M41 | V2.9 | (Version final) Modifications OP/UP |

Zuletzt editiert am 05.07.2024

License

Dieses Werk ist unter einer Creative Commons Lizenz vom Typ „**Namensnennung - Nicht-kommerziell - Weitergabe unter gleichen Bedingungen 4.0 International**“ zugänglich. Um eine Kopie dieser Lizenz einzusehen, konsultieren Sie <http://creativecommons.org/licenses/by-nc-sa/4.0/> oder wenden Sie sich brieflich an Creative Commons, Postfach 1866, Mountain View, California, 94042, USA.

| | |
|---------|--|
| Title | myT40-PLC Documentation |
| Author | Clemens Niesen, Germany, 2024 |
| Source | This document, and related ones |
| Licence | CC-BY-NC-SA |

This work is licensed under the Creative Commons „**Attribution-NonCommercial-ShareAlike 4.0 International License**“. To view a copy of this license, visit <http://creativecommons.org/licenses/by-nc-sa/4.0/> or send a letter to Creative Commons, PO Box 1866, Mountain View, CA 94042, USA.

This license lets others remix, adapt, and build upon your work non-commercially, as long as they credit you and license their new creations under the identical terms.
<http://creativecommons.org/licenses/by-nc-sa/4.0/>

Haftungsausschluss

Ausdrücklich weise ich darauf hin, dass ich keine Zusicherungen oder Garantien hinsichtlich der Nichtverletzung von Rechten oder des Fehlens anderer Mängel in Bezug auf das CC-lizenzierte Werk gebe. Das bedeutet, dass die Nutzer das Werk auf eigenes Risiko nutzen.

Ferner weise ich darauf hin, dass dieses Projekt und der Inhalt dieser Dokumentation, sowie zugehöriger Dateien ein reines Freizeitprojekt und für den Leser als Fallstudie zu verstehen ist. Dieses Projekt, diese Schaltungen sind nicht durch offizielle Stellen geprüft oder abgenommen. Fehler sind trotz aller Umsicht nicht auszuschließen. Wer dieses Projekt nachbaut, tut dies auf eigene Gefahr und Verantwortung. Für Schäden an Personen und Geräten, Material, Gebäuden, Tieren, etc. übernehme ich keinerlei Verantwortung. Der Nachbau ist ausschließlich versierten Menschen, die genau wissen was sie tun, vorbehalten. Was eine Verwendung der Steuerung bei Dritten tut und was nicht, liegt neben der handwerklichen Ausführung des Aufbaus auch an der Software, die sich ebenfalls meiner Verantwortung entzieht.

Ich gebe keine Gewähr und übernehme keine Verantwortung für den Inhalt von Verweisen, Links und Zitaten.

DISCLAIMER

I explicitly state that I make no representations or warranties regarding non-infringement or the absence of other defects with respect to the CC-licensed work. This means that users use the work at their own risk. Furthermore, I point out that this project and the content of this documentation, as well as associated files, is purely a recreational project and should be understood as a case study for the reader. This project, these circuits are not tested or approved by official bodies. Errors can not be excluded despite all care. Whoever reproduces this project does so at his own risk and responsibility. I do not take any responsibility for damages to persons and devices, material, buildings, animals, etc.. Rebuilding is reserved exclusively for experienced people who know exactly what they are doing. What third-party use of the control with third does and does not, lies apart from the craftsmanship of the construction also with the software, which is also beyond my responsibility. I give no guarantee and take no responsibility for the content of references, links and quotes.

Dieses Projekt widme ich meinem alten Freund Norbert Schulz aus Berlin Kreuzberg.

Wir haben in den 70ern im Tiergarten zusammen die Schulbank gedrückt.

Er hat mir zu meinen ersten Elektronik-Erfahrungen verholfen und eine bis heute anhaltende Begeisterung
für dieses Thema geweckt.

Leider haben wir uns in den 80ern aus den Augen verloren.

Clemens Niesen

Inhalt

| | |
|---|-----------|
| 1 Motivation für einen „mighty 40“..... | 1 |
| 2 myT40-PLC Anforderungen an meine neue SPS..... | 2 |
| 3 Die Hardware..... | 3 |
| 3.1 Allgemeiner Überblick..... | 3 |
| 3.2 Potentiale..... | 5 |
| 3.3 Abkürzungen..... | 6 |
| 4 Die Hardware - Aufbau der Oberplatine (OP)..... | 7 |
| 4.1 Komponenten der oberen Platine „OP“ | 7 |
| 4.1.1 CPU..... | 7 |
| 4.1.2 Teensy 4.0 USB Spannungsversorgung unterbrechen..... | 8 |
| 4.1.3 SW_Mode_X Pin-Header J3 an CPU in FFC-Variante für Originalgehäuse..... | 9 |
| 4.1.4 SW_Mode_X Pin-Header J3 an CPU in Variante PFS für beliebige Gehäuse..... | 10 |
| 4.1.5 Reset und Kaltstart..... | 11 |
| 4.1.6 Status LED..... | 12 |
| 4.1.7 EEPROM..... | 13 |
| 4.1.8 CAN-Bus und Busverbindungen..... | 13 |
| 4.1.9 Verbindung der Spannungsversorgung von UP zu OP..... | 14 |
| 4.1.10 RS485-Bus..... | 15 |
| 4.1.11 Analog Digital Converter ADC..... | 16 |
| 4.1.12 Digitale Eingänge..... | 17 |
| 4.1.13 Terminals Digitale Eingänge..... | 18 |
| 4.1.14 Versorgungsspannung der CPU und Peripherie-Bausteine..... | 18 |
| 4.1.15 Terminals Digitale Ausgänge..... | 19 |
| 4.1.16 Verbindung der ADC-Signale auf Ausgangs-Terminal Byte-0..... | 19 |
| 4.1.17 Verbindung der SPI-Signale von OP zu UP..... | 20 |
| 4.1.18 Der optionale Port für Lokale Erweiterung..... | 20 |
| 4.2 Schaltplan Oberplatine (OP) Variante PFS..... | 21 |
| 5 Die Hardware - Aufbau der Unterplatine (UP)..... | 23 |
| 5.1 Komponenten der unteren Platine Base-Modul „UP“..... | 23 |
| 5.1.1 Digitale Ausgänge..... | 23 |
| 5.1.2 Digital-Analog-Converter DAC..... | 26 |
| 5.1.3 Spannungsversorgung..... | 27 |
| 5.2 Schaltplan Unterplatine..... | 29 |
| 6 Layout Details..... | 31 |
| 6.1 OP UP : PE..... | 31 |
| 6.2 OP : ADC..... | 31 |
| 6.3 UP : DAC..... | 31 |
| 6.4 Weitere Details im Platinen Design..... | 32 |

| | |
|--|-----------|
| 7 Ansichten der Platinen..... | 33 |
| 7.1 Die untere Platine – Base Board..... | 33 |
| 7.2 Die obere Platine – CPU Board..... | 34 |
| 7.3 Allgemeine Informationen..... | 34 |
| 7.4 Ansicht Oberplatine Variante OP-FFC für mein Originalgehäuse V2.9 M41..... | 35 |
| 7.5 Ansicht der Oberplatine Variante OP-PFS für beliebige Gehäuse V2.6 M38..... | 36 |
| 7.6 Ansicht Unterplatine für FFC und PFS V2.9 M41..... | 37 |
| 7.7 Fotos Prototyp-2..... | 38 |
| 7.7.1 Unterplatine..... | 38 |
| 7.7.2 Oberplatine Oberseite..... | 38 |
| 7.7.3 Oberplatine Unterseite..... | 38 |
| 7.8 Fotos Prototyp-3..... | 39 |
| 7.9 Die Unterplatine (UP)..... | 41 |
| 7.10 Zusätzliche Status LEDs..... | 42 |
| 8 Varianten zur Nutzung..... | 47 |
| 8.1 Verdrahtung möglicher Varianten zur Nutzung wie im Originalgehäuse, V2.6 M37/M38 u. V2.9 M40/M41, PFS/FFC..... | 47 |
| 8.1.1 2x8 Ausgänge, 2x8 Eingänge, kein ADC , kein DAC..... | 47 |
| 8.1.2 5+8 Ausgänge, 2x8 Eingänge, mit ADC , mit DAC..... | 48 |
| 8.2 Verdrahtung möglicher Varianten zur Nutzung in einem beliebigen Gehäuse , V2.6 M37/M38 PFS..... | 49 |
| 8.2.1 OP für ADC und DAC auf 5-Pol Terminal, 2x8 In auf OP + 2x8 Out auf UP..... | 49 |
| 8.2.2 ADC und DAC auf 5-Pol Terminal, 2x8 In und 8 Out auf OP, 8 Out auf UP..... | 50 |
| 8.3 PE Anschluss V2.6 M37/38 PFS..... | 51 |
| 9 Stücklisten..... | 53 |
| 9.1 myT40-PLC Bauteile Gesamtliste, Variante PFS, Vollbestückung..... | 53 |
| 10 Anhang..... | 65 |
| 10.1 Achtung Hinweis..... | 65 |
| 10.2 SPI-Serien-Widerstände..... | 65 |
| 10.3 Bezug DIN-5 Pol -Buchse..... | 65 |
| 10.4 Optionale Nutzung von Q0.5, Q0.6 und Q0.7 als Status-LED..... | 65 |
| 10.5 Technische Daten..... | 67 |
| 10.6 Unterschiede von myT40-PLC zur Originalsteuerung..... | 69 |
| 10.6.1 Terminals für Eingang- und Ausgangsbytes..... | 69 |
| 10.6.2 Bus-Anschlüsse..... | 71 |
| 10.6.3 Extentionslot..... | 71 |
| 10.6.4 Weitere Unterschiede..... | 72 |
| 10.6.5 Kalt/Warmstart-Verhalten bei RESET..... | 72 |
| 10.7 Spannungsversorgung..... | 73 |
| 10.8 Spannungsversorgung CPU Teensy 4.0..... | 74 |
| 10.9 Entkopplung USB von Ub..... | 74 |

| | |
|--|-----------|
| 10.10 Die nicht genutzten Pins und J5 unter der CPU..... | 74 |
| 10.10.1 CPU-Pin-31 3.3V Power..... | 74 |
| 10.10.2 J5-Pin-4 On / Off (CPU-Pin-19)..... | 74 |
| 10.10.3 J5-Pin-3 Programm (CPU-Pin-18)..... | 74 |
| 10.10.4 J5-Pin-2 GNDD..... | 74 |
| 10.10.5 J5-Pin-1 3,3V CPU (CPU-Pin-16)..... | 74 |
| 10.11 Berechnung Netzwerk digitale Eingänge..... | 75 |
| 10.11.1 Dimensionierung R1 und R2, hier am Beispiel von R8 und R24..... | 76 |
| 10.12 Berechnung Netzwerk digitale Ausgänge..... | 77 |
| Wird die Alternative BTS4141N oder BTS4142N eingesetzt, die beide eine höhere Maximalspannung verkraften, dann ist eine P6KE36CA mit U_R bei 30,8V und U_{BR} zwischen 34,2V und 37,8V vertretbar..... | 77 |
| 10.13 Berechnung Netzwerk Analoge Eingänge..... | 78 |
| 11 Software myT40-PLC..... | 79 |
| 11.1 Prinzipieller Programmablauf und Konfiguration..... | 79 |
| 11.1.1 Port-Definition der myT40-PLC..... | 80 |
| 12 Release Notes der Publikation..... | 81 |
| 12.1 myT40-PLC..... | 81 |
| 12.1.1 V2.6 M36 Version-4 (PFS) erstmalig publiziert im August 2023..... | 81 |
| 12.1.2 V2.6 M37 Version-4 (PFS) 23.11.2023..... | 81 |
| 12.1.3 V2.6 M38 Version-4 (PFS) 17.01.2024 Final Proto, produziert..... | 81 |
| 12.1.4 V2.9 M41 Version-4 (PFS+FFC) 09.06.2024 Finale Version..... | 82 |
| 13 Non-Public Chapters ff..... | 83 |
| 14 Weiterentwicklung der FFC-Variante mit 4-Layern..... | 83 |
| 14.1 FFC Version mit RS485-Belegung des Originals : V2.7 M39..... | 83 |
| 14.2 Korrekturen auf Prototyp V4 M38 V2.6 zu V2.6.1 M40..... | 84 |
| 15 Erweiterungsmodul für 16 Ausgänge..... | 86 |
| 15.1 Die Schaltung des myT40-116-XD1..... | 86 |
| 15.2 Schaltplan Lokale Erweiterung myT40-116-XD1..... | 87 |
| 15.3 Platinenlayout myT40-116-XD1..... | 88 |
| 16 Verwendete Software für dieses Projekt..... | 91 |
| 16.1 KiCad..... | 91 |
| 16.2 Arduino..... | 92 |
| 16.3 Teensyduino..... | 92 |
| 16.4 Microsoft Visual Studio Code (VSC)..... | 92 |
| 16.4.1 VSC-Extension „C/C++ for Visual Studio Code“..... | 92 |
| 16.4.2 VSC-Extension „C++ Intellisense“..... | 92 |
| 16.4.3 VSC-Extension „German Language Pack for Visual Studio Code“..... | 92 |
| 16.4.4 VSC-Extension „GitLens — Git supercharged“..... | 92 |
| 16.4.5 VSC-Extension „PlatformIO IDE“ alias PIO..... | 92 |

Abbildungsverzeichnis

| | |
|--|-----|
| Abbildung 1: CPU mit allen angeschlossenen Signalen..... | 7 |
| Abbildung 2: Variante FFC für mein Originalgehäuse..... | 9 |
| Abbildung 3: Die Variante OP-PFS mit Pfostenstecker 2x4 Pin-Header..... | 10 |
| Abbildung 4: Schaltung für den Kaltstart..... | 11 |
| Abbildung 5: Prinzipschaltbild Kaltstart und Reset-Logik..... | 12 |
| Abbildung 6: PLC Status LED..... | 12 |
| Abbildung 7: EEPROM..... | 13 |
| Abbildung 8: ISO CAN Bus..... | 13 |
| Abbildung 9: Busanschluss..... | 13 |
| Abbildung 10: Versorgungsspannungen von UP nach OP..... | 14 |
| Abbildung 11: RS485 Bus..... | 15 |
| Abbildung 12: Analog Digital Converter..... | 16 |
| Abbildung 13: Eingänge für Byte-1..... | 17 |
| Abbildung 14: Eingänge Byte-0..... | 18 |
| Abbildung 15: Versorgungsspannung CPU und Peripherie..... | 18 |
| Abbildung 16: Terminal Ausgang Byte-0..... | 19 |
| Abbildung 17: Terminal Ausgang Byte-1..... | 19 |
| Abbildung 18: ADC Patch auf Ausgangs Terminal Byte-0..... | 19 |
| Abbildung 19: SPI Durchstiche von OP zu UPe..... | 20 |
| Abbildung 20: Extention Port optional..... | 20 |
| Abbildung 21: Schaltplan Ausgangs-Byte-1..... | 24 |
| Abbildung 22: Ansteuerung der Ausgangsbytes..... | 24 |
| Abbildung 23: Schaltplan Ausgangsbyte-0..... | 25 |
| Abbildung 24: Digital Analog Converter..... | 26 |
| Abbildung 25: Spannungsversorgung CPU + Peripherie und CAN Busse..... | 27 |
| Abbildung 26: Spannungsversorgung RS485..... | 28 |
| Abbildung 27: Spannungsversorgung ADC und DAC..... | 28 |
| Abbildung 28: Unterplatine (UP) Oberseite..... | 33 |
| Abbildung 29: Unterplatine (UP) Unterseite..... | 33 |
| Abbildung 30: Oberplatine (OP) Oberseite..... | 34 |
| Abbildung 31: Oberplatine (OP) Unterseite..... | 34 |
| Abbildung 32: Prototyp-V4 V2.8 M38 mit allen weiteren Korrekturen bis M40 und lauffähigem Kaltstart , sowie einer modifizierten lokalen Erweiterung, im modifizierten Originalgehäuse..... | 44 |
| Abbildung 33: Prototyp-V2 M16 in Eigenbaugehäuse aus 5mm Plexiglas..... | 45 |
| Abbildung 34: Prototyp-V2 M16, Seitenansicht..... | 46 |
| Abbildung 35: Alternative Status-LED Verdrahtung..... | 66 |
| Abbildung 36: Ground für RS485- oder CAN-Bus..... | 71 |
| Abbildung 37: Extension-Slot..... | 71 |
| Abbildung 38: Neubelegung der DIN-5-Pol Busanschlüsse für FFC 4-Layer..... | 83 |
| Abbildung 39: myT40-LE-116-XD1 Erweiterung für myT40 16 Digital Out, 500mA 24V..... | 87 |
| Abbildung 40: myT40-116-XD1 Oberseite..... | 88 |
| Abbildung 41: myT40-116-XD1 Unterseite..... | 88 |
| Abbildung 42: myT40-PLC V2.6 M38 FFC Oberplatine Oberseite..... | 115 |

| | |
|--|-----|
| Abbildung 43: myT40-PLC V2.6 M38 FFC Oberplatine Unterseite..... | 116 |
| Abbildung 44: myT40-PLC V2.6 M38 PFS Oberplatine Oberseite..... | 117 |
| Abbildung 45: myT40-PLC V2.6 M38 PFS Oberplatine Unterseite..... | 118 |
| Abbildung 46: myT40-PLC V2.6 M38 FFC Oberplatine Obererseite..... | 119 |
| Abbildung 47: myT40-PLC V2.6 M38 FFC Oberplatine Unterseite..... | 120 |
| Abbildung 48: myT40-PLC V2.7 M39 4-Layer neue Belegung DIN-5-Pol, OP Oberseite..... | 121 |
| Abbildung 49: myT40-PLC V2.7 M39 4-Layer neue Belegung DIN-5-Pol, OP Unterseite..... | 122 |
| Abbildung 50: myT40-PLC V2.6 M38 Unterplatine Oberseite..... | 123 |
| Abbildung 51: myT40-PLC V2.6 M38 Unterplatine Unterseite..... | 124 |

1 Motivation für einen „meighty 40“

Seit Ende der 90er Jahre habe ich mit vier gebrauchten PS4-141, einer PS4-341 Steuerungen der Fa. *Klöckner Moeller* und rund zwei Dutzend 24V-AC-Stromstoß-Relais (leider nicht DC), landläufig „Eltako“ genannt, mein „Smart-Home“ Ende der 90er geplant, entwickelt und 2002 in meinem Neubau installiert. Damals schon am Markt befindliche Installations-Bus-Systeme kamen für mich wegen Lizenzien und Kosten nicht in Frage.

Diese Steuerungen sind vernetzt und in meinen Unterverteilungen, landläufig „Sicherungskästen“ genannt, auf einer nach hinten verlegten Automaten- (C-) Schiene nahtlos wie normale Sicherungsautomaten eingebaut. Leitungsschutz, Leistung und Steuerung sind VDE-konform sauber getrennt. Mittels serieller Kommunikation kann der Master der Steuerungen mit einem komfortablen VB-Programm im laufenden Betrieb parametert werden (Zeitschaltfunktionen, Licht, Rollladen, Helligkeitsauswertung, Zuordnung von Schaltern zu Verbrauchsstellen, wie Steckdosen oder Deckenauslässe für Lampen, etc).

Da diese Steuerungen oder vergleichbare Geräte in diesem Format nicht mehr gebaut werden, es nach fast 30 Jahren problemlosen Betriebes erste Ausfälle gab und auch kein anderer Hersteller bezahlbare Steuerungen mit Potential-Trennungen in diesem Format mehr anbietet, habe ich beschlossen, die PS4-141er- Gehäuse zu entkernen und eine neue Schaltung zu entwickeln, die die wichtigsten Funktionen übernimmt und in eben diesen, mir vorliegenden Gehäusen ihren Platz findet, im weiteren Verlauf „Originalgehäuse“ genannt. Ein Nachbau des Originals ist nicht gewollt und auch nicht der Anpruch. Von außen wurde das Gehäuse erkennbar modifiziert und mit anderen Anschlüssen versehen.

Weil die reine Schaltung vielleicht auch für Dritte interessant sein könnte, habe ich die Oberplatine in zwei Versionen für J3, eine mit FFC-Stecker, Version „FFC“, für meinen privaten Ersatz im Originalgehäuse und eine freie Version mit Pfostenstecker „PFS“ zur Anregung für Nachbauten in beliebigen Gehäusen konzipiert. Letztere soll hier vorgestellt werden.

Diese „Pfostenstecker“-PFS-Version bietet 2*DAC-Option und 2*ADC-Option und erlaubt gleichzeitig alle 32 digitalen I/O nutzen zu können, sowie die Möglichkeit Sub-D-Buchsen für die Bus-Systeme in einem anderen Gehäuse bereitzustellen. Darin unterscheidet sie sich von der FFC-Version, die optional nicht alle Ausgänge bereitstellen kann, wenn DAC und ADC bestückt und angeschlossen sind.

Dieses Projekt hat mich während der Corona-Pandemie motiviert und über Wasser gehalten. Bis heute.

C.Niesen, Juni 2024

Anmerkung

Ein Parallelprojekt beschäftigt sich mit einer Einheit, die ein grafisches Interface, Ethernet, CAN- und RS485-Bus bereitstellt und es erlaubt, die myT40-PLC zu steuern, zu protokollieren und zu parametrieren.

Der myT41C lässt sich durch entsprechende Programmierung auch als Protokollkonverter oder Logger auf den Interfaces für ganz andere Projekte verwenden.

Die Software wird später separat dokumentiert.

In diesem Dokument werden nur die hardwarenahen Port-Definitionen beschrieben, die sich aus der Schaltung ergeben und für eine Programmierung wesentlich sind.

2 myT40-PLC Anforderungen an meine neue SPS

Auch wenn die neue Schaltung nicht alle Anforderungen des Originals erfüllen kann, habe ich dennoch genaue Vorstellungen, was sie leisten wird.

Die neue Steuerung soll

- 1) in den meinen vorhandenen Originalgehäusen und beliebigen anderen eingebaut werden,
- 2) vernetzt sein, um mit weiteren Geräten kommunizieren zu können,
- 3) getrennte Potentiale für Eingänge, Last-Stromkreise, Bussysteme, ADC/DAC und Controller gewährleisten, daher kommen erhältliche PLC auf Arduino- oder Raspberry-PI Basis nicht in Frage,
- 4) bei Bedarf 16 digitale Eingänge und 16 digitale Ausgänge bereitstellen, potentialgetrennt,
- 5) Interruptfähigkeit der Eingangsbytes,
- 6) bei Bedarf 4 Analog-Digital-Converter Eingänge,
davon 2 über eingebaute Sollwert-Potentiometer zugeführt,
- 7) bei Bedarf 2 Digital-Analog-Converter Ausgänge bereitstellen,
- 8) analoge Signale von 0..10V verarbeiten, ADC und DAC, mit eigenem Bezugspotential
- 9) bis zu zwei CAN-Busse bedienen, potentialgetrennt, opt GND, PE Schirm via Kondensator
- 10) eine RS485-Schnittstelle für 16 Clients vorsehen, potentialgetrennt, Busabschluss mit LowDrop Dioden oder opt. klassisch mit zuschaltbarem Abschlusswiderstand 720/120/720 Ω
- 11) RS485-Anschluss entspricht nicht dem Original, die DIN-Buchsen kombinieren CAN1/2 und RS485.
- 12) auf einem modernen schnellen Prozessor mit hinreichend RAM basieren,
- 13) von einem EEPROM/Flash unterstützt werden,
- 14) soweit möglich ICs auf Sockeln montiert haben,
- 15) den Betriebsarten-Schalter mit 3 Modi unterstützen, eine Stellung für Kaltstart durch RESET
- 16) den RESET-Taster nutzen können,
- 17) einen RESET per Software auslösen können, inklusive Kalt- oder Warmstart-Wahl
- 18) für die Interface- und Funktions-Bausteine die lokale Kommunikation mit SPI sicherstellen,
- 19) Strom sparend mit 3,3V betrieben werden,
- 20) in C, C++ programmiert werden,
- 21) Kommunikation mit einem PC oder einer Bedieneinheit via CAN, RS485, Ethernet erlauben
- 22) flexible Programmierung ermöglichen
- 23) steckbare, bedrahtete 3V6 Backup-Lithium Batterie besitzen, mit eigenem ADC-Monitoring
- 24) die in der Hausinstallation vorhandenen 24V AC-„Eltako“ mit 5ms-DC-Impulsen (!) ansprechen
- 25) Versorgungsspannungen der CPU und der direkten Interfaces überwachen und ggf. mit einem Reset einen Warmstart oder Kaltstart ausführen
- 26) Hardware-Watchdog und/oder Software Watchdog in Kombination mit Betriebsarten-Schalter steuern, oder agieren lassen können.
- 27) Verzicht auf flexibles Andocken von diversen Original-Erweiterungsmodulen, aber ein passendes Anschlussfeld für SPI und Digital-I/O ist vorhanden, jedoch inkompatibel zu Originalerweiterungsmodulen.
Statt dessen eine vorhandene 16-fach Digital-Ausgabe-Einheit mit neuer „Kopfplatine“ versehen und nutzbar machen.
- 28) Verzicht auf Online-Programmierung und Programmierung über Netzwerk, obwohl das vielleicht sogar möglich wäre.
- 29) PWM Unterstützung an den Ausgängen oder Counter-Eigenschaften an den Eingängen werden nicht benötigt und nicht unterstützt. PWM per Bit-Banging über SPI ist nicht zu empfehlen.

3 Die Hardware

3.1 Allgemeiner Überblick

Das Originalgehäuse enthält zwei Platinen. Ausgangs-Potentiale und deren Terminals sowie Spannungsversorgungen sind auf der unteren Platine angeordnet, ebenso der DAC. Die Ausgangsklemmen werden über eine 30mm hohe „stacked“ Variante der normalen Kontaktleiste auf die Höhe der oberen Platine in passende Ausbrüche verlegt.

Das Original der oberen Platine enthält die CPU, RAM und Interface-Bausteine, sowie Optokoppler für Ein- und Ausgänge, die Fassung für das Memory-Modul und alle weiteren Anschlüsse.

Diese Konstruktion habe ich in Ermangelung von Spezialbauteilen, wie den 30mm stacked Terminals, oder den VN330SP¹ Ausgangstreibern nicht übernommen. Auch habe ich erst einmal auf die Verwendung von 4-Lagen-Multilayer-Platinen verzichtet und versucht mit 2 Lagen auszukommen, allerdings auf Kosten der Signaltreue². Ein weiteres Problem ist die Beschaffung der 5-Pol-DIN-Winkel-Stecker des Originals in ihrer kompakten Form, sie sind am freien Markt nicht zu finden.

Meine Konstruktion enthält auf der oberen Platine (OP) das CPU-Modul Teensy-4.0, die Optokoppler und die Terminals für die Eingänge, den ADC und seinen Isolator, die lokale Erweiterungssteckleiste, zwei ISO CAN-Busse und einen RS485-Bus mit Isolator, sowie ein EEPROM. Es gibt noch einen ungenutzten Connector für Teensy-4.0 spezifische Signale (OnOff, Programm, 3V3 und 0V GNDD). Außerdem lässt sich über J3 eine Batterie (3,6V Lithium oder 3V-Knopfzelle), der Reset-Taster und der Mode-Wahlschalter anschließen. Die Oberplatine gibt es mit diesem J3 in zwei Varianten, einmal mit FFC 6pol RM1.25mm für den Einbau in meine Originalgehäuse, und einmal für Pfostenstecker (PFS) als 8-Pin-Header 2x4 RM2,54mm für den Einbau in beliebige andere Gehäuse.

Zuguterletzt sitzen hier auch die Ausgangs-Terminals, die mit der unteren Platine über eine weitere nach unten gerichtete Steckverbindung verbunden sind.

Spannungsversorgungen und andere Verbindungen werden über Stapelleisten zwischen den Platinen übertragen. Diese werden auf der Unterseite eingelötet, nachdem der untere Pin-Spreader soweit nach innen verschoben wurde, dass die resultierende Länge mit ihrem Gegenstück für das Originalgehäuse einen Abstand der beiden Platinen zueinander von 29mm erlaubt.

Ebenfalls auf der Oberplatine finden zwei Reset-Generatoren Platz. Der Erste für die 3,3V Interface-Spannung. Dessen Reset-Ausgang hat einen open collector und ist mit einem CPU-Eingang verbunden, der auch als Ausgang einen Reset per Software erzwingen kann. Der Zweite dient als normaler PowerOnReset für den RS485-Baustein und verhindert ungewollten Betrieb am Bus während der Einschaltphase.

Auf der Unterseite der Oberplatine befindet sich außerdem noch eine Kaltstart-Logik, verknüpft mit SW_MODE_2 (Originalgehäuse Betriebsarten-Schalter in Position-0) und dem Reset-Signal zur CPU und den Interface-Bausteinen.

Auf der Unterplatine (UP) werden die Ausgänge über Stapelleisten auf die Oberplatine (OP) geführt, ferner befinden sich dort die Leistungsschalter der digitalen Ausgänge, alle Spannungsversorgungsbauteile, der DAC mit Isolator, der Interfacebaustein zur Ansteuerung der Ausgänge und die zugehörigen Optokoppler nebst Kontroll-LEDs der Ausgänge.

Da die LED der Ausgänge auf der unteren Platine sitzen, wird ihr Licht durch passende Lichtleiter bis zu den Bohrungen in der darüberliegenden Oberplatine geleitet und dort von den im Originalgehäuse vorhandenen Gehäuse-Lichtleitern bis nach außen sichtbar gemacht.

¹ Die aktuelle Version ist „VN330SP-E“ ist z.B. bei Mouser lieferbar, bei ADC-Bestückung sind 5 Powerswitches nötig.

² Prototyp-4 V(2.8) und die Finale Version (V2.9) nutzen oben eine 4-Lagen-Multilayer-Platine, unten 2-Layer.

Die Bestückung basiert zu großen Teilen auf SMD-Bauteilen. Daher ist ein Heißluftlötgerät und die Verwendung von Lötpaste mit No-Clean und geringer Schmelztemperatur oder ein Reflow-Ofen unerlässlich, denn es werden sowohl Pads ohne „_Handsoldering“ genutzt, als auch einige Bauteile in „0805“-Größe. Ab V2.5 kommen noch „0603“-er Serienwiderstände auf den SPI-Leitungen und Entkoppelkondensatoren dazu. Wo es möglich oder sinnvoll ist, werden bedrahtete Elemente verbaut und ICs gesockelt.

Weil strickt auf Potentialtrennung geachtet wird, stellt die untere Platine (UP) insgesamt 7, teils von einander isolierte Spannungspotentiale bereit.

Weitere vier Potentiale sind die je Eingangs- und Ausgangsbyte getrennten 0V und 24V Potentiale, deren Quellen von außen zugeführt werden, sowie die separate 24V Versorgungsspannung der Steuerung für CPU und Interfaces. In der Regel werden deren GND...-Potentiale außerhalb an einem einzelnen Sternpunkt zusammengeführt, aber getrennte Verwendung ist ebenfalls möglich, solange die Potentialdifferenz zu den Leiterbahnabständen passt (i.d.R. <50V).

Verbaut man die Platinen (OP-PFS + UP) in einem alternativen Gehäuse, kann die Verbindung für die Ausgänge zwischen den Platinen auch entfallen. Die Unterplatine hält dafür im gleichen Raster und Abstand Bohrungen und Lötpads für vergleichbare winkelige Terminals bereit. In diesem Fall kann auf der Oberplatine das Terminal für Out-Byte-1 entfallen, auf dem Terminal von Out-Byte-0 liegen dann nur noch die Signale für ADC und DAC mit eigenem GNDA als Bezugspotential an.

Mehr zu den Varianten im Kapitel 8.1 ab Seite 47.

Die Oberplatine in der Variante PFS (OP-PFS) stellt einen 2x4 RM2.54mm Pfostenstecker statt des 6-poligen FFC in der Oberplatinenvariante (OP-FFC) für das Originalgehäuse bereit, und bietet damit zusätzlich an, beide SW_MODE_x - Eingänge gleichzeitig auf Low setzen zu können. Gegenüber dem Originalgehäuse kann man dann damit eine Betriebsart mehr kodieren.

Spätestens hier sollte jedem Leser klar geworden sein, dass eine sicher funktionierende Steuerung nicht nur physisch korrekt aufzubauen ist, sondern auch entsprechend fehlerfreie Software benötigt und der Einbau für den eigentlichen Verwendungszweck korrekt nach den Regeln des VDE erfolgen muss. Nicht zuletzt auch deshalb der Disclaimer am Beginn des Dokumentes.

Grundlage für die Planung des Layouts und der Bauteilanordnung auf den Platinen wird durch meine private Verwendung von „Originalgehäusen“ vorgegeben und schlägt sich daher 1:1 in der zweiten Variante mit Pfostenstecker (PFS) für J3 nieder, bis auf ein paar Bauteile, die um J3 herum anders geroutet werden.

Daher sitzen alle LEDs, die DIN-Buchsen, die Terminals, der Erweiterungsheader, die PE-Fahnen, die Analog-Sollwert-Potis und der optionale RS485-Busabschluss genau an den durch das Originalgehäuse vorgegebenen Stellen.

Man kann beliebige Blöcke unbestückt lassen, wie entweder CAN-Bus-1/-2 oder RS485, DAC und ADC, alles nebst zugehöriger Versorgungsspannungserzeugung, den Erweiterungsheader, sogar die DIN-Buchsen, die bei einem beliebigen Gehäuse nur noch als Lötstelle für Kabel auf Sub-D-Buchsen dienen mögen.

Wer den Kaltstart oder die Reset-Erzeugenden Spannungsüberwachungen nicht mag, kann auch diese unbestückt lassen. Die Software dahinter ist in jedem Fall individuell.

Und wer meint, ohne die aufwändige Eingangsschutzbeschaltung auskommen zu können, kann auch hier sparen.

3.2 Potentiale

Die benötigten Potentiale im einzelnen sind:

- Versorgungsspannung Steuerung 24V, 0V, PE
 - daraus direkt erzeugt:
 - 5V, 0V_GNDD für das CPU-Modul Teensy 4.0
 - und daraus
 - 3.3V, 0V_GNDD für Interface-Ansteuerung
 - daraus jeweils galvanisch getrennt erzeugt:
 - 5V und 0V_RS485 für RS485-Bus
 - 5V und 0V_CAN für CAN-Bus 1 und 2
 - 15V und 0V_GNDA für Analog-Section, ADC und DAC
 - daraus erzeugt
 - 3,3V und 0V_GNDA für DAC und ADC Converter
 - 2,5V und 0V_GNDA Referenz-Spannung DAC und ADC
 - Eingangspotential Eingangsbyte-0 mit 24V, 0V
 - Eingangspotential Eingangsbyte-1 mit 24V, 0V
 - Ausgangspotential Ausgangsbyte-0 mit 24V, 0V, maximal 8*500mA
 - Ausgangspotential Ausgangsbyte-1 mit 24V, 0V, maximal 8*500mA

Die Versorgungsspannung der CPU wird direkt aus 24V an den Versorgungsspannungs-Anschlussklemmen J9 der PLC ohne galvanische Trennung erzeugt. Daher sollte zum Erhalt der Reinheit der Versorgungsspannung der CPU ein gutes, separates 24V/0,5A Netzteil verwendet werden, 0V-PLC (GNDD) kann bei Bedarf mit 0V der Eingänge und 0V der Ausgänge auf gleiches Potential an einem gemeinsamen **Sternpunkt** (!) bei den Spannungsquellen zusammengeführt werden. Der gemeinsame Sternpunkt dient der Minimierung von Störsignalen. An dem Sternpunkt wird VDE-konform auch PE angeschlossen.

Am Versorgungsspannungs-Eingang J9 der Steuerung filtert eine Drossel L1 höherfrequente Anteile, und Varistoren RN1-3 gegen PE bieten Schutz gegen Transienten.

Bei Anschluß nicht-ohmscher Lasten an den Ausgängen, müssen deren Spannungs- und Stromspitzen zusätzlich durch Freilaufdioden, RC-Glieder oder Varistoren, etc., direkt am jeweiligen Verbraucher eliminiert werden, zur Vermeidung von Störübertragung auf parallel verlaufende Verkabelung.

Für die Leistungsseite ist ein maximaler Ausgangstrom von 500mA je Ausgang wie beim Original möglich. Aus Sicherheitsgründen sollte das separate Netzteil kurzschluss- und überlastsicher ausgelegt sein.

Die Aus- und Eingänge sind gegen Verpolung der Versorgungs- bzw Eingangsspannungen geschützt.

Die 24V-Versorgungsspannung der Eingänge und Ausgänge sollte unbedingt durch ein separates Netzteil sichergestellt werden. Bei gemeinsamer Speisung sind die OV-Anschlüsse der beiden Ausgangs- und Eingangs-Bytes zusammenzuschalten. Das kann auch intern durch eine Kabel-Brücke mit 1mm^2 realisiert werden.

Die Möglichkeit der internen Potentialtrennung der beiden Ausgangsbytes für 0V und 24V geht in jedem Fall verloren, wenn auf dem Terminal des ersten Ausgangsbytes (Byte-0) optional die Eingänge des ADC, und/oder die Ausgänge des DAC bestückt werden. In diesem Fall stehen maximal drei Ausgänge, Bit-5 bis -Bit7 und der 0V/24V Speise-Eingang für die Schaltausgänge nicht zur Verfügung. Auf Anschluss „0V“ liegt dann GNDA, der analoge Ground. Details dazu im Kapitel 8.1.2 „5+8 Ausgänge, 2x8 Eingänge, mit ADC , mit DAC“ auf Seite 48.

Optional lassen sich in diesem Fall die LED der nicht nutzbaren Ausgänge Bit-5 bis Bit-7 als separate Statusanzeigen nutzen. Idealerweise durch eine andere LED-Farbe, wie orange statt rot. Details dazu, wie die Anpassung der Bestückung, im Anhang 10.4 Optionale Nutzung von Q0.5, Q0.6 und Q0.7 als Status-LED auf Seite 65.

3.3 Abkürzungen

Hier ein Liste häufig verwendeter Abkürzungen.

- OP Obere Platine
- UP Untere Platine
- FFC Es gibt die obere Platine in zwei Versionen. J3 als FFC-Anschluss gedacht für das Originalgehäusen.
- PFS Es gibt die obere Platine in Version mit Pfostenstecker für J3. Gedacht für Nachbauten.
- Mnn nn mit zweistelliger Zahl, fasst die Veränderungen der jeweiligen Entwicklungsphasen von Prototyp zu Prototyp zusammen.
- TOP Engl. Kennzeichnung auf jeder Platine für „Oberseite“ für Hersteller
- BOT Engl. Kennzeichnung auf jeder Platine für „Unterseite“ für Hersteller

4 Die Hardware - Aufbau der Oberplatine (OP)

4.1 Komponenten der oberen Platine „OP“

Die obere Platine „OP“, trägt die Komponenten der CPU, die Terminals, das Netzwerk der digitalen Eingänge, die Interfaces und ihre Bausteine, sowie den ADC mit 4 Kanälen.

4.1.1 CPU

Das CPU-Modul ist ein Teensy 4.0. Es ist ausreichend Speicher vorhanden, ebenso alle denkbaren Interfaces, wie 2 SPI, I2C, 3 CAN, 5 RX/TX, analoge und digitale Pins. Um es vorwegzunehmen: Mein Entwurf nutzt kein PWM, da alle PLC-Aus-/Eingänge an einem Multiplexer per SPI-Bus hängen.

Ein offensichtlich weiterer Nachteil sei nicht verschwiegen: einen Standard-Teensy 4.0 kann man nicht hardware-debuggen. Das erschwert die Entwicklung einer passenden Software. Da es bislang keine Alternative gibt, die so kompakt und leistungsfähig ist, wird dieser Nachteil in Kauf genommen.

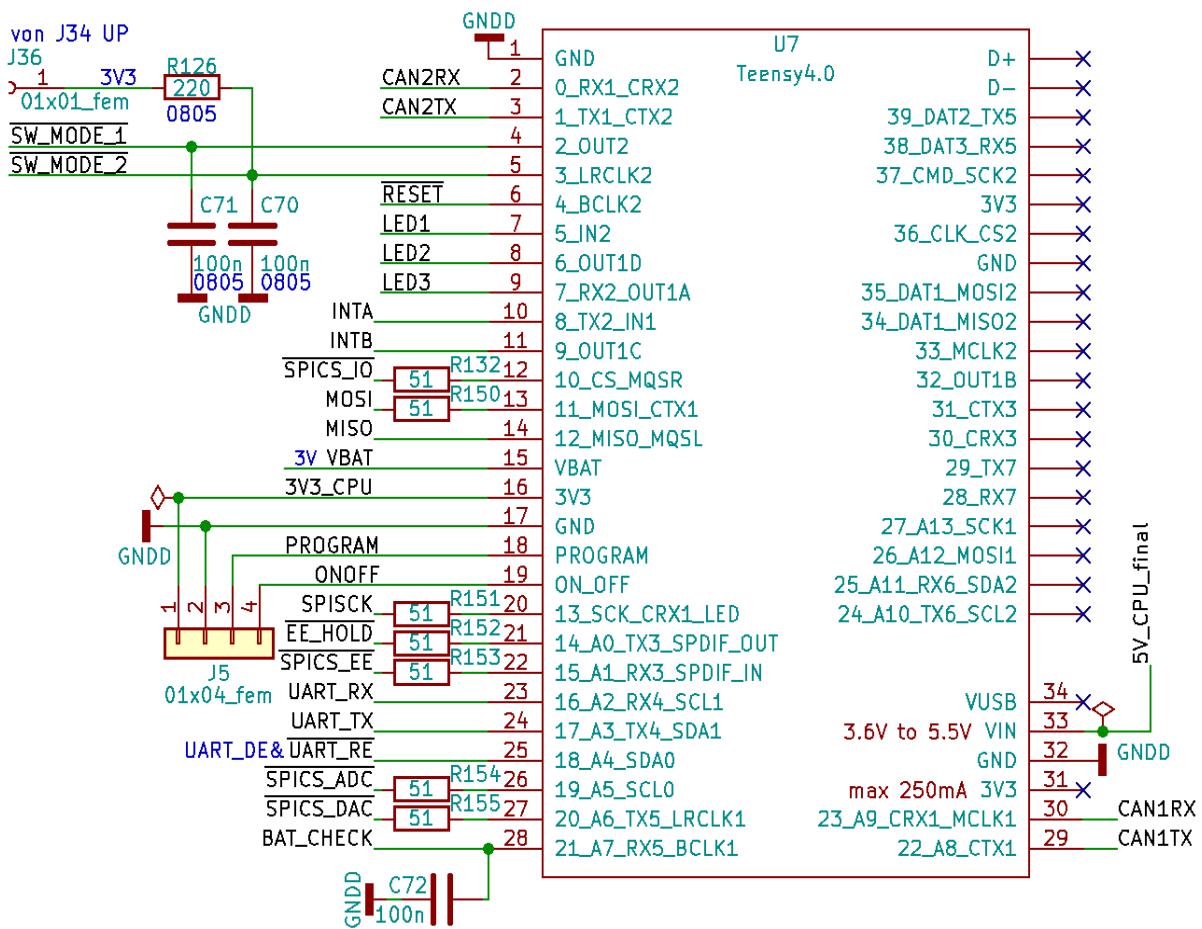


Abbildung 1: CPU mit allen angeschlossenen Signalen

Der „Workaround“ (siehe Teensy-Homewpages), der eine Versorgung auf dem 3V3-Anschluss des Teensy 4.0 erlaubt, um einen sauberen Boot-Prozess zu ermöglichen, funktioniert mit der Batterie nicht zuverlässig. Daher wurde für das CPU-Modul, so wie es sein soll, eine eigene 5V Versorgung vorgesehen, die sich mit der separaten 3,3V für alle Peripheriebausteine den gemeinsamen Ground GND teilt. Ab V2.5 sind die Serienwiderstände von 51Ω , Baugröße 0603, in allen SPI- und Select-Leitungen, jeweils auf der Treiberseite, hinzugekommen. Damit bleibt das Rechtecksignal beim Empfänger etwas sauberer, d.h. freier von Oberwellen. Das Internet gibt Auskunft mit: „Wie hoch muss der SPI-Leiterbahn-Widerstandswert

sein?“ Oder: „Gibt es eine Anforderung für den SPI-Leiterbahn-Widerstandswert?“. Damit diese leichter gegen einen anderen Wert getauscht werden können, sind die meisten gut zugänglich eingebaut.

Das CPU-Modul wertet auch die Stellung des Betriebsmodus-Schalters des Originalgehäuses an J3 in FFC-Variante aus : SW_MODE_2 /_1 = „0|1“, „1|1“, „1|0“ (Position Oben, Mitte, Unten). In einem Alternativgehäuse mit 8-poligem Pfostenstecker J3 (Variante „PFS“) ist auch die Kombination „0|0“ z.B. per Jumper möglich (beide SW_MODE auf per Jumper geschlossen auf Low, s.u.).

Der RESET-Taster ist im Originalgehäuse ebenfalls angeschlossen. Normalerweise als Eingang am CPU-Modul mit Interrupterkennung geschaltet, kann der zugehörige CPU-PIN per Software auch als aktiver Ausgang einen RESET für die Interfacebausteine erzeugen, ein externer Pull-Up (R50 auf UP) zieht ihn gegen 3.3V. Daher müssen alle an der Reset-Leitung liegenden Reset-Generatoren in der Variante ADM-803x mit *open collector* verwendet werden. Das ermöglicht einen durch die CPU initiierten Warm-/Kaltstart.

R126 ist relativ klein für einen PullUp Widerstand. Benötigt wird ein Minimalpegel von 2.1V für „High“ an SW_MODE_2 in der Kaltstart-Phase. Ein interner relativ niedriger Widerstand am Teensy-Pin macht 220 Ohm nötig. Warum der innere Widerstand so gering ist, ist noch unklar.

Erst wenn die CPU gebootet hat und das Setup einen Eingang auf internen Pullup konfiguriert, liegt hier ein definierter Pegel an. Die Kaltstartlogik unterbricht jedoch die 5V für die CPU. Daher muss SW_MODE_2 zwingend einen dauerhaften, externen Pullup auf $\geq 2.1V$ erreichen können. Zum Kaltstart siehe auch Kapitel 4.1.5.

4.1.2 Teensy 4.0 USB Spannungsversorgung unterbrechen

Nach einer ersten Programmierung eines frischen Teensy 4.0 muss die Versorgungsspannungsbrücke auf der Teensy-Platine zwischen VIN und VUSB vor Anlöten der Pin-Header und vor dem Einsetzen in die Schaltung unterbrochen werden. Andernfalls speist die USB-Verbindung vom programmierenden Rechner den Teensy in der Schaltung. Das hat mindestens den unerwünschten Effekt eines nicht funktionierenden Kaltstarts. Sicherheitshalber sollte vor dem Cut der Teensy einmal zur Probe programmiert werden.

Solange die Speisung der CPU durch den USB-Anschluss gewährleistet bleibt, können die drei Status-LED (4.1.6) auch dann genutzt werden, wenn keine Versorgungsspannung an J9 angeschlossen ist. Verzichtet man auf den Kaltstart und überbrückt Q1 und Q2, stehen auch die 3,3V für die Interfaces bereit.

Allerdings wird empfohlen, die Brücke zwischen USB und 5V auf der Teensy-4.0-Platine zu durchtrennen, um eine Speisung parallel zum USB-Anschluss, durch einen evtl. angeschlossenen Computer für die Programmierung und der PLC-Versorgungsspannung über J9 zu verhindern. Die Teensy-Dokumentation gibt dazu detailliert Hinweise.

4.1.3 SW_Mode_X Pin-Header J3 an CPU in FFC-Variante für Originalgehäuse

Die CPU wird mit 3V aus einer 3,6V Lithium Batterie gepuffert, deren Spannung mit D33 (1N4448 SMD oder 1N4007 SMD) um 0,6V auf 3V reduziert werden muss.

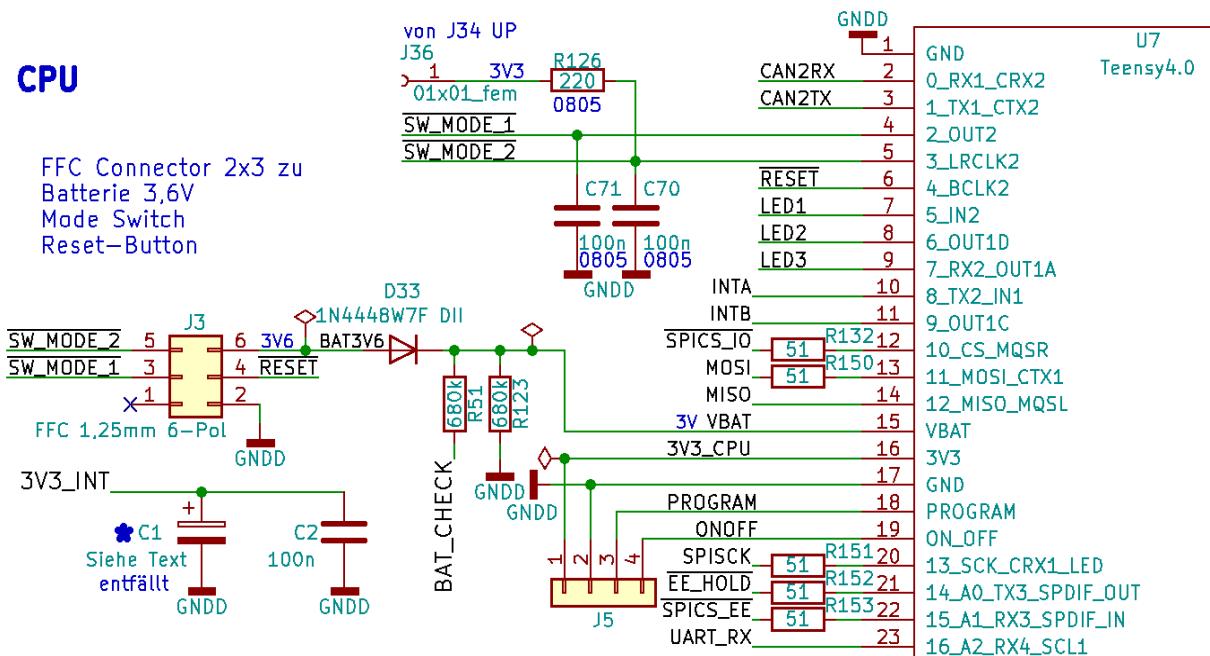


Abbildung 2: Variante FFC für mein Originalgehäuse

R51 (680k) begrenzt den Teensy-Stromhunger am A7-Eingang (BAT_CHK) und R123 (680k) sorgt für definierten Pegel ohne Batterie.

Mit Batterie ist der dauerhafte Betrieb der Real-Time-Clock (RTC) gewährleistet. Diese Lösung wurde gewählt, weil das Originalgehäuse einen von außen zugänglichen Slot für 3,6V-Lötendraht-Lithium-Batterien besitzt.

Für andere 3V Batterien kann D33 durch eine Brücke ersetzt werden. In diesem Fall wird eine CR2032 o.ä. empfohlen. Einen Einbauplatz auf der Platine gibt es nicht.

J5 ist optional an der Unterseite der OP und führt die Teensy spezifischen Signale "Programm" und "OnOff", sowie 3,3V und 0V GNDD heraus. Derzeit ist dafür keine Verwendung geplant. Siehe Kapitel 10.10 .

* C1 hatte ursprünglich 100µF 6V3 und sorgte beim Kaltstart für einen kurzzeitigen Einbruch der Versorgungsspannung, welcher von der Spannungsüberwachung U40 für die 3.3V-Schiene auf der UP mit einem RESET quittiert wird. Das führte in eine Endloschleife von Restarts. Daher wird C1 derzeit nicht bestückt, nur falls erforderlich mit einem sehr niedrigen Wert von evtl. 1µF.

Aus dem gleichen Grund wurde die 5V-Spannungsüberwachung entfernt, die verbliebene U40 auf der UP reicht aus.

J36, auf UP mit J34 verbunden, liefert 3.3V vor Q2 an die OP, damit SW_MODE_2 auch in der Kaltstart-Phase einen validen Pull-Up erhält.

4.1.4 SW_Mode_X Pin-Header J3 an CPU in Variante PFS für beliebige Gehäuse

Für J3 gibt es die Oberplatine (OP) in einer zweiten Variante mit 2x4 Pin-Header RM2,54 für Pfostenstecker. Diese Variante ist zur freien Verwendung in beliebigen Gehäusen gedacht. Bei dieser Verwendung lassen sich alle 16 Ausgänge, sowie alle ADC-Eingänge und alle DAC-Ausgänge nutzen. Ein in diesem Falle verwendetes Gehäuse stellt entweder zusätzliche Terminals für die analogen Signale bereit, oder nutzt die Einbaumöglichkeit der Ausgangsterminale direkt auf der Unterplatine. Hier kann auch die Diode D33 entfallen, da in diesem Fall eine 3V Knopfzelle ausreicht. In dieser Variante können außerdem alle vier Kombinationen der SW_Mode_1/2 in der Software genutzt werden.

Mit der Bestückung von Terminals für die Ausgänge auf der unteren Platine UP kann das Ausgangsterminal „Byte-0 auf der OP“ Anschlüsse für ADC/DAC bereitstellen, während das Terminal für Byte-1 auf der oberen Platine OP ganz entfallen kann. Siehe Varianten im Kapitel 8.2, Seite 49.

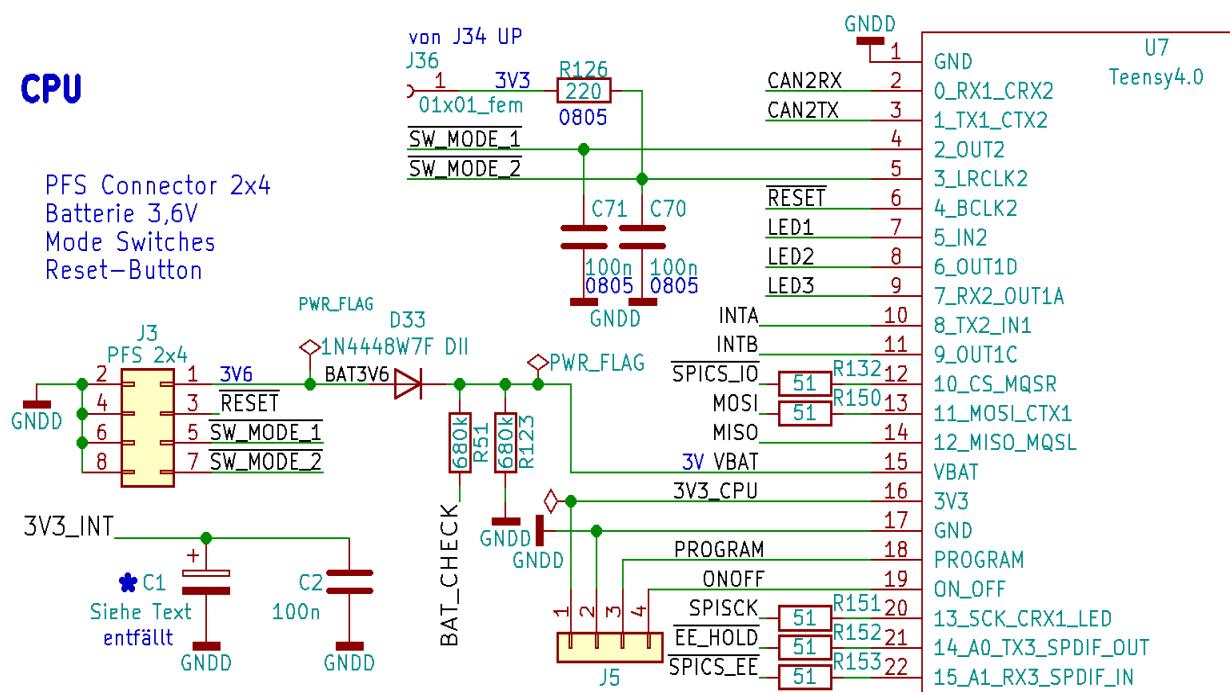


Abbildung 3: Die Variante OP-PFS mit Pfostenstecker 2x4 Pin-Header.

SW_MODE_1 wird per Softwarekonfiguration des Pins 4 (3_Out2) des Teensy4.0 auf Pull-Up eingestellt.

SW_MODE_2 wird dagegen extern mit Pull-Up versehen, weil an dieser Leitung auch die Kaltstart-Logik hängt, die mit SW_MODE_2=Low aktiviert und bei zusätzlichen RESET=Low ausgelöst wird. Eine Konfiguration des Teensy 4.0 Pins 5 (3_LRCLK2) als Ausgang mit Pull-Up ist nicht möglich, weil die Konfiguration per Software erst nach dem Booten beginnt. Liegt nicht wenigstens eine Leitung von beiden auf High, bleibt die CPU ohne Versorgungsspannung.

Der Nutzen des Kaltstarts kann zum Beispiel darin bestehen, in regelmäßigen Abständen einen Neustart zu erzwingen, falls verwendete Libraries Speicher nicht mehr freigeben oder andere Probleme auftreten. Der interne Teensy-Watchdog greift auch nur solange die CPU noch läuft. Ein externer HW-Watchdog auf der Triggerleitung zu U50 wäre hier eine Lösung.

4.1.5 Reset und Kaltstart

Für die Schaltung wurde ein Kaltstart vorgesehen, der durch RESET, Spannungsüberwachungsfehler oder per Software in Abhängigkeit von SW_MODE_2 ausgelöst werden kann.

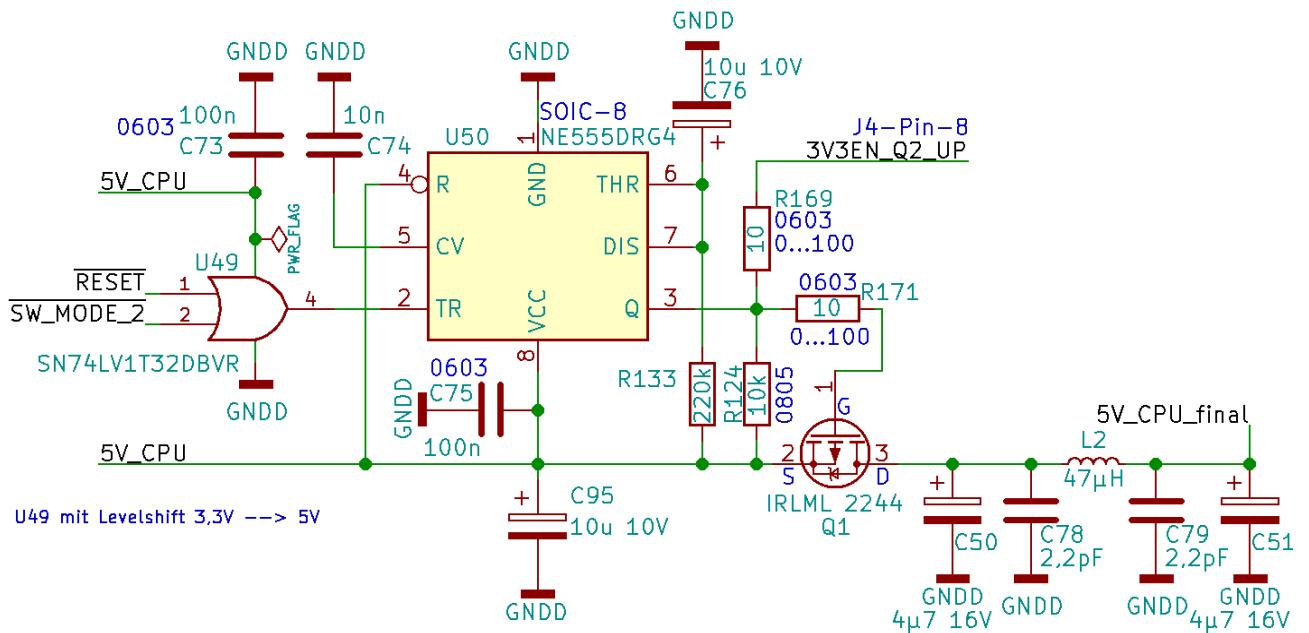


Abbildung 4: Schaltung für den Kaltstart

Die 3,3V der Interfacebausteine, erzeugt aus der 5V-Versorgungsspannung der CPU, wird von einem Reset-Generator ADM-803R (U40) überwacht. Er zieht die Reset-Leitung auf Low, setzt damit die Peripherie zurück und signalisiert der CPU per Interrupt diesen Umstand, falls diese noch reagieren kann. Mit dem RESET werden die Ein- und Ausgangs-Bausteine auf Standard-Input gesetzt.

Der Kaltstart

Das Gate von Q1 liegt per Pull-Up R124 auf Source-Potential, somit sperrt der P-Kanal-MOSFET. Nach Anlegen der Versorgungsspannung liegt der Ausgang Q des NE555 (U50) auf Low. Q1 leitet und die CPU bootet. U40 (UP) hält seinen RESET-Ausgang für 240ms auf Low.

In die Kaltstart-Logik greift der Mode-Switch (z.B. Originalgehäuse) ein.

In Position-1 ist SW_MODE_1=Low, in Position-2 beide High, in Position-3 ist SW_MODE_2=Low.

Der Kaltstart wird bei RESET=Low ausgelöst, wenn SW_MODE_2 ebenfalls Low ist. Das OR-Gatter U49 legt dann seinen Ausgang auf Low und triggert damit U50, der im monostabilen Modus läuft. Der Ausgang von U50 Ausgang, normalerweise Low, wird für $R133 \cdot C76 = T = 2,5\text{sec}$ High. Q1 trennt damit die CPU von ihrer 5V-Versorgungsspannung. Solange der Trigger-Eingang TR von U50 Low ist bleibt Q High. Wenn TR wieder High ist, läuft noch die Zeit T ab. Danach schaltet U50 den Ausgang Q wieder Low, Q1 leitet wieder und die CPU bootet neu. Dem Reset unterliegen auch die Interfacebausteine für Ein- und Ausgänge. Bei einem Reset werden alle Ausgänge abgeschaltet, die MCP23S17 werden auf Standard-Input konfiguriert. Ist eine Versorgungsspannung zu niedrig hält U40 den RESET aufrecht, im SW_Mode_2=Low bootet die CPU dann nicht mehr, solange das Problem mit der Versorgungsspannung besteht.

Per Software lässt sich der RESET-Eingang der CPU temporär als Ausgang auf LOW schalten und ein Kaltstart im SW_MODE_2 per Programm erzwingen, oder Warmstart bei anderen Modi, je nach Software. Für das OR-Gate U49 ist unbedingt die Level-Shift-Variante zu wählen, da die High-Pegel von RESET und SW_MODE_2 bei etwa 2,1V liegen.

Im Testbetrieb von V3 wurde deutlich, dass neben der Abschaltung der CPU-Spannung zusätzlich auch die 3,3V Interface-Versorgungsspannung mit Q2 auf der UP abgeschaltet werden muss. R169 und R171 sollen den Stromfluß der beiden Steuerleitung bei Bedarf entkoppeln. Wahrscheinlich genügt auch eine 0 Ohm Brücke mit einer Lötperle.

Hier noch einmal zur Verdeutlichung das Prinzip-Schaltbild der Komponenten für den Kaltstart und die RESET-Logik:

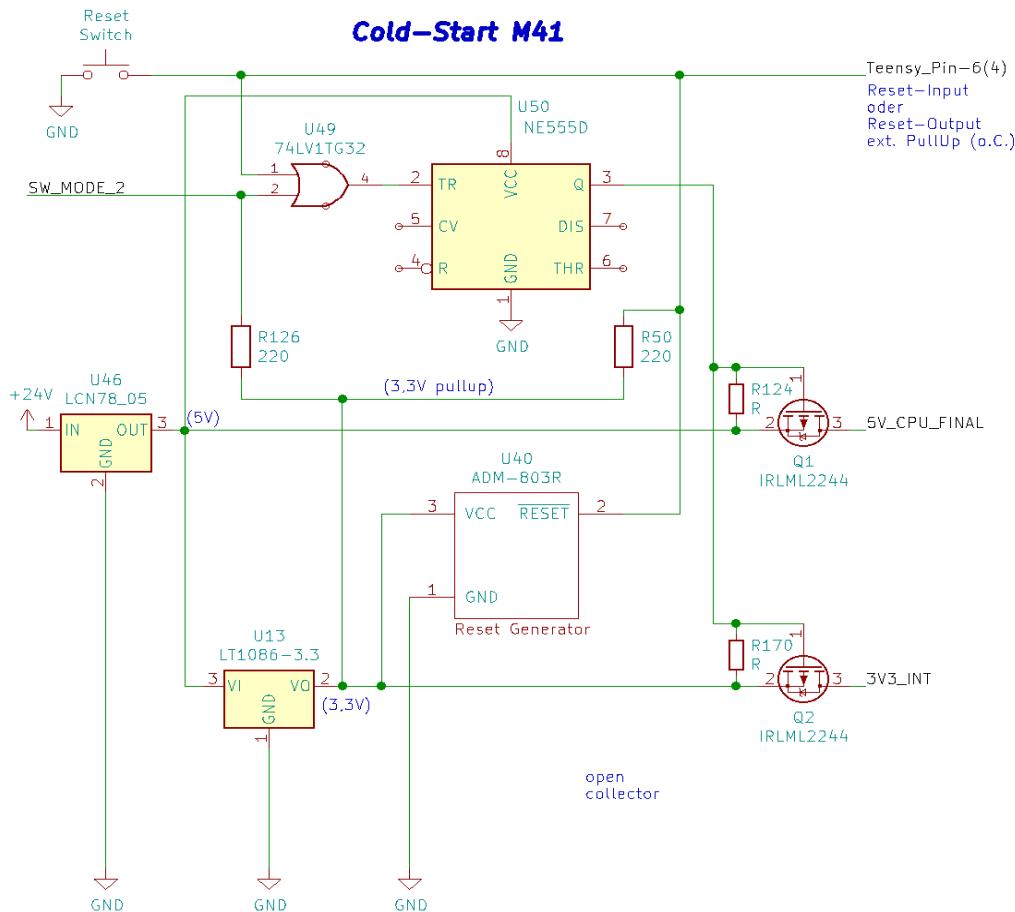


Abbildung 5: Prinzipschaltbild Kaltstart und Reset-Logik

Alle weiteren notwendigen Bauteile sind der Übersichtlichkeit weggelassen. Die einzelnen Komponenten verteilen sich auf der OP und UP.

Bei inaktivem Monoflop des U50 sorgt ein Low an den Gates für leitende Q1 und Q2. Ist der Ausgang Q von U50 aktiv, stehen an den beiden Gates von Q1 und Q2 +5V an, die Gates sind gegenüber ihren Source-Anschlüssen nicht mehr negativ, beide sperren und schalten CPU und Interfaces ab.

4.1.6 Status LED

Von der CPU werden 3 Status-LEDs angesteuert. LED1, LED2, LED3 sind frei programmierbar.

D41 ist dauerhaft mit 3V3 der Betriebsspannung der Interfaces verbunden. Liegt hier Spannung an, ist die CPU auch versorgt.

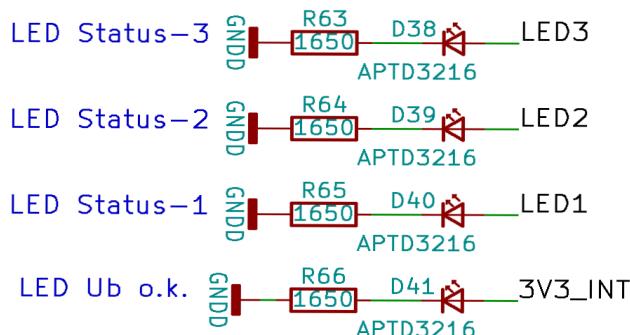


Abbildung 6: PLC Status LED

4.1.7 EEPROM

Das EEPROM 25LC512 im DIL-8 Gehäuse ist gesockelt und ermöglicht einen einfachen Austausch. Andere Speichergrößen oder Flash sind denkbar.

Die Kommunikation erfolgt über den SPI-Bus.

Mit JP1 kann ein Schreibschutz aktiviert werden.

HOLD liegt per PullUp auf High und muss passend bei Bedarf angesteuert werden.

EEPROM / FLASH

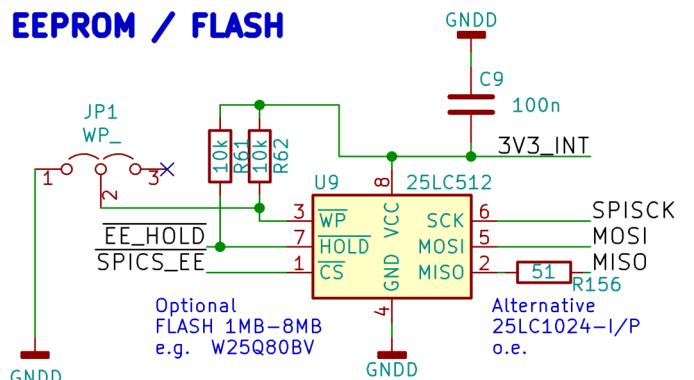


Abbildung 7: EEPROM

4.1.8 CAN-Bus und Busverbindungen

Die beiden Schnittstellenbausteine ISO1050DUB gewährleisten Isolation und sind als DIL-8-SMD aufgelötet und mit Heißluft leicht zu tauschen. Die Terminierung wird über jeweils zuschaltbare Abschlusswiderstände gewährleistet und ist zur Signalverbesserung in einer gesplitteten Variante realisiert.

PE für den Schirm wird auf das Gehäuse der 5-Pol-DIN-Buchsen per 220n geführt. CAN1 ist auf beiden DIN-Buchsen verfügbar, CAN2 nur auf einer. J28 stellt opt. GND_CAN über J33 an DIN-5-Pin-2 für J6 bereit. Alternativ kann J33 auch mit GND_RS485 von J37 belegt werden, s.u.

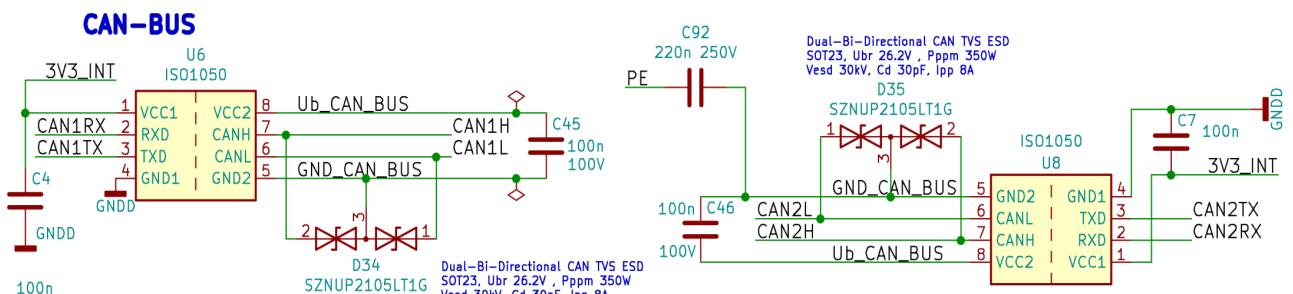


Abbildung 8: ISO CAN Bus

Dem CAN-Bus wurde Vorrang eingeräumt, weil es zwei Jahre lang keine isolierenden RS485-Bausteine zu kaufen³ gab. Zudem unterstützt die CAN-Hardware etwas intelligenter die Kommunikation. Stehen mehr als zwei zu verbindende Steuerungen zu weit auseinander, kann die mittlere über den zweiten CAN-Bus als Repeater arbeiten.

Der Kontrollerbaustein für CAN-1 ist auf der Unterseite der OP platziert, der für CAN-2 befindet sich auf der Oberseite der OP.

³ Eine Bestellung bei einem namhaften Distributor von Anfang 2021 verschoben worden, im Februar 2023 dann doch eingetroffen. Man i

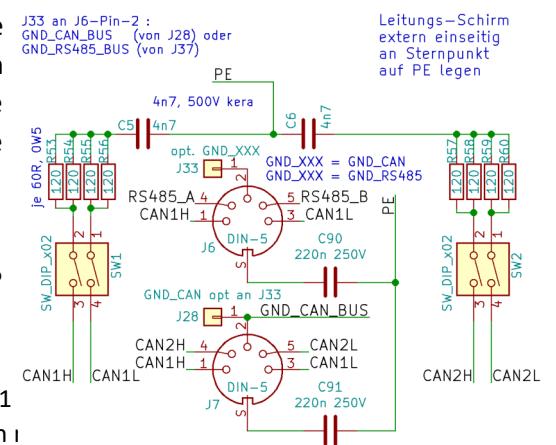


Abbildung 9: Busanschluss

4.1.9 Verbindung der Spannungsversorgung von UP zu OP

J8 stellt von der UP kommend die 5V für die CPU vor der Kaltstartlogik bereit, ebenso die potentialfreie Spannung für die beiden CAN-Busse.

J11 überträgt von der UP die potentialfreie Spannung für den RS485-Bus.

J25 übernimmt von der UP 3V3, von der CPU abgeleitet, für Interfaces und die potentialfreie Spannung für DAC/ADC, sowie deren Referenzspannung 2V5.

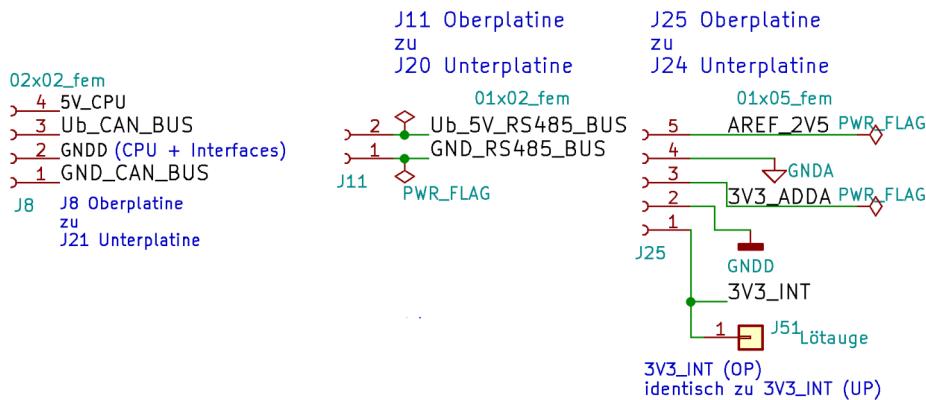


Abbildung 10: Versorgungsspannungen von UP nach OP

Neben J8 sitzt der eine Pin von J36, der auf der OP die 3.3V von UP via J34 entgegennimmt, siehe Kapitel 4.1.3 und 4.1.4.

4.1.10 RS485-Bus

Der Schnittstellenbaustein ADM2483xRW gewährleistet Potentialtrennung zwischen Bus und CPU. Er steht nur als SMD-Baustein zur Verfügung und war leider auf dem Markt länger nicht verfügbar. Die Terminierung wird über 0,25V-Shottky-Dioden dauerhaft realisiert. Die Grundidee dazu ist in einem Artikel beschrieben : "Trim the fat off RS-485 designs", veröffentlicht auf „EE|Times“. Hintergrund ist die Vermeidung dauerhafter Verlustleistung an den Terminierungs-Widerständen. Die Terminierung mit den Dioden D44-D47 ist dauerhaft auf jedem Busteilnehmer aktiv. Allerdings ist die Forward Voltage Vf kritisch, diese sollte so klein wie irgend möglich sein. Für eine BAT46 liegt sie bei sehr niedrigen 0,25V.

Der RS485-Bus liegt nur auf einer der beiden 5-Pol-DIN-Buchsen an, die Beschaltung entspricht nicht dem Originalgehäuse.

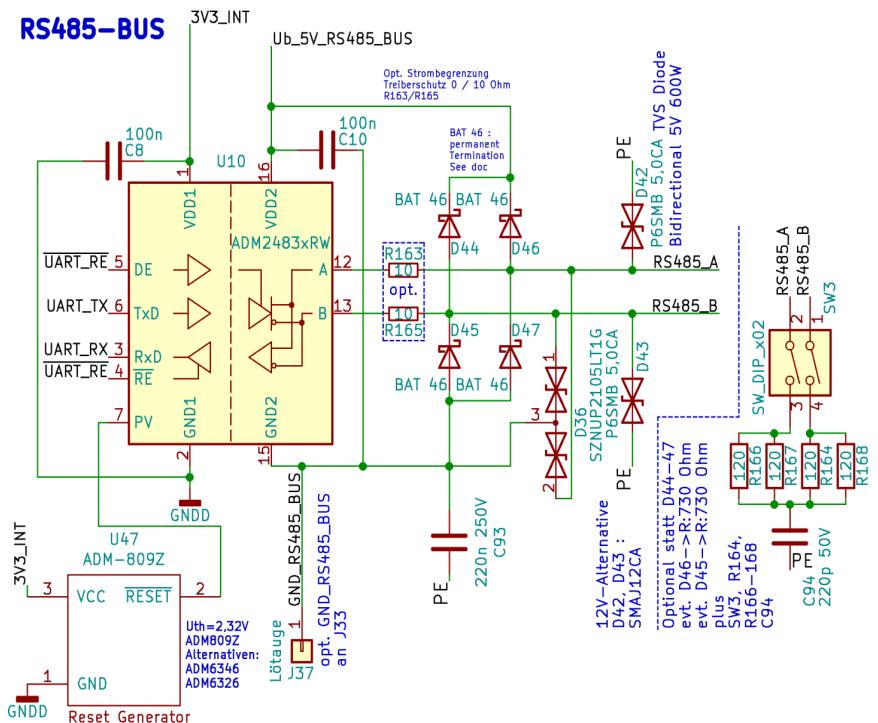


Abbildung 11: RS485 Bus

Inwiefern trotz dieser Terminierung der verwendete ADM2483xRW auch „FailSafe“ geeignet ist, wird sich bei Verfügbarkeit herausstellen. Evt. ist die Verwendung von MAX3471 oder MAX308X geeigneter, allerdings fehlt dann noch die Potentialtrennung, die der ADM2483 schon mitbringt. Mangels Verfügbarkeit bleibt der Platz für diese Baugruppe auf der Platine für die ersten Prototypen unbestückt.

Der ADM809Z hat hier die Funktion eines Power-On-Reset für den Baustein und verhindert empfangene Signale in der Einschaltphase. Im Gegensatz zu ADM803* hat der ADM809 keinen Open-Collector.

D42, D43 leiten Überspannungen von den Bus-Leitung nach PE ab.

Hier muss evt auf 12V-Versionen ausgewichen werden, falls 12V als Spannungspegel vorgesehen ist.

D36 begrenzt die Spannungen von A und B gegen GND_RS485.

Seit Version 2.5 kann man alternativ an Stelle des Diodenabschlusses D44-D47 einen 120Ω Widerstand per DIP-Switch zuschalten. Die Dioden D44-D47 können dann entfallen. Da 120Ω mit 1% leichter zu beschaffen sind, werden die zwei 60Ω für die splitted Variante durch Parallelschaltung erreicht. Zusätzliche 720Ω Widerstände von A oder B auf die Versorgungsspannung Ub_5V_RS485_BUS und GND_RS485_BUS sind nicht vorgesehen. Hier wäre der fixe Einsatz von 720 Ohm an Stelle der D45/D46 als THT-Bauteil möglich.

J37 liefert optional GND_RS485-Potential an J33 (für J6 DIN-5pol-Pin-2), s.o.

4.1.11 Analog Digital Converter ADC

Der ADC MCP3204 ist ein Standard-ADC mit 4 Kanälen und 12 Bit Auflösung, hier im DIL-14 Gehäuse, der von einem Schnittstellenbaustein ADuM1401xRW gegen die Ansteuerung durch die CPU isoliert wird. Die Kommunikation erfolgt über den SPI-Bus mit maximal 1,3 MHz Taktfrequenz.

Es steht eine Referenzspannung von 2,5V bereit. Das Eingangsnetzwerk schützt gegen Überspannung bis 30V und hält am ADC die Spannung zwischen 0V und 10V.

Zwei Eingänge liegen auf dem Terminal vom Ausgangsbyte-0. Die beiden anderen sind mit je einem Potentiometer zur Sollwert-Eingabe verdrahtet.

Die ADC-Baugruppe ist im Routing der Platine vorgesehen, kann optional bestückt werden und an Stelle von digitalen Ausgängen Q0.5, Q0.6, Q0.7 im Ausgangsbyte-0 auf die Terminal-Anschlüsse verdrahtet werden. In diesem Fall besitzen das Ausgangsbyte-1 und die restlichen Bits vom Ausgangsbyte-0 durch eine interne Kabelbrücke das gleiche OV-Potential, weil die „24V“ und „OV“ der Ausgänge auf dem Terminal Byte-0 von GNDA und einem Analogausgang genutzt werden. Auf der OP stehen für die „24V“- und „OV“-Potentialbrücken passende Lötpads zur Versorgung der Ausgangsbits Q0.0 bis Q0.4 bereit.

Analog INPUT

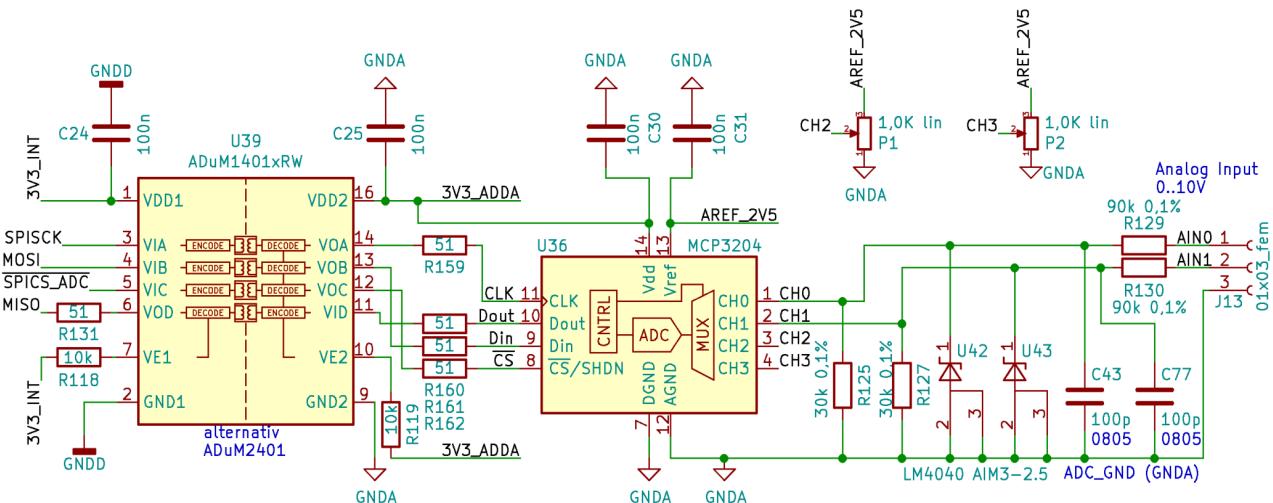


Abbildung 12: Analog Digital Converter

C43 und C77 sollen störende HF-Signale vom Eingang fernhalten.

Das Eingangsnetzwerk viertelt die maximale Eingangsspannung von 10V auf 2,5V, die der Referenzspannung entspricht.

Der DC Eingangswiderstand beträgt $120\text{k}\Omega$. Der Spannungsteiler 3/1 viertelt die maximale Eingangsspannung auf 2,5V.

U42 und U43, Präzisions-Referenzen, begrenzen die ADC Eingangsspannung wirksam auf 2,5V.

In der Software ist zu berücksichtigen, dass die SPI-CLK-Frequenz für diesen ADC maximal 1,3MHz betragen darf, sonst wird man sich über die resultierenden Werte sehr wundern.

Der DAC befindet sich auf der Unterplatine und wird dort besprochen.

4.1.12 Digitale Eingänge

Die Eingänge sind gegen Überspannung geschützt, eine „P6SMB5,0CA“ begrenzt die Eingangsspannung an jedem Eingang bipolar. Das Widerstandsnetzwerk betreibt den Optokoppler LTV-488 mit der in Serie liegenden 3mm LED bei 3mA.

Das Eingangsnetzwerk schützt vor Spannungen bis etwa 50V. Die größte Verlustleistung fällt am ersten Serienwiderstand R1-R16 an, dieser ist mit 500mW zu bemessen, 250mW sind für Eingangsspannungen nur wenig höher als 24V nicht ausreichend.

Die Dioden D88...D103 schützen vor Verpolung und heben zusammen mit dem Widerstand von 1100Ω bei 3mA und der LED und dem Optokoppler den Spannungspegel bei Überspannung am Eingang (ca. >28V) über $U_{BR}=6,4V...7V$ der Schutzdiode P6SMB5.0CA, die daraufhin leitend wird.

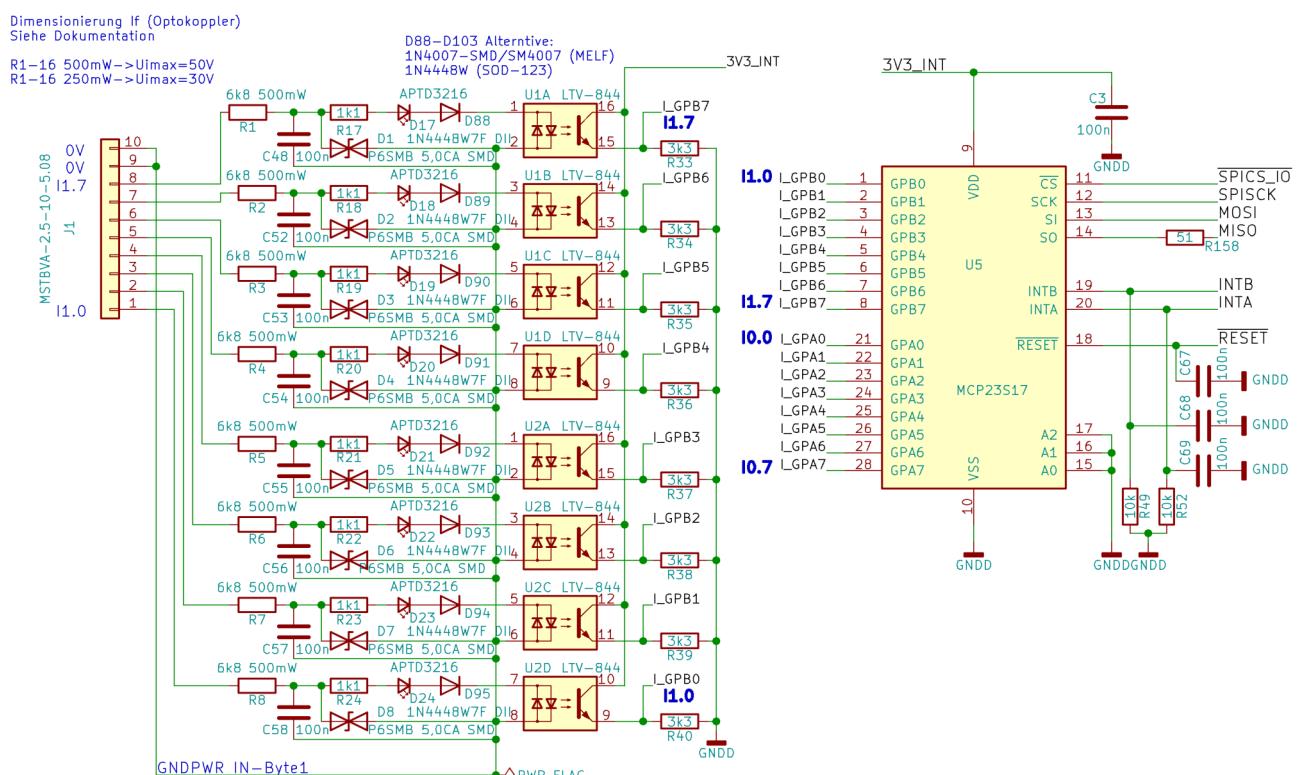


Abbildung 13: Eingänge für Byte-1

Die Optokoppler geben die Signale an einen IO-Expander MCP23S17 weiter. Der Anschluss an die CPU erfolgt per SPI-Bus.

Interruptausgänge sind je einer für jedes Byte vorhanden. Nahe dieser Baugruppe befindet sich auch der Pull-Up-Widerstand R50 der RESET-Leitung.

Die Dioden D88-D103 können mit 1N4007 SMD (MELF) oder kleineren 1N 4448W7F DII (SOD-123) bestückt werden. Das Eingangsnetzwerk ist im Anhang detailliert beschrieben (Kapitel 10.11, Seite 75).

4.1.13 Terminals Digitale Eingänge

Passend zu meinem Original werden die Terminal-Steckbuchsen für J1, J2 (Eingänge) und J16 und J17 (Ausgänge) verwendet. Beide Eingangsbytes können mit separatem Potential beschaltet werden, die OV-Anschlüsse von Byte-0 sind isoliert von denen des Byte-1.

In myT40-PLC sind die Eingangs-Pins 9 und 10 beide mit OV ihres Bytes verbunden, im Original ist der Pin-9 unbeschaltet.

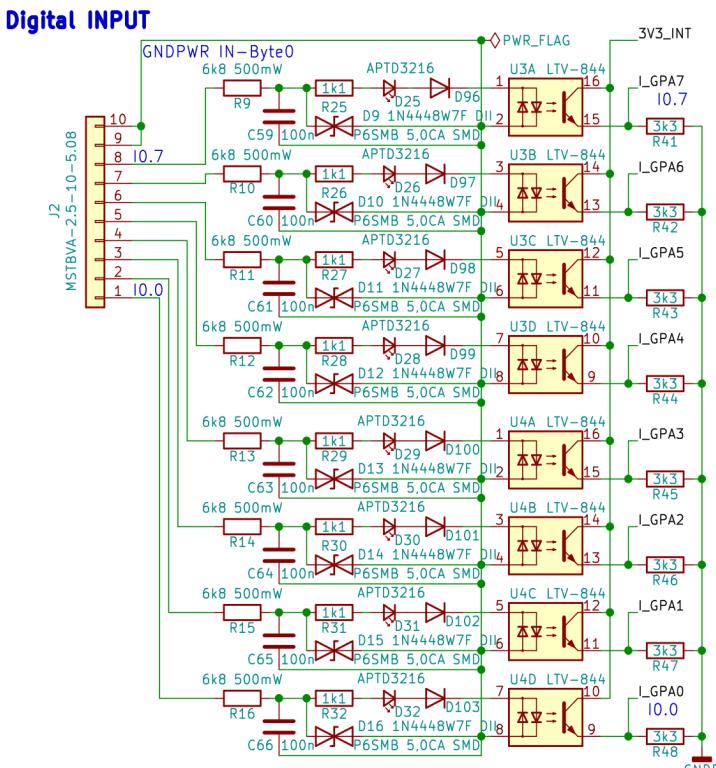


Abbildung 14: Eingänge Byte-0

4.1.14 Versorgungsspannung der CPU und Peripherie-Bausteine

Das Versorgungsspannungs-Terminal J9 nimmt 0V, 24V und PE entgegen. Die Anschlüsse werden unmittelbar auf die untere Platine durchgereicht.

PE ist auf beiden Platinen als zusätzliche Abtrennung zwischen den Potentialen der Steuerung und den Ein- bzw Ausgängen verlegt. Im Originalgehäuse gibt es eine Verbindung zwischen PE der Platinen mit der Automatenschiene mittels Flachstecker-Messer. In anderen Gehäusen kann mit einem Flachstecker die PE-Verbindung nach außen hergestellt werden. Alternativ schließt intern eine Lötbrücke (auf OP und UP) die PE-Verbindung zum Versorgungsspannungsterminal J9 (OP: J61 <-> J62, UP: J63 <-> J64).

Es darf entweder nur die externe oder nur die interne Alternative verwendet werden, um PE-Ausgleichsströme über die Platine und den daraus resultierenden Störungen zu vermeiden!

Auf der Unterseite der oberen Platine befinden sich exakt über den Sandwich-Pin-Leisten der unteren Platine entsprechende Pin-Buchsen. So kann die obere Platine einfach auf die untere aufgesteckt werden. Das gilt für den Versorgungsspannungseingang J9, die Versorgungsspannungen für RS485, CAN-Bus und CPU, sowie Interfaces, die Referenzspannung 2V5 für den ADC/DAC und die SPI-Bus-Signale mit RESET von der oberen zur unteren Platine. Lediglich die Ausgänge des DAC werden von der unteren Platine kommend per Kabel an J14 (OP) verdrahtet. Bei höheren Frequenzen sollte das DAC-Kabel für jeden Ausgang mit Schirm ausgeführt und der Schirm nur einseitig an PE (J41) aufgelegt werden. F1 und RV1-3 schützen nur CPU und Interfacebausteine sowie das EEPROM.

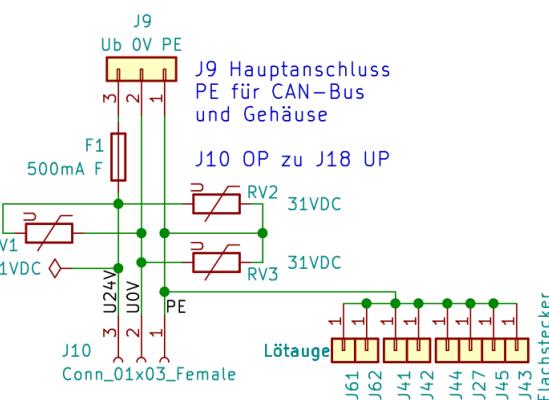


Abbildung 15: Versorgungsspannung CPU und Peripherie

4.1.15 Terminals Digitale Ausgänge

Auf der Oberplatine sitzen die beiden Terminals J16 und J17 für die digitalen Ausgänge. Bei Bedarf werden auf J14/J17 die Eingänge des ADC, sowie den Ausgängen des DAC, nebst eigenem analogen Ground GNDA beschaltet können.

Die ADC-Eingänge stehen an J13 bereit und werden direkt auf der Oberplatine nach J14 gepatcht (6,7,8), während die Signale des DAC von der Unterplatine über Kabel an Pfostensteckern an die Oberplatine an J14 (9,10..13,14..15) angeschlossen werden.

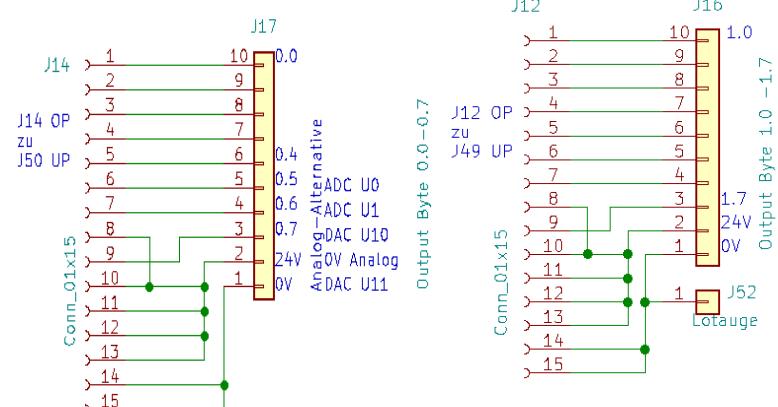


Abbildung 17: Terminal Ausgang Byte-0 Ausgang Byte-1

Abbildung 16: Terminal Ausgang Byte-0

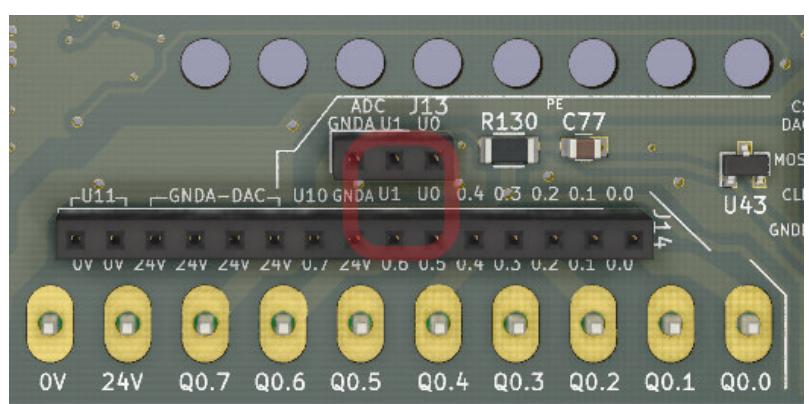
Die Ausgänge der UP werden über 15-polige Stapelleisten J49 und J50 auf 15-polige Buchsen J12 und J14 der OP verbunden. Da jeder Ausgang 500mA schalten können soll, gibt es 5 Pins, die „24V“ führen. Zusätzlich verwende ich die vergoldeten Varianten der Stapelleisten. Dagegen genügen zwei Pins für „0V“ als Bezugspotential für Optokoppler und BSP-452.

Werden die Signale und Potentiale der ADC und DAC auf J14 aufgelegt, reduziert sich die Anzahl der digitalen Ausgänge im Byte-0 auf 5, und es wird eine Zusammenlegung von „0V“ bzw. „24V“ der Digitalausgang-Bytes notwendig. Dafür gibt es Lötaugen: J32—J35 (24V) und J38—J39 (0V). Details siehe Kapitel 8.1 „Verdrahtung möglicher Varianten zur Nutzung wie im Originalgehäuse, V2.6 M37/M38 u. V2.9 M40/M41, PFS/FFC“ Seite 47. Die Stapelleiste von J50 (UP) auf J14 (OP) für das Ausgangsbyte-0 verkürzt sich in diesem Falle auf 5 Pins.

4.1.16 Verbindung der ADC-Signale auf Ausgangs-Terminal Byte-0

Zum Patchen der ADC-Signale von J13 auf J14 bietet sich eine kleine Platine im Raster 5,08 / 2,54 mit zwei Pin-Reihen á 3 Pins U0/U1/GNDA an. Der DAC stellt per Kabel seine Ausgänge auf J14 bereit.

Die Potentiale für der digitalen Ausgänge werden von Byte1 auf Byte0 gebrückt.



Am Terminal Byte-0 liegen dann folgende Signale an:

Mit Analog: Q0, Q1, Q2, Q3, Q4, ADC-U0, ADC-U1, DAC-U10, GNDA 0V, DAC-U11

Ohne Analog: Q0, Q1, Q2, Q3, Q4, Q5, Q6, Q7, 24V, 0V

4.1.17 Verbindung der SPI-Signale von OP zu UP

Der SPI-Bus reicht vom Extension-Port über das EEPROM zur CPU mit Stichleitungen zu den Expandern von OP zu UP (J4,J19), und weiter zum ADC (OP) mit Überleitung zum DAC auf UP (J15, J26).

Ab M37 leitet der freie Pin-8 von J4 das Steuersignal an Q2 zur Abschaltung der 3,3V-Versorgungsspannung der Interfacebausteine zur UP durch.

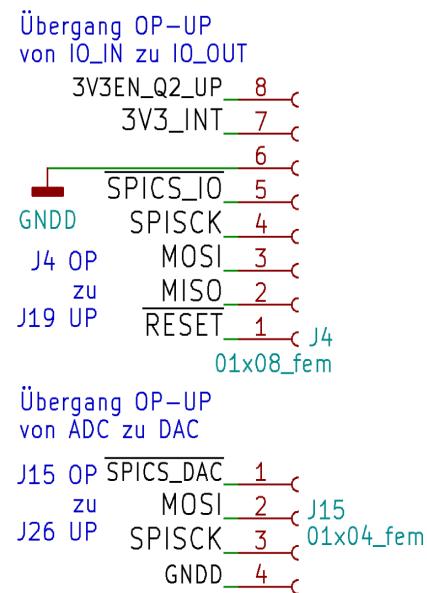


Abbildung 19: SPI Durchstiche von OP zu UPe

4.1.18 Der optionale Port für Lokale Erweiterung

Diese Stiftleiste J14 (RM 2,54mm) erlaubt im Originalgehäuse den Anschluss einer lokalen Erweiterung.

Aktuell ist nur das CS-Signal für die digitalen Ein/Ausgänge aufgelegt, sowie alle SPI relevanten Signale. Zusätzlich sind 3,3V und 0V GND, RESET, sowie PE auf dem Terminal vorhanden.

Die Erweiterungen werden über die Adress-Eingänge A0, A1, A2 der MCP23S17 lokal auf eine bestimmte Adresse gelegt. Adresse 0 und 1 sind genutzt, 2-7 sind noch frei. Zwei Pins (7/11) des Erweiterungsterminals sind nicht verdrahtet. Die lokalen Erweiterungen wären noch zu entwerfen.

Original-lokale Erweiterungen sind nicht verwendbar!

Sollten Erweiterungen gebaut und angeschlossen werden, ist darauf zu achten, dass jeder SPI-Treiber für MISO einen treibernahen Serienwiderstand, z.B. 51 Ohm, erhält.

Für den Umbau einer lokalen 16-fach digitalen Ausgangserweiterung wird ein Original-Element verwendet und passend für myT40-PLC adaptiert. Dazu wird die Kopfplatine mit der Kommunikation gegen eine neue Platine ausgetauscht. Diese wird in Kapitel 15 auf Seite 86 beschrieben.

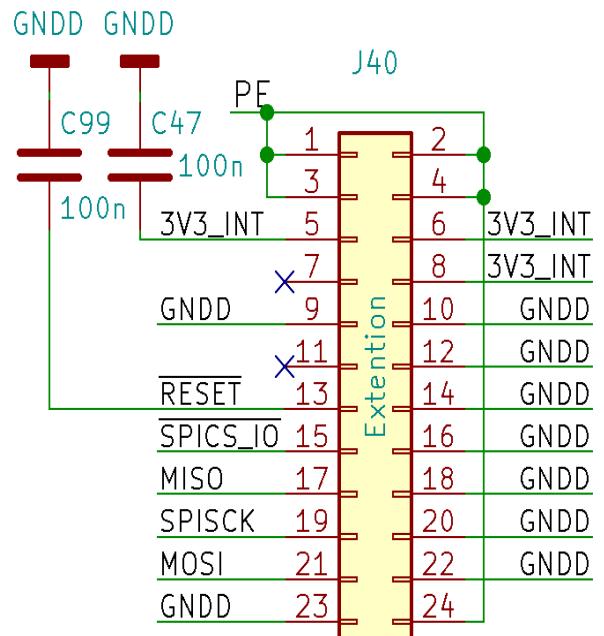
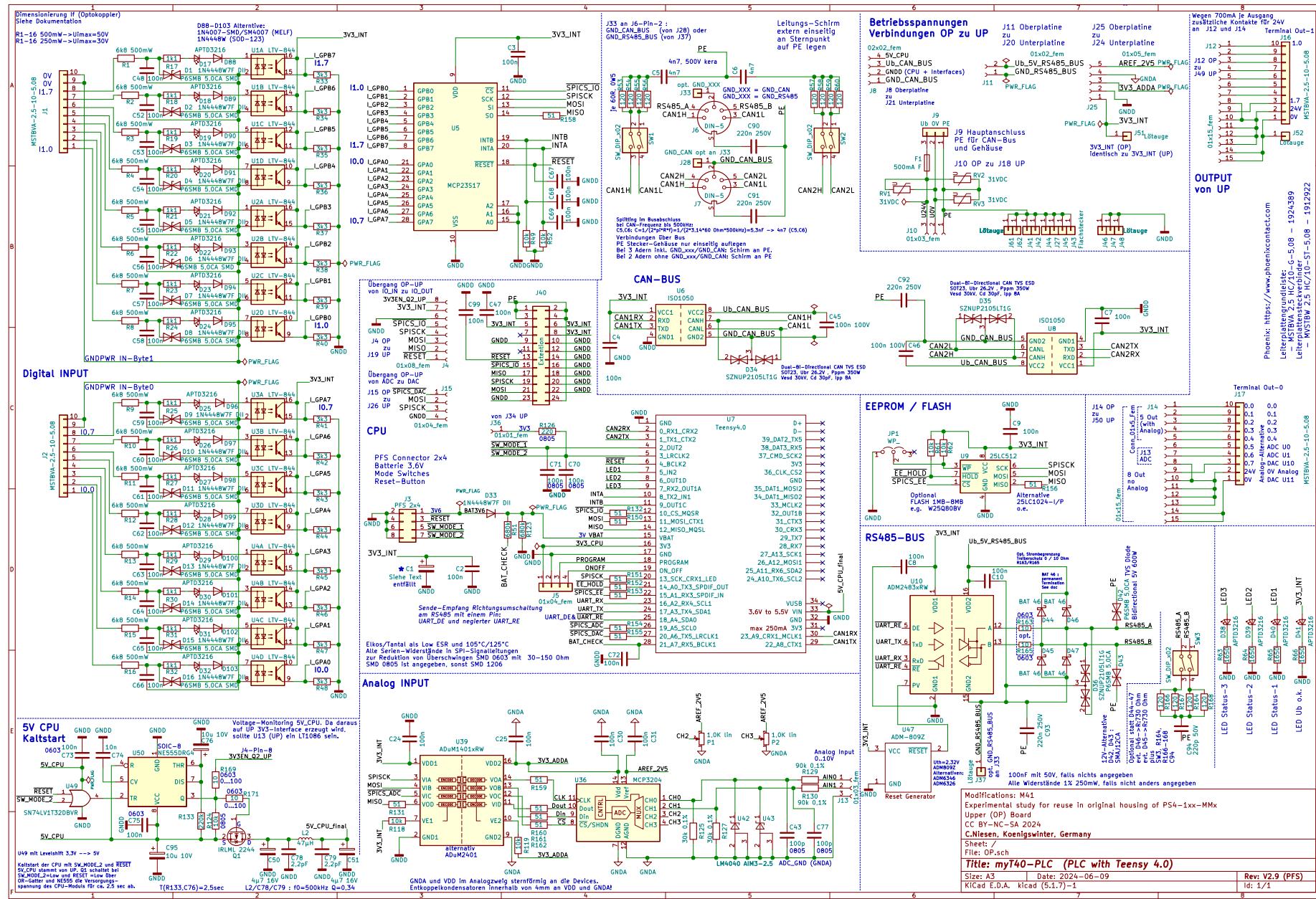


Abbildung 20: Extention Port optional

4.2 Schaltplan Oberplatine (OP) Variante PFS



5 Die Hardware - Aufbau der Unterplatine (UP)

Die untere Platine (UP) ist so konzipiert, dass sie mit der Oberplatine in das Originalgehäuse passt. Wie die Oberplatine enthält sie passend übereinander liegende 3,05mm Bohrungen für Abstandsbolzen zur Montage in einem beliebigen anderen Gehäuse oder Modulträger.

Die UP stellt alle Versorgungsspannungen bereit und versorgt damit beide Varianten der OP über Stapelleisten.

Der Abstand der Oberplatine zur Unterplatine beträgt 29 mm im Originalgehäuse. In einem Alternativgehäuse ist der Abstand freier gestaltbar.

Die Unterplatine ist für beide Varianten FFC und PFS identisch.

5.1 Komponenten der unteren Platine Base-Modul „UP“

5.1.1 Digitale Ausgänge

Die Ausgänge sind bipolar gegen Überspannung geschützt, je eine P6KE33CA begrenzt die Spannung auf ca. 33V an jedem Ausgang und am Versorgungsspannungseingang „24V“.

Als Treiber wird je Ausgang der Baustein BSP-452 verwendet. Er kann maximal 700mA schalten, ist überspannungsfest und kurzschlussicher und verfügt über eine interne Freilaufdiode. Er verträgt maximal 40V. Die Alternative BTS4141N verträgt eine noch etwas höhere Spannung.

Auf Grund der kleinen Kühlfläche=Kupferfläche auf der Platine, sollte ein dauerhafter Strom 500mA nicht übersteigen.

Trotz aller Schutzmaßnahmen innerhalb des BSP-452 gilt grundsätzlich:

Jeder nicht-ohmsche Verbraucher muss **lokal** (!) seine eigene passende Schutzbeschaltung besitzen, denn Störungen und Spannungsspitzen sollen dort eliminiert werden, wo sie auftreten! Zwar sind die Eingänge von myT40-PLC doppelt geschützt, aber die zu steuernden Elemente beeinflussen u.U. andere Geräte über parallel liegende Verkabelung.

Die 24V werden von außen über die Terminals getrennt je Byte hereingeführt, auch das OV Bezugspotential ist je Byte vorgesehen, optional kann intern beides auf der UP gebrückt werden:

OV: J38 – J39 , 24V: J35 - J32

Nur wenn ADC oder/und DAC vorhanden und in ein Originalgehäuse eingebaut sind, entfällt diese Trennung, da dann intern in jedem Fall gebrückt werden muss. Mehr dazu unten in Kapitel 8.1.

Die 24V-Schiene ist je Ausgangsbyte mit 4A bis 5,6A mitteltragen Kleinstsicherungen abgesichert. Bei Einsatz mit ADC und/oder DAC wird die Absicherung für das Ausgangsbyte-0 auf 2,0 bis 3,15A träge reduziert.

Natürlich hätte ich auch den VN330 in seiner neusten Variante verwenden können. Für eine ADC/DAC-Variante im Originalgehäuse von Byte-0 mit 5 Ausgängen bedient dieser Baustein schon 4 Ausgänge. Der 5. wäre dann abweichend mit BTS4141 oder BSP452 zu bestücken. Das Original bietet in dieser Variante nur einen DAC und hat damit Platz für 6 digitale Ausgänge, weshalb dann „nur“ 2 Linien eines zweiten VN330 ungenutzt bleiben.

Mit der Möglichkeit aus ungenutzten Ausgängen wenigstens Status-LEDs zu machen, ist mein Ansatz flexibler, siehe Kapitel 7.10.

Die Ausgänge werden in einem Originalgehäuse über Stapelleisten auf die Unterseite der Oberplatine verbunden. Ausgangs-Byte-1:

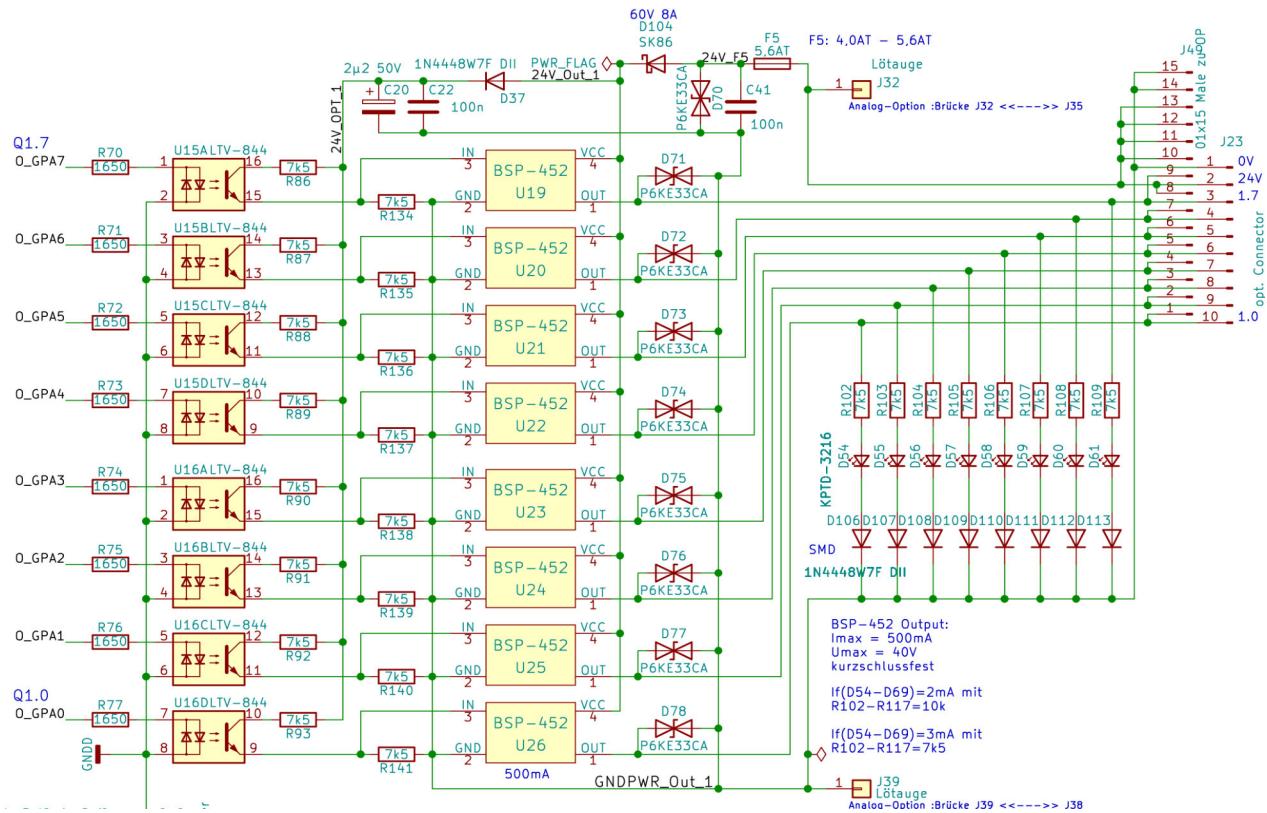


Abbildung 21: Schaltplan Ausgangs-Byte-1

Bei Verwendung eines alternativen Gehäuses besteht die Möglichkeit vorhandene Lötpads der Unterplatine direkt für abgewinkelte Terminals zu verwenden : J22 und J23.

Dadurch werden die Anschlüsse des Ausgangs-Terminals Byte-0 auf der Oberplatine frei für die analogen Signale und deren Bezugspotential GNDA.

Die Entkopplung zwischen dem IO-Expander MCP23S17 und den Ausgangstreibern wird mit LTV-488 Optokopplern im DIL-14 Gehäuse realisiert. Alle Optokoppler sind gesockelt.

Der Anschluss des MCP23S17 an die CPU erfolgt mit einem SPI-Bus.

Die LED der Ausgänge werden mit 3mA betrieben. Die verwendeten Lichtleiter ragen bis in die passenden Bohrungen der Oberplatine hinein. Dort dürfen sie maximal 2mm herausragen, wenn das Licht von den Lichtleitern des Originalgehäuses entgegengenommen wird.

Mit M37 kommt über J19 das Steuersignal für Q2 auf der UP an.

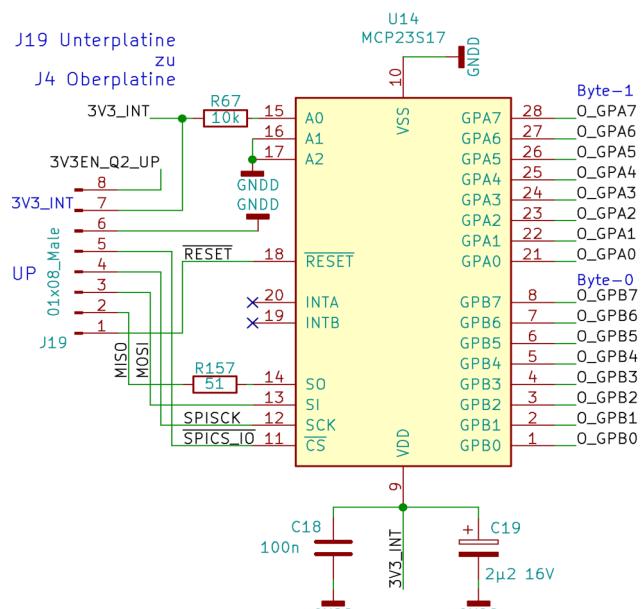


Abbildung 22: Ansteuerung der Ausgangsbytes

Bei Originalgehäuse empfiehlt sich wegen der mehrfachen optischen Übergänge die LED mit 3mA zu treiben. Dimensionierung der Widerstände siehe Schaltplan oben.

In der Software ist zu beachten⁴: Ab V2.0 liegen Byte-0 auf GPB0-7, und Byte-1 auf GPA0-7.

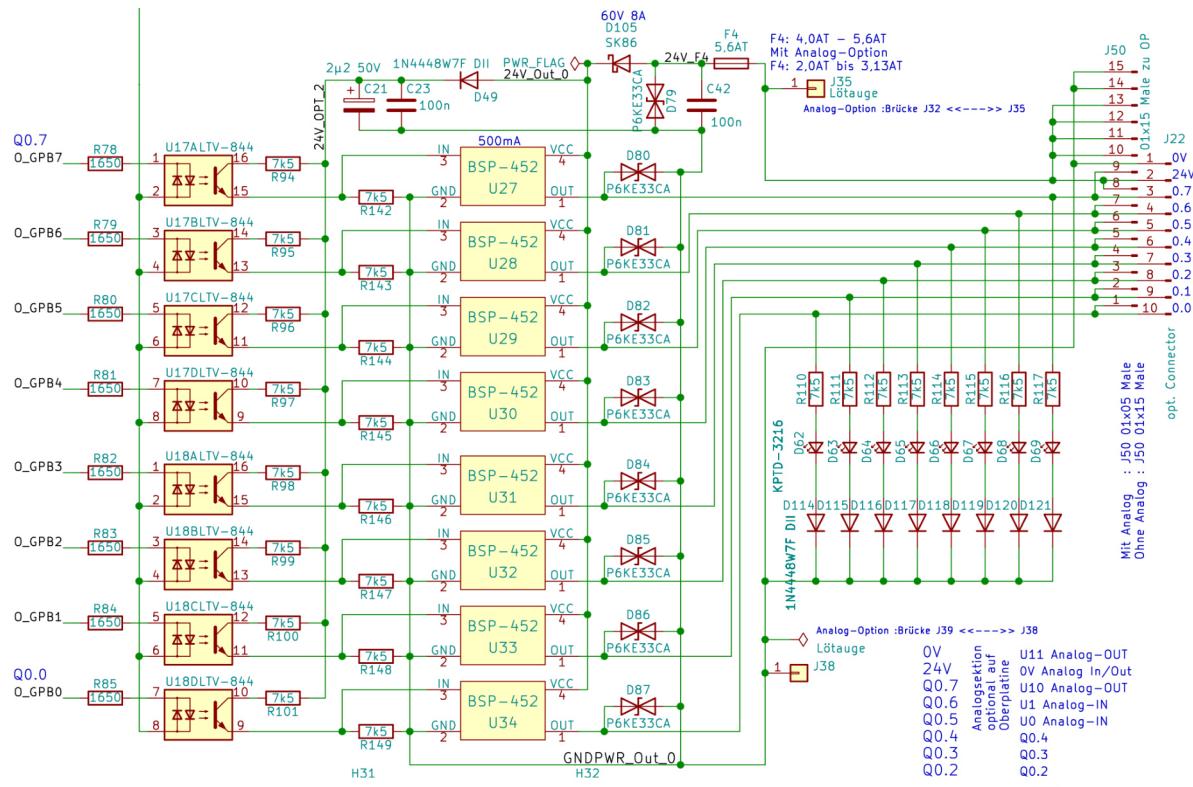


Abbildung 23: Schaltplan Ausgangsbyte-0

Die Dioden D106..D121 schützen die LED D54..D69 gegen negative Spannungen an den Ausgängen. Es können sowohl 1N4007-SMD (MELF) als auch 1N4448 (SOT123) eingesetzt werden.

D49 und D37 entkoppeln mit C20 und C21 die Versorgungsspannung für die Optokoppler von Störungen auf der lastseitigen Einspeisung für die Ausgänge.

Mit ADC und DAC lassen sich optional die LED der nicht nutzbaren Ausgänge im Byte-0, Bit-5 bis Bit-7 als separate Statusanzeigen nutzen. Idealerweise durch eine andere LED-Farbe, wie orange, statt rot. Details dazu im Anhang 10.4 Optionale Nutzung von Q0.5, Q0.6 und Q0.7 als Status-LED auf Seite 65.

Alternativ kann man statt BSP-452 auch BTS-4141N verwenden. Letzterer bietet eine etwas höhere Spannungsfestigkeit.

4 Bei den Prototypen-1 und -2 war das noch umgekehrt.

5.1.2 Digital-Analog-Converter DAC

Die Abweichung zu meinem Original: Es stehen **zwei** DAC 0..10V Ausgänge potentialgetrennt zur Verfügung.

Der DAC wird mit einem MCP4922 realisiert. Der Isolationsbaustein ist ein ADuM1401xRW. Er leitet die SPI-Signale MOSI und CLK sowie den CS an den DAC durch.

Der DAC arbeitet mit einer Referenzspannung von 2,5V. Das Ausgangssignal wird über einen Operationsverstärker mit dem Spannungsteiler 3:1 auf Spannungen auf 0V-10V angehoben.

Das erfordert eine Mindestspannung von 12 V für die Spannungsversorgung des Operationsverstärkers.

Die Ausgänge werden mit verlöteten Kabeln (J29,J30,J31) oder Pinheader im Raster 2,54mm auf der unteren Platine mit Steckern auf der oberen Platine mit J14 verbunden. Dafür entfallen passend die Pins der Stapelleiste J50 für die Durchschaltung der Ausgangsspannung „24V“ und „0V“, sowie weitere (Q0.5, Q0.6, Q0.7) für ADC.

Die Leiterbahnen der Signale MOSI und CLK werden vom ADC (OP) kommend per Stapelleiste J15 zum DAC (UP) auf J26 als letzte OP-UP-Brücke heruntergereicht.

Analog OUTPUT : DAC

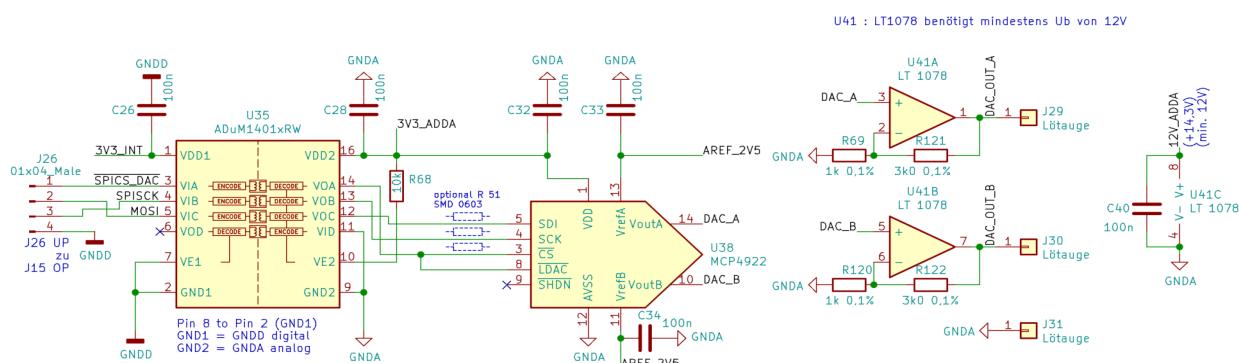


Abbildung 24: Digital Analog Converter

5.1.3 Spannungsversorgung

Die Eingangsspannung an J9 wird von der Oberplatine an die Unterplatine mit Sandwich-Pinleiste auf J18 übertragen.

Die Versorgungsspannung für die CPU von 5V wird aus den 24V Eingangsspannung direkt erzeugt. Der dafür verwendete Baustein LC78-03-1.0 ist für Eingangsspannungen von bis zu 42V ausgelegt. Eine 1.5KE30CA,(D51 s.u.) alternativ 1.5KE33CA / 1.5KE36CA begrenzt die Eingangsversorgungsspannung hinter der 500mA Sicherung (F1 auf der OP)).

Aus den 5V für die CPU werden dahinter 3,3V für die Peripherie-Bausteine bereitgestellt.

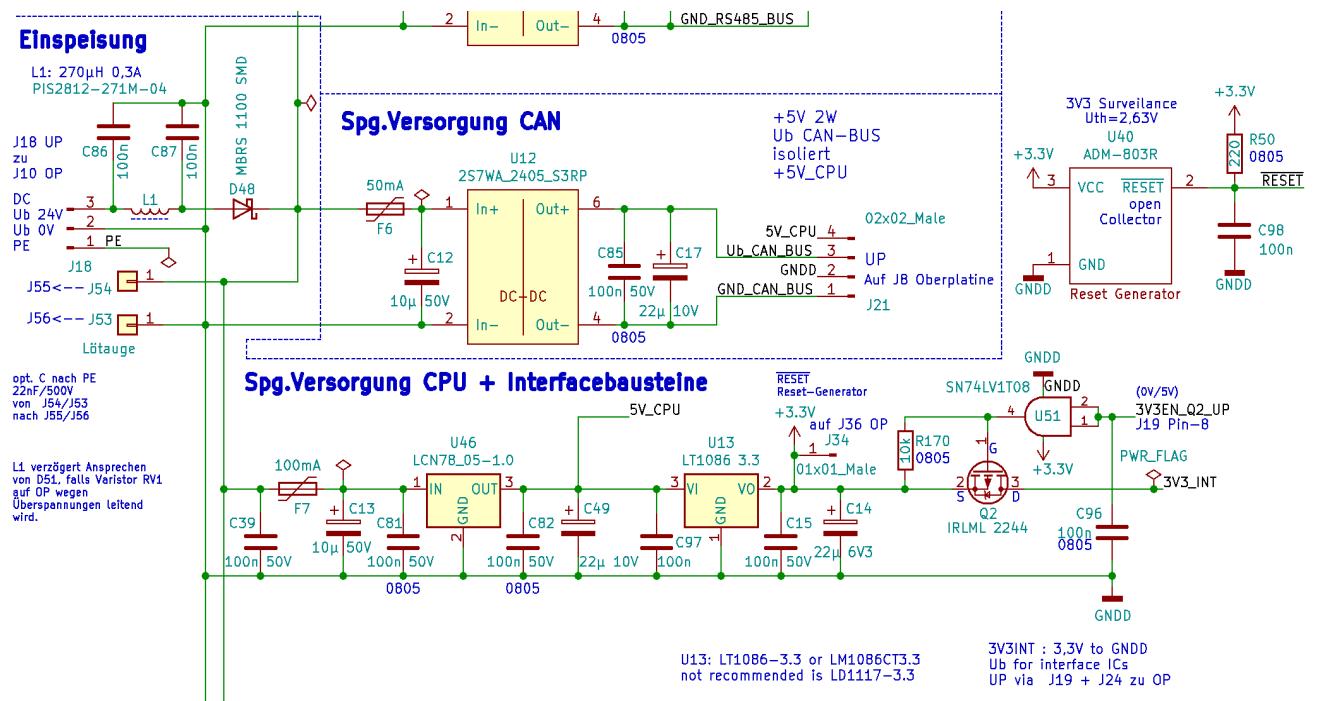


Abbildung 25: Spannungsversorgung CPU + Peripherie und CAN Busse

Ab der Version 2.6 M37 wird auch die Interface-Spannungsversorgung 3,3V zusammen mit der CPU-Spannung abgeschaltet und auf der OP mit J34 3.3V für den Pull-Up von SW_MODE_2 bereitgestellt.

Es hatte sich gezeigt, dass über die mit 3,3V versorgten Signalleitungen der Interfacebausteine eine Teilspeisesspannung von 2V am 5V-CPU-Modulpin Teensy4.0 ansteht, wenn Q1 die 5V abschaltet. Diese 2V waren belastbar, an einem 470Ohm Widerstand flossen knapp 3mA.

Damit diese Form der Rückspeisung unterbleibt, muss auch die 3,3V der Interfaces abgeschaltet werden. Dadurch wird auch der von der CPU getriggerte Kaltstart möglich (automatischer Neustart ab V4).

C96 entfernt Störanteile im Signal, mit R169 auf der OP entsteht ein Tiefpass.

Der Reset-Generator U40 für die Interface-Versorgungsspannung ist auf der UP, weil bislang nur hier das notwendige 3,3V-Potential aus U13 zur Verfügung steht. Hier befindet sich auch der Pull-Up für die RESET-Leitung R50, der mit M40 auf 220 Ohm reduziert wurde, weil spannungslose Eingänge am Teensy stark belasten und der PullUp mit 10k nur zu 1,8V führte, was nicht einem High am ODER-Gatter U49 entspricht. Da das Signal „3V3EN_Q2_UP“ entweder 0V oder aber auch 5V betragen kann, könnte man zur Absicherung der 3,3V eine 3,6V-Zenerdiode vom Q2-Source gegen GGND vorsehen, da für Q2 gilt : $-12V \leq U_{GS} \leq 12V$. Ich habe mich für eine saubere Lösung entschieden, die mit U51 ein UND-Gatter eine Potentialumsetzung realisiert. Mit M40 ist auch die Spannungsversorgung von U51 korrigiert.

Die zweite Spannungsversorgung für die CAN-Bus-Bausteine wird von einem isolierten DC-DC-Wandler erzeugt. Damit sind die alle Potentiale des CAN-Busses vom Rest der Steuerung separiert.

Das gleiche gilt für die dritte Spannungsversorgung des RS485-Busses. Auch diese ist vom Rest der Steuerung isoliert.

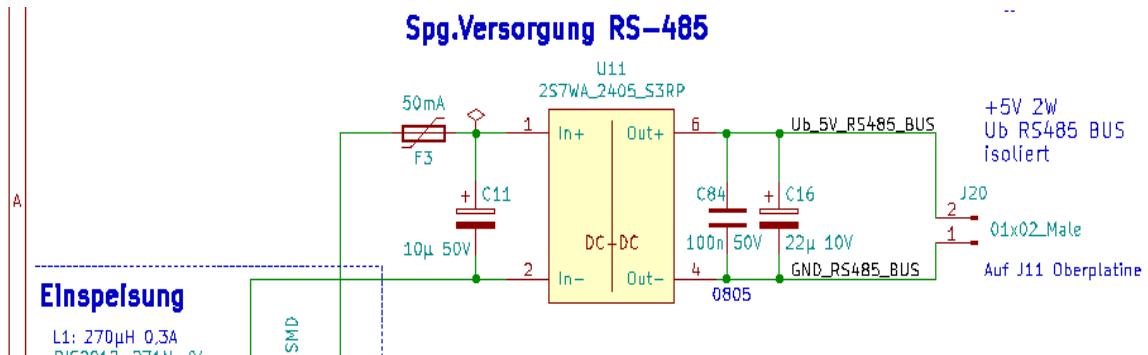


Abbildung 26: Spannungsversorgung RS485

Zuguterletzt ist auch die vierte Versorgungsspannung des ADC und DAC potentialgetrennt. Damit werden in gewissen Grenzen potentialfreie Messungen möglich. Die Potential-Differenz zu PE und Ub ist durch die Leiterbahnabstände limitiert und darf 50V nicht überschreiten.

Für den ADC/DAC werden zunächst 15V isoliert bereitgestellt, aus denen dann die Referenzspannungen 2,5V und die 3,3V für die Schnittstellenbausteine (Isolation SPI-Bus) und ADC bzw. DAC erzeugt werden.

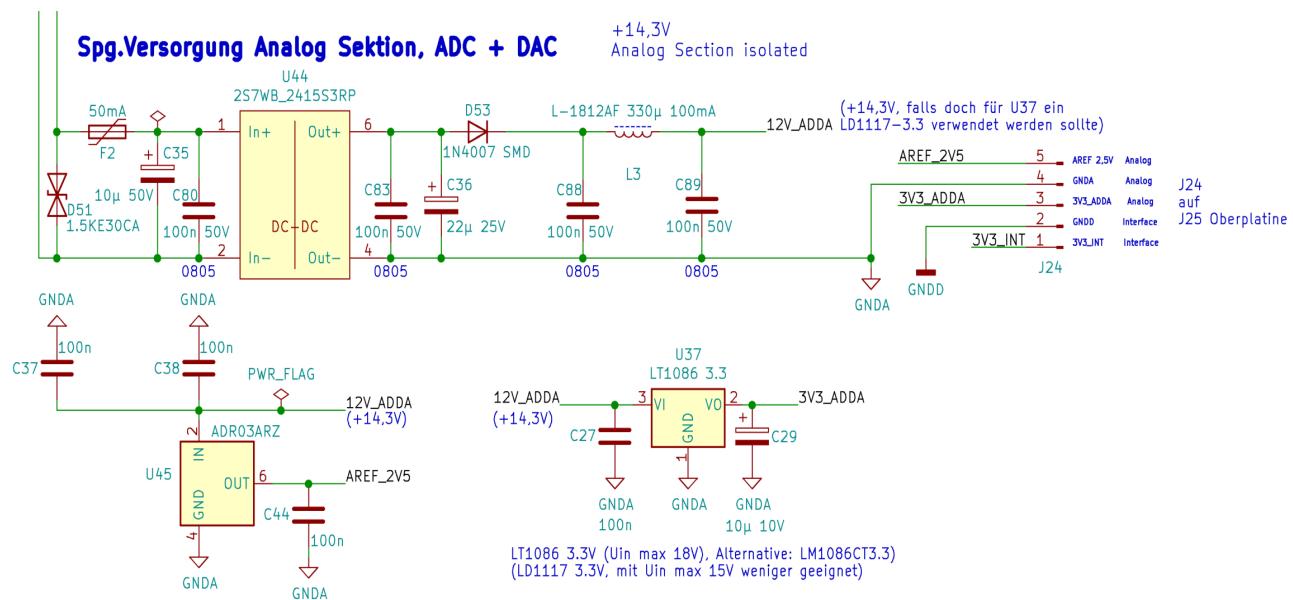


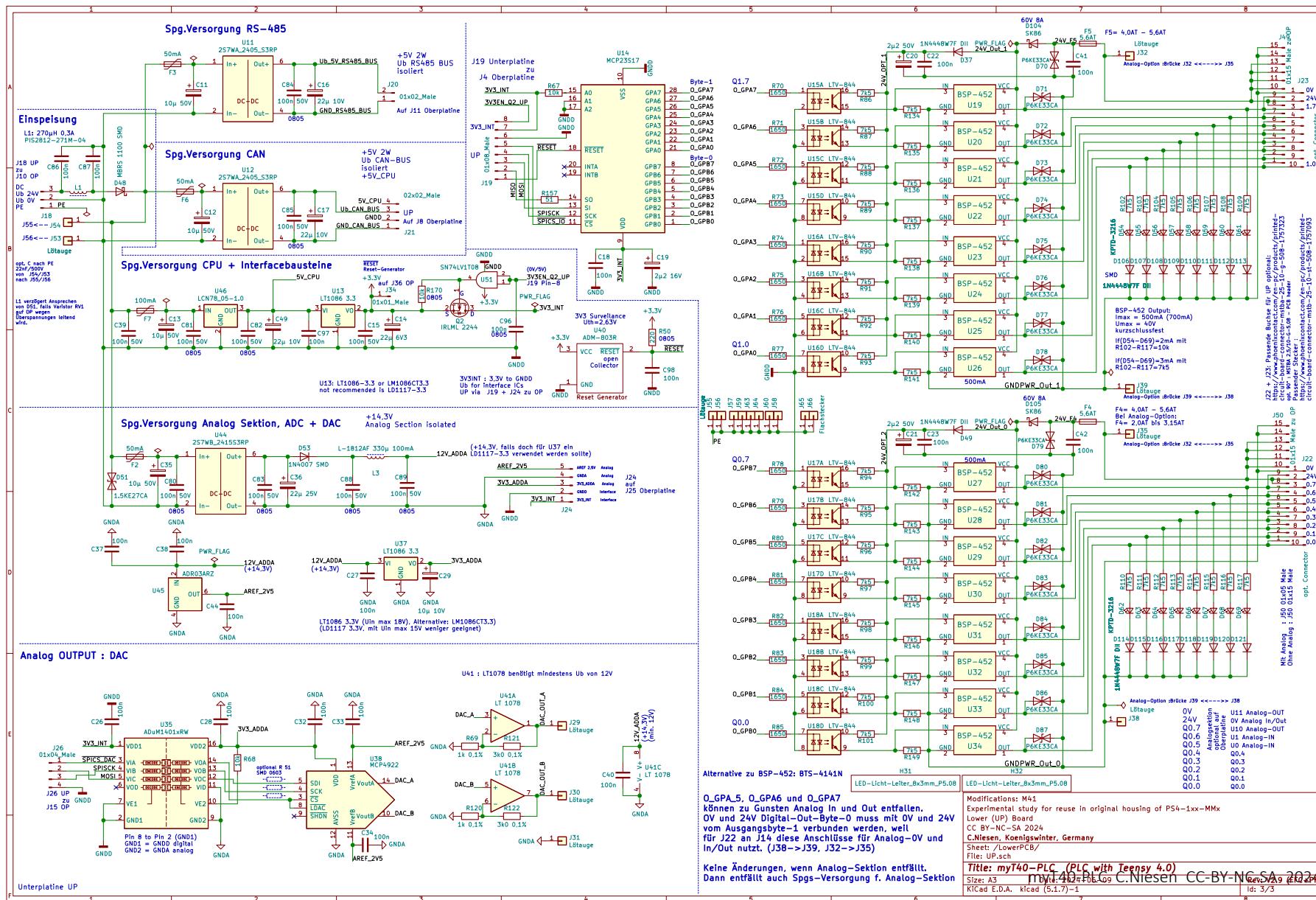
Abbildung 27: Spannungsversorgung ADC und DAC

Wenn man statt LT1086 einen LD1117 verwenden möchte, muss entweder die Diode D53 die Spannung etwas absenken, oder für U44 gleich die 12V-Variante eingebaut werden.

Empfohlen wird jedoch der LT1086, weil 12V des LD1117 die Minimalspannung für den Operationsverstärker darstellt, damit dieser noch die vollen 10V am DAC-Ausgang bereitstellen kann.

Alle Spannungswandler sind nach J18 mit PPTC reversiblen FSMD-Sicherungen abgesichert. Sie helfen den Aufwand für Reparaturen nach missglückten Experimenten zu reduzieren.

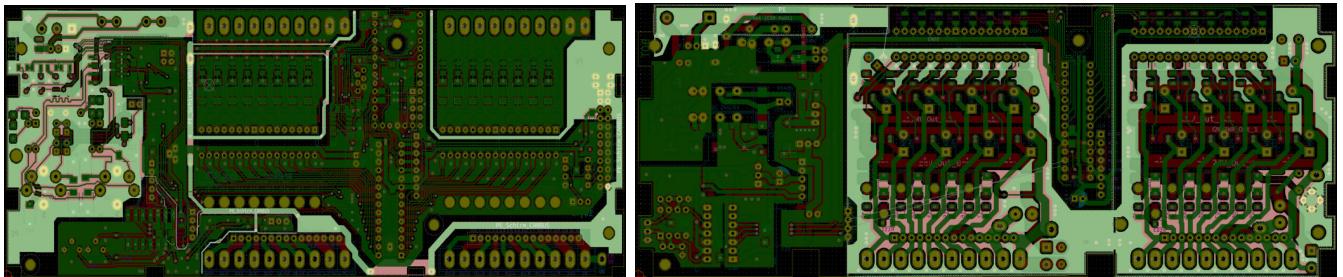
5.2 Schaltplan Unterplatine



6 Layout Details

6.1 OP UP : PE

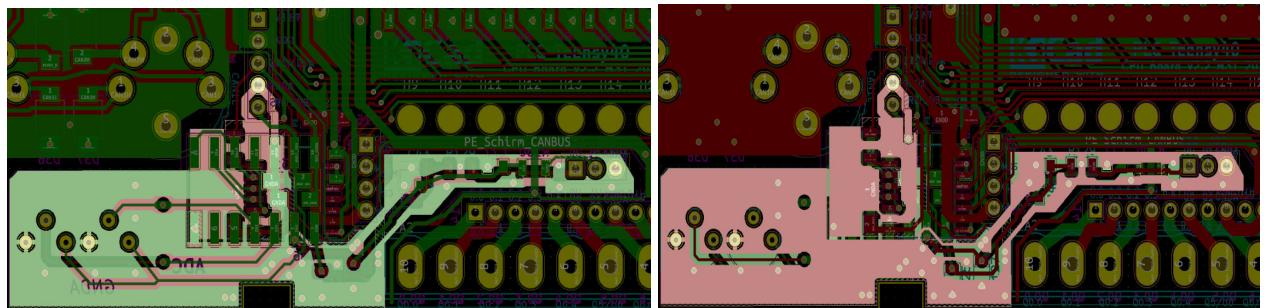
PE Potential



PE trennt die Potentiale der Steuerung von den Potentialen der Ein- und Ausgangs-Bytes, auf TOP und BOT-Seite der Platinen. Gleiches gilt für die Busse CAN und RS485. Links OP, rechts UP.

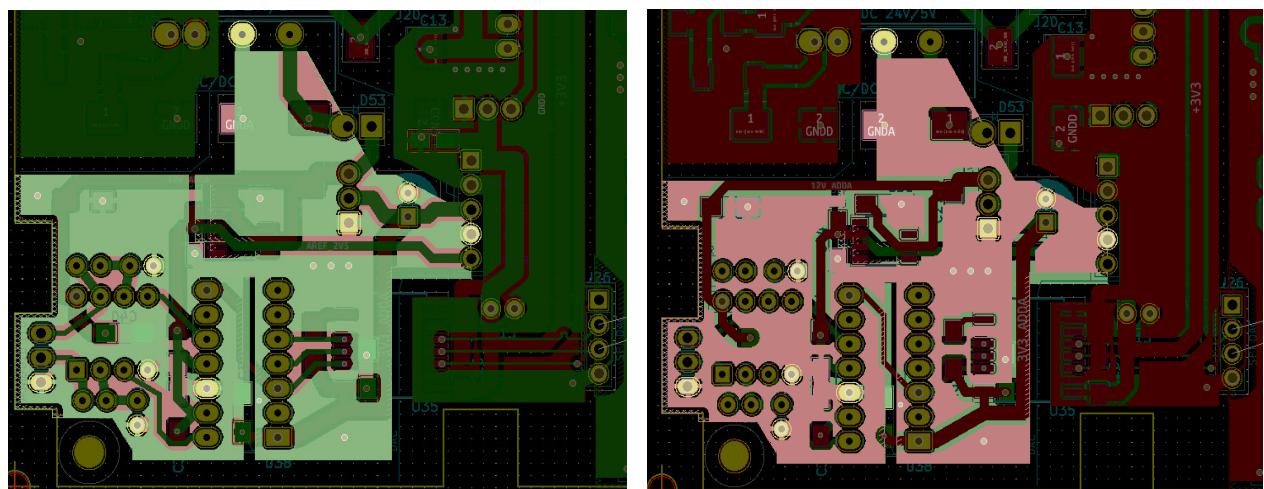
6.2 OP : ADC

Der Analogteil wird mit GNDA und PE von GNDD und anderen Signalen abgeschirmt. GNDA ist für den ADC sternförmig verlegt.



6.3 UP : DAC

Auch auf der UP grenzen GNDD, PE und GNDA andere Signale ab. GNDA ist für den DAC ebenfalls sternförmig angeordnet.



6.4 Weitere Details im Platinen Design

0V und 24V sind je Ein- und je Ausgangs-Byte getrennt und werden bei Bedarf extern oder intern gebrückt.

Werden analoge Anteile der Schaltung in ein Original-Gehäuse eingebaut, entfällt die Trennung der 0V für die Ausgangs-Bytes, da ein Teil der Terminals (Q0.5, Q0.6, Q0.7,0V,24V) für die analogen Potentiale benötigt wird. Daher müssen passende Brücken die dann fehlenden Verbindungen für 0V und 24V auf der UP herstellen. Siehe „5+8 Ausgänge, 2x8 Eingänge, mit ADC , mit DAC“ , Kapitel 8.1.2, Seite 48.

Die Eingangs-Bytes lassen sich nur außerhalb der Platinen über die Terminals brücken. Dafür gibt es an jedem Eingangsterminal je zwei 0V-Klemmen. Hier liegt ein Unterschied zu meiner Original-SPS vor, welche den Pin-9 an jedem Byte unbeschaltet lässt.

Die Pads (Pin-4 , 24V) für die Treiber BSP-452 der Ausgänge liegen zu Kühlungszwecken auf einer breiteren 24V-Schiene.

Alle Bus-Signale sind auf gleiche Längen getrimmt. Das gilt sowohl für CANxH, CANxL, RS485-A und-B, als auch die von der CPU abgehenden Signale für die Busse, wie MOSI, MISO, und CLK und CS. Die Phasenkorrektur blieb unberücksichtigt. Ab V2.1 ist nur noch eine kurze Stichleitungen von OP zu UP vorgesehen, was einen durchgehenden SPI-Bus ermöglicht und die Qualität des Signals verbessert.

Entkoppelkondensatoren liegen an den Spannungsversorgungspins der IC so dicht wie möglich an. Alle 100nF Entkoppelkondensatoren sind für 50V vorgesehen, mit Ausnahme der Kondensatoren C45 und C46 auf der Spannungsversorgung des CAN-Busses auf der Busseite, diese sind bis 100V spannungsfest. Die keramischen 4n7 Schirmkondensatoren C5 und C6 zwischen PE und den CAN-Bus Abschlusswiderständen weisen eine Spannungsfestigkeit von 500V auf.

Das Originalgehäuse verfügt über integrierte PE-Klemmleiter, die mit der Befestigungsklammer auf der Automatenschiene (Montageschiene) elektrisch verbunden sind. Seit V2.0 besitzen OP und UP dafür an der passenden Stelle Lötpads für einzulötende Kontaktstreifen, wie teils gekürzte 6,3mm Flachstecker (m) zum Einlöten in die Platine.

Nur wenn keine geerdete Automatenschiene verwendet wird oder die Flachstecker nicht eingesetzt oder verwendet werden, sollten die PE-Brücken J61-J62 (OP) und J63-J64 (UP) gesetzt werden. Ein Durchfluss von Ausgleichsströmen auf dem PE-Leiter durch die Steuerung wird so vermieden.

7 Ansichten der Platinen

Auf den folgenden Seiten sind in Ermangelung aller Modelle teils nicht ganz vollständige Ansichten der Platinen abgebildet. Die Serie wird durch Fotografien der bislang entstandenen Prototypen ergänzt.

7.1 Die untere Platine – Base Board

Die Unterplatine ist hier mit zwei verschiedenen möglichen optionalen Terminals abgebildet. Rechts sind zwei mögliche Flachsteckeranschlüsse für die PE-Schienen-Verbindung im Originalgehäuse zu sehen. In einem Alternativgehäuse kann einer von beiden mit dem passenden Stecker auf PE gelegt werden. Alternativ lässt sich eine PE-Brücke J63–J64 am oberen Rand, links von der Mitte erkennbar, einsetzen. Das gleiche gilt für die Oberplatine. Siehe auch unten Abschnitt 8.3. Die PE-Verbindung erfolgt dann über Das Terminal J9.



Abbildung 28: Unterplatine (UP) Oberseite

Man erkennt die beiden möglichen Anschlussfahnen für den PE. Die obere kann ungekürzt im Originalgehäuse verwendet werden, während die untere dafür gekürzt werden müsste.

In anderen Gehäusen ist die Verwendung beliebig.

Empfohlen wird die Verwendung der Flachstecker für Ober- und Unterplatine für eine sichere PE-Verbindung. Die PE-Brücken J61-J62 (OP) und J63–J64 (UP) sollten dann offen bleiben, damit Ausgleichsströme unterbunden werden. PE an J9 (Versorgungsspannung 24V+, OV, PE) sollte in jedem Fall angeschlossen werden.

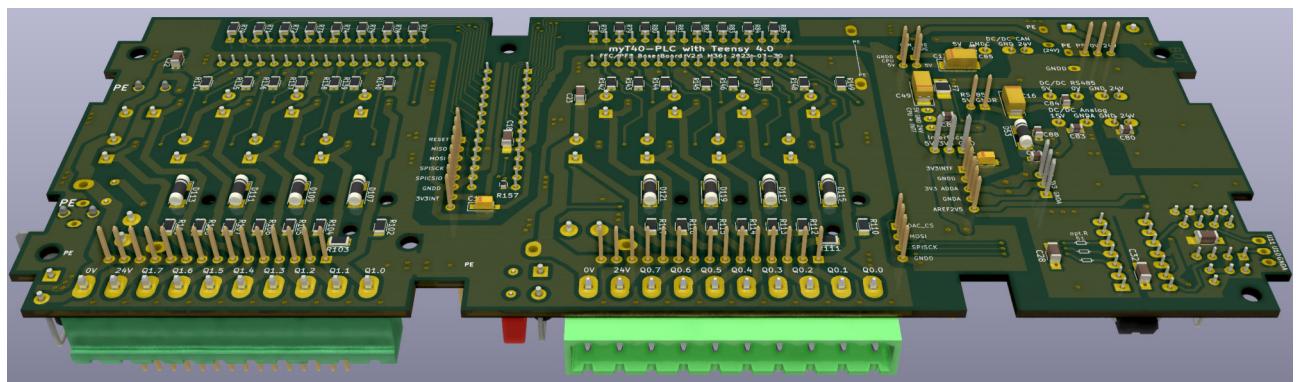


Abbildung 29: Unterplatine (UP) Unterseite

Die untere Platine ist in beiden J3- Varianten, FFC und PFS, einsetzbar.

Alle PE-Kabel, die ander Steuerung angeschlossen werden, sollten an einem zentralen PE-Sternpunkt elektrisch verbunden werden. Das gilt auch für den einseitig an PE aufzulegenden Schirm der Busleitungen an J6 und J7, falls vorhanden.

7.2 Die obere Platine – CPU Board

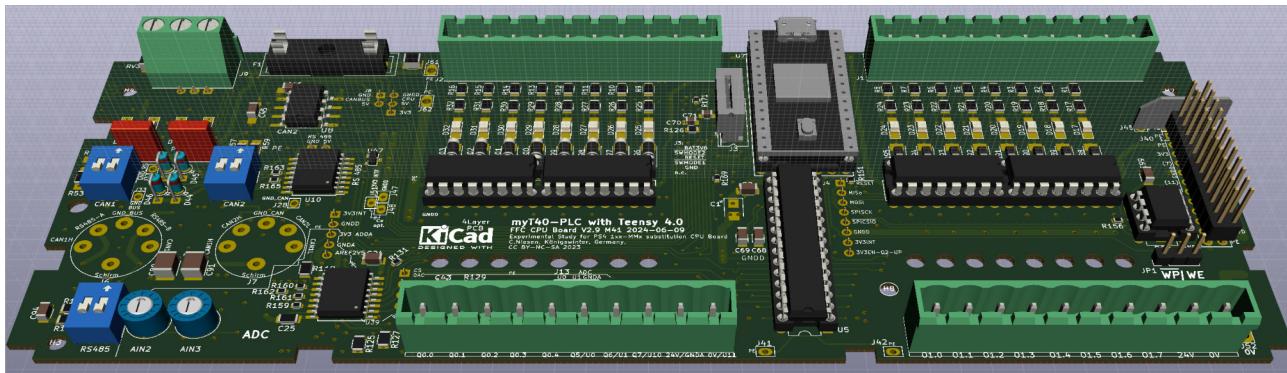


Abbildung 30: Oberplatine (OP) Oberseite

Für die Patch-Brücke von ADC-Anschlüssen von J13 auf J14 lässt sich ein Lochrasterstreifen mit 3 Bahnen und 5,08mm Raster in der Länge und 2,54mm Rasterabstand in der Breite mit 2 Pin-Headern á 3 Pins verwenden. Siehe 4.1.16, Seite 19, und „Fotos Prototyp-3“ auf Seite 39.

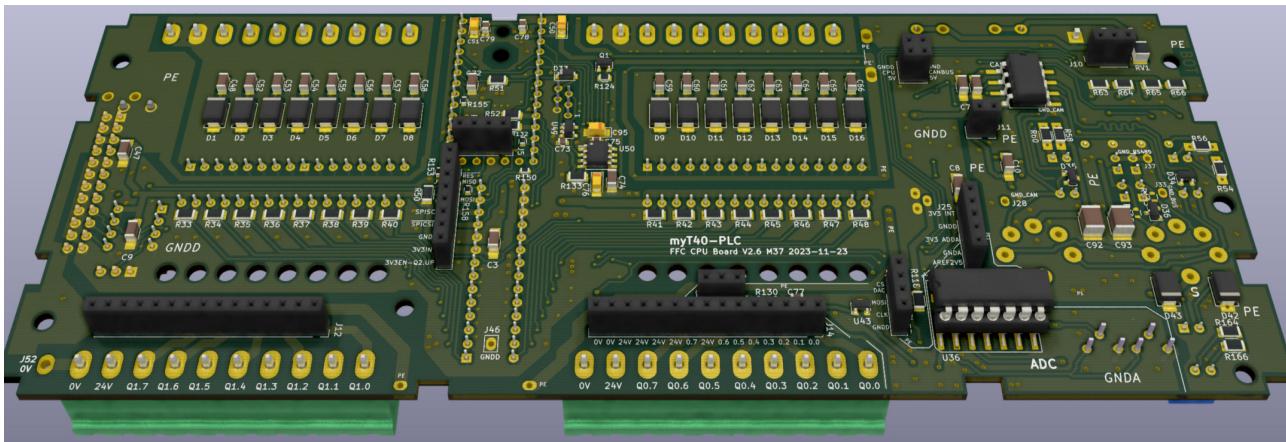


Abbildung 31: Oberplatine (OP) Unterseite

7.3 Allgemeine Informationen

Die Abmessungen aller Platinen beträgt 208mm x 80mm.

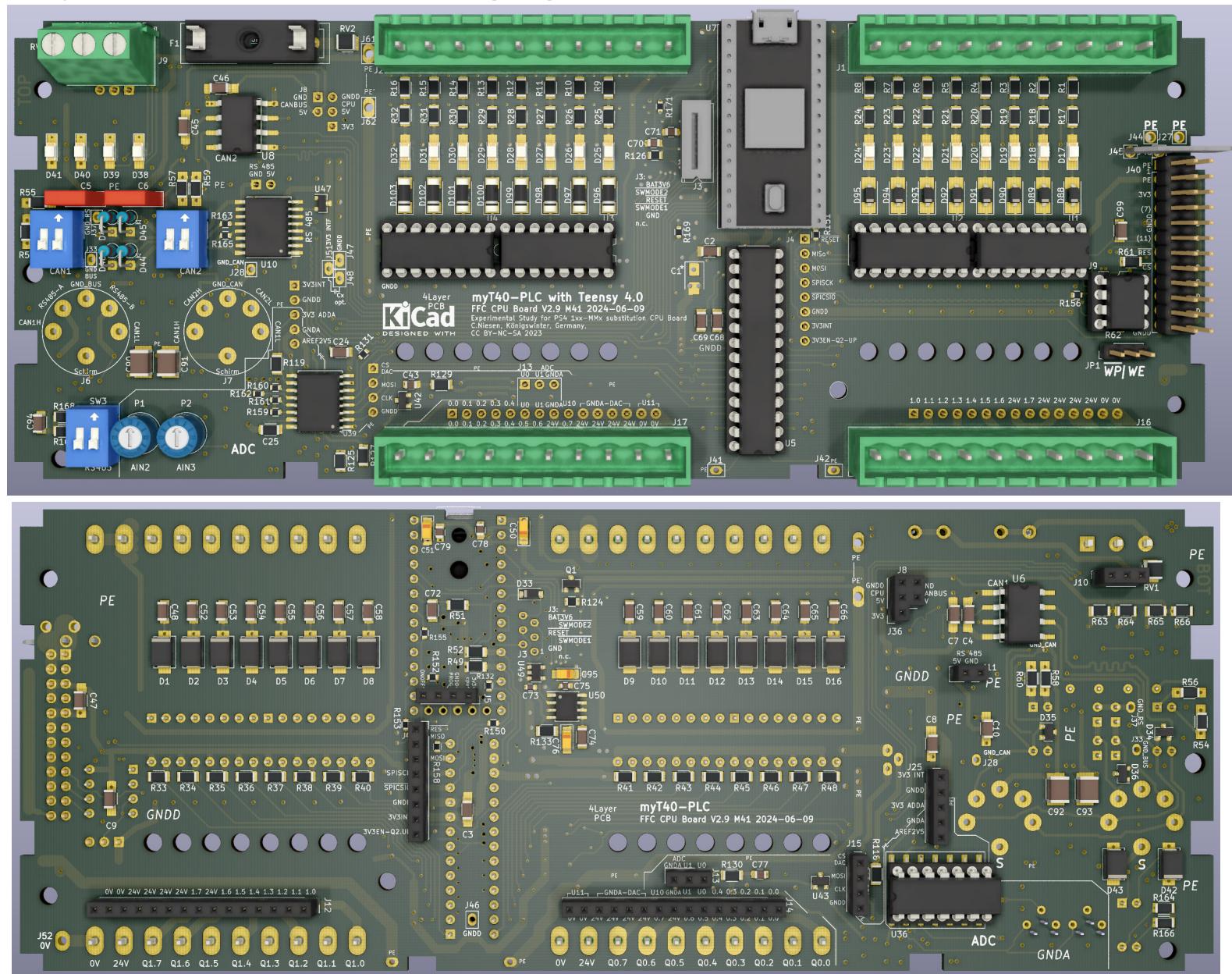
Bei der Wahl der Varianten für die Kommunikationsbausteine und Isolator-ICs genügt die langsame Variante.

Aufgrund des Routings mit vielen Vias für die SPI/RS485/CAN-Signale und deren GNDx ist bei der Verwendung von schnellen ICs auf Grund der steileren Flanken eher mit EMV-Problemen zu rechnen als mit langsameren Bausteinen. Der EMV-Effekt bei schnellen Bausteinen tritt auch bei niedrigen Takt-Frequenzen auf, wie sie hier genutzt werden.

Für größere Bandbreiten und Taktfrequenzen sind die SPI- und CAN-Signale samt ihren GNDx auf separaten Layern zu verlegen. Das wäre Teil eines zukünftigen Redesigns.

Aktuell reicht die Bandbreite aus, um in einer Millisekunde alle Eingänge zu lesen, die Daten innerhalb von Millisekunden zu verarbeiten und alle Ausgänge in einer weiteren Millisekunde zu setzen. Einen Schaltimpuls für 24V AC-“Eltakos” mit exakt 5ms Länge lässt sich interruptgesteuert problemlos erzeugen.

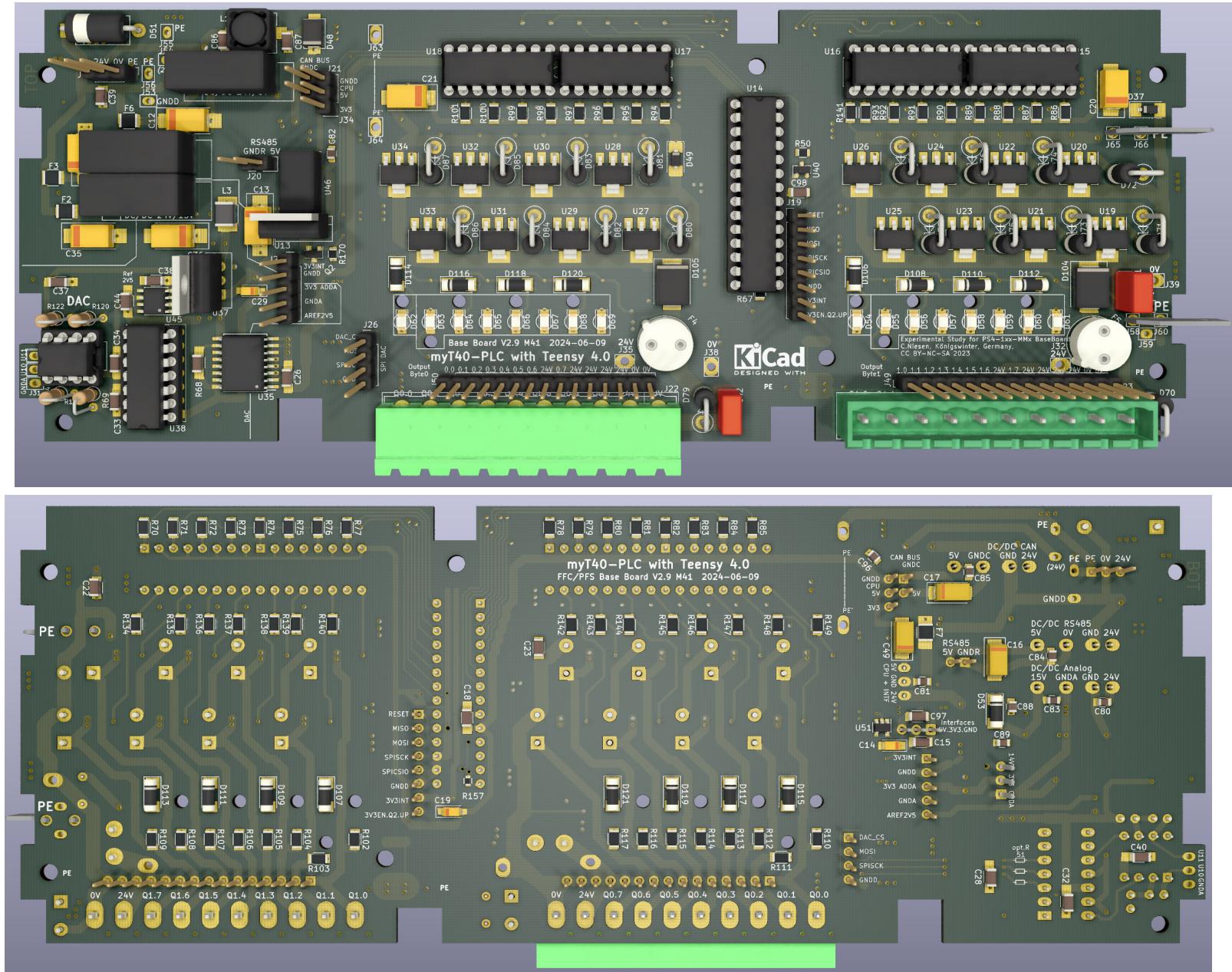
7.4 Ansicht Oberplatine Variante OP-FFC für mein Originalgehäuse V2.9 M41



7.5 Ansicht der Oberplatine Variante OP-PFS für beliebige Gehäuse V2.6 M38



7.6 Ansicht Unterplatine für FFC und PFS V2.9 M41



7.7 Fotos Prototyp-2

Die Abbildungen zeigen die Version 1.3.5 M16. Die Ausgänge sind hier zur OP noch mit steckbaren Kabeln zu verlöten.

7.7.1 Unterplatine

Deutlich zu sehen hier die Lichtleiter für die LED der UP durch die Oberplatine, die Stapelleisten, für die Versorgungsspannungen und Signalleitungen.

Den Lichtleitern werden einseitig einige ihrer Steckfüße abgeschnitten, so passen sie direkt neben die Optokoppler.

Auf der Unterseite der UP befinden sich ein paar SMD-Kondensatoren geringer Höhe (<3mm).

7.7.2 Oberplatine Oberseite

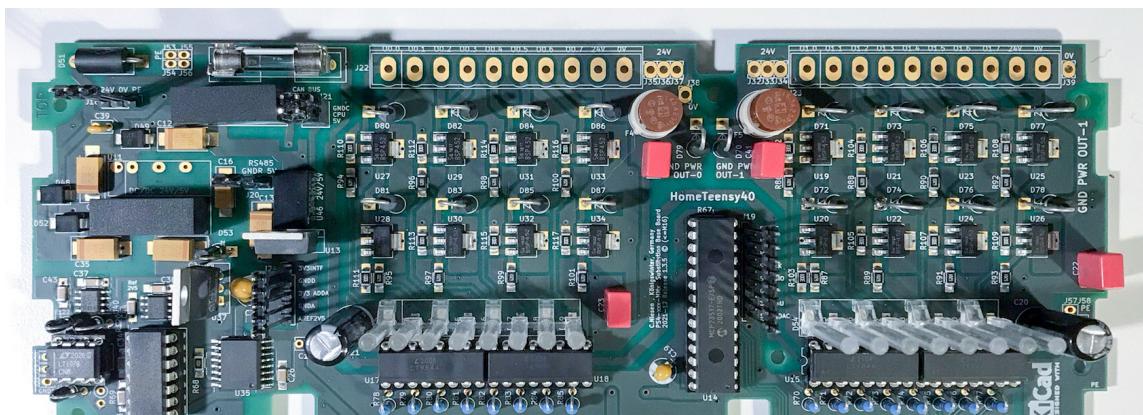
Noch unbestückt sind der Erweiterungsport, die DIN-Buchsen und die Bauteile von CAN2 und RS485.

(Hier noch die Version 1.3.5 M16 ohne FFC, nur mit 2x3 Pol PFS)

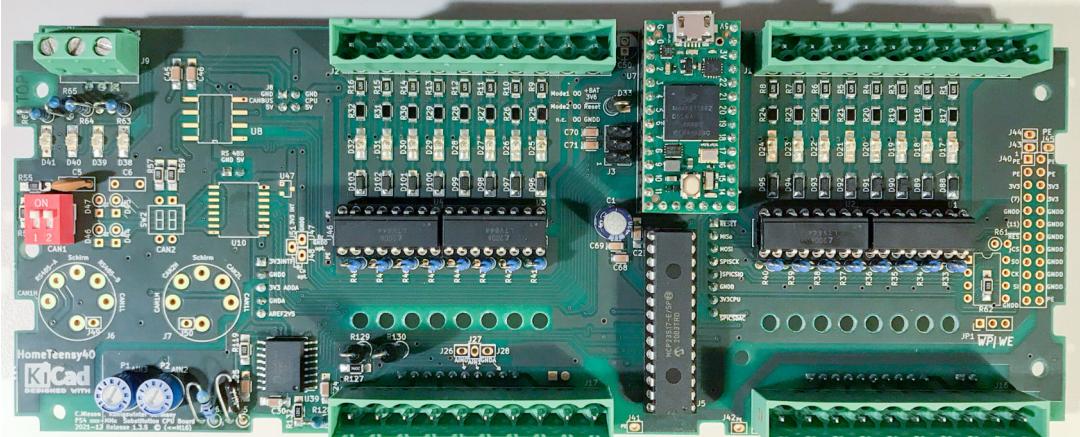
7.7.3 Oberplatine Unterseite

Hier sieht man noch ein Problem der Beta-Version-2: Der ADC (U36) auf der Unterseite der Oberplatine stößt, so wie er dort verbaut ist, an die Platinenauflage im Originalgehäuse. Im aktuellen Layout ist der ADC um 90° gedreht.

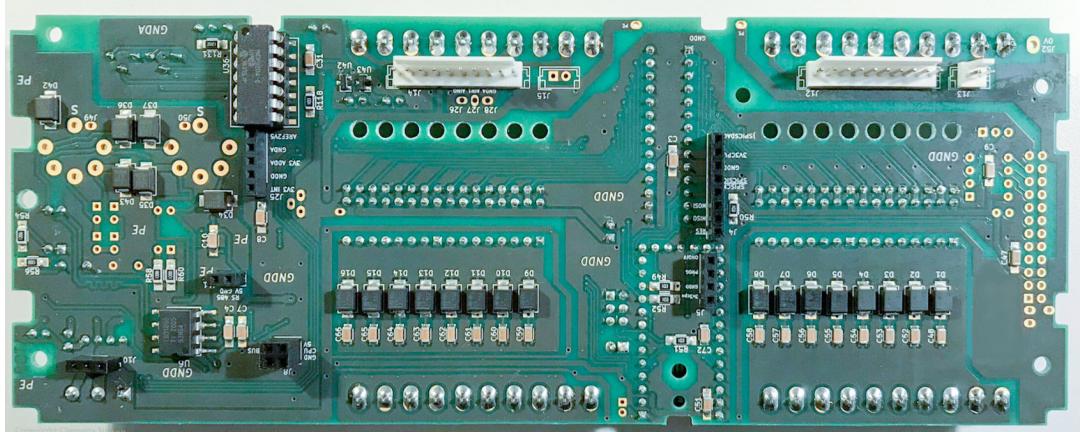
Im Prototyp-3 wurden weitere Veränderungen vorgenommen, wie z.B. Pfostenleisten statt Kabelbrücken für die Ausgänge, oder eine Kaltstartlogik.



Copyright Clemens Niesen



Copyright Clemens Niesen



7.8 Fotos Prototyp-3

Die Abbildungen zeigen die OP in Version 2.2 M31.

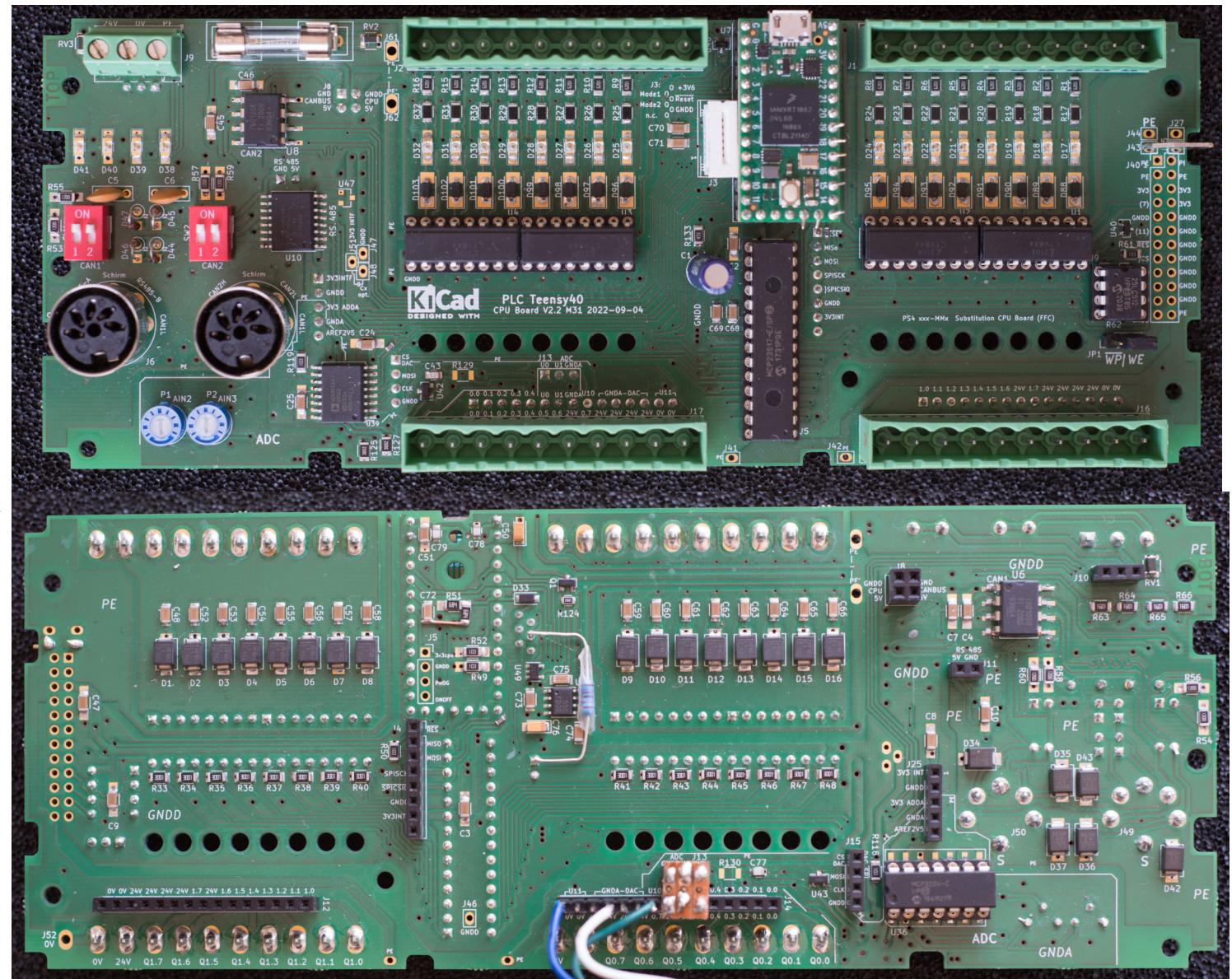
An der OP von M31 habe ich nachträglich einige Anpassungen vorgenommen:

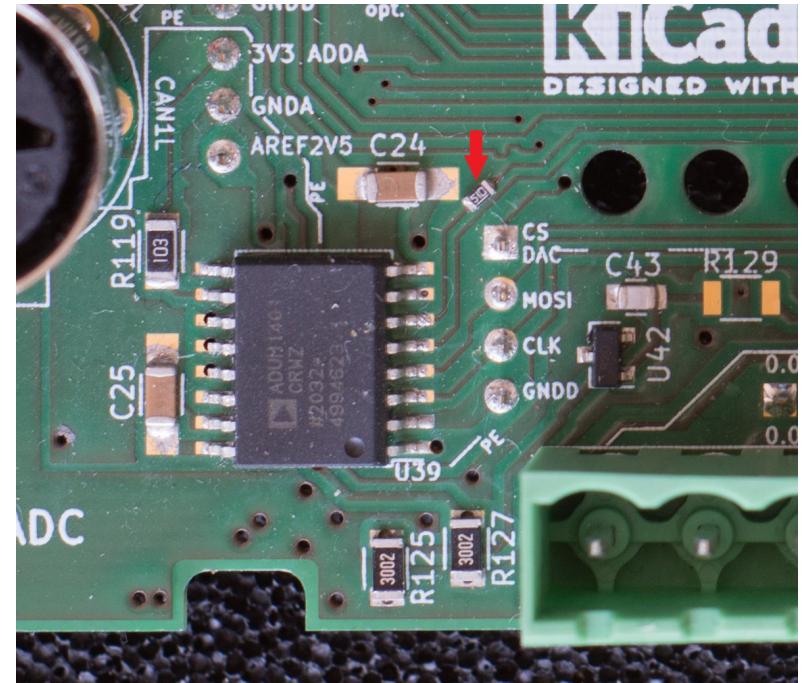
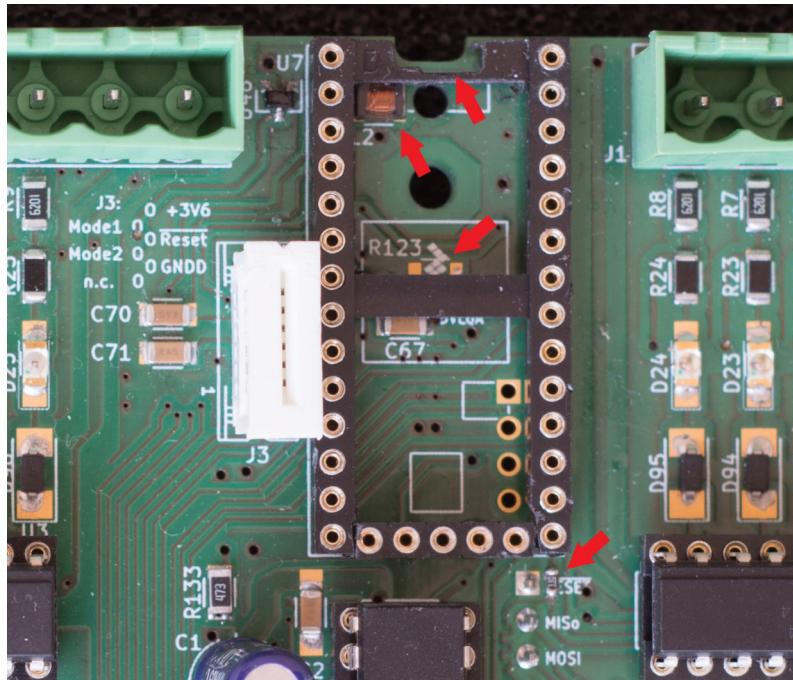
1) CPU startet nicht, weil der Teensy-Pin-5 für SW_MODE_2 erst bei laufender CPU per Software als Eingang mit PullUp initialisiert werden kann. Die Kaltstartlogik erwartet daher einen externen PullUp.

Lösung: Ein Pullup 10k Widerstand bedrahtet von SW_MODE_2 auf 3.3V_INT, s.u. nächste Seite. (Ab V2.5_M35 sind SW_MODE_1 und SW_MODE_2 am J3 getauscht und der PullUp wird durch R126/R128 erreicht.)

2) R123 wird in V2.2 M31 nicht verwendet, stattdessen von R51 gegen GNDD eingebaut. Das gewährleistet einen definierten Pegel, wenn die Batterie leer oder nicht vorhanden ist. (Ab V2.5 M35 ist das berücksichtigt.)

3) Die SPI-Leitungen, MOSI, MISO und CLK sind sehr lang und die Signale „schwingen über“. Serienwiderstände dämpfen den Flanken-Anstieg und reduzieren Oberwellen: 51Ω auf die Leitungen gesetzt bei SPI_CLK (Teensy-Pin-13), auf MISO am ADC-Pegelkonverter U39, auf MOSI an Teensy-Pin-11. Das war das Minimum. Seit dem keine Stabilitätsprobleme mehr. Ab V2.5 M35 sind alle SPI-Signale auf den Treiberseiten mit Serienwiderständen versehen. Man erkennt auf der Unterseite der Oberplatine die Patch-Brücke für die ADC-Signale, sowie die Kabel von DAC auf der Unterplatine auf die Unterseite der Oberplatine.





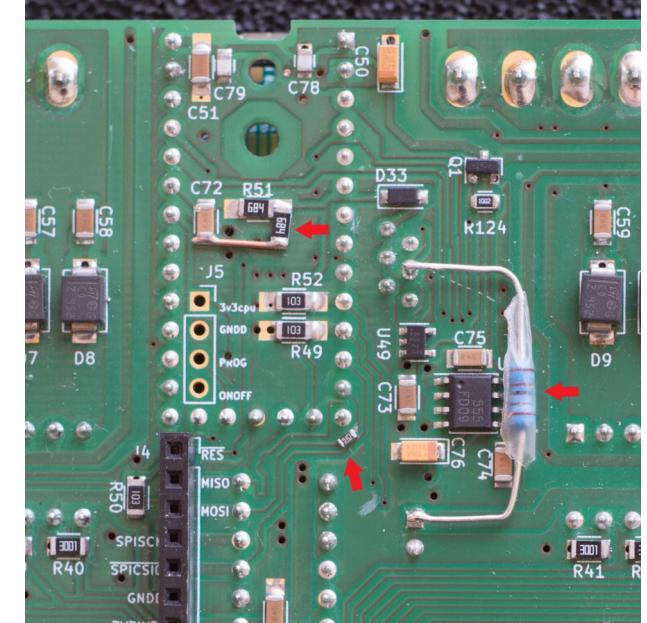
Gebaut habe ich den Prototyp-3 V2.2 M31 in der Variante mit ADC/DAC, 16 Input und 5+8 Output, inklusive 3 oranger Status-LED.

L2 sitzt unter der CPU, dafür muss die CPU-Fassung eine Aussparung bekommen. Eine weitere Aussparung ist für die Klinke der Original-Gehäuse-Oberschale nötig.

Oben sieht man den leeren Platz für R123, der seinerseits nun auf der Unterseite neben R51 sitzt. Für R129 und R130 mit 90kΩ 0,1% gibt es noch Lieferprobleme, daher sind sie hier noch unbestückt.



Hier eine Lösung für die Brücke zur Verbindung der analogen Ausgänge mit den passenden Terminals von Byte-0. Es geht aber auch eine kleine 2,54mm-Lochrasterplatine mit 3x3 Löchern und zwei 3-poligen Pin-Reihen, s.o.



7.9 Die Unterplatine (UP)

Ab der Version 2.2 wurden die Kabel für die Ausgangsbytes von UP nach OP durch Stapelleisten ersetzt.

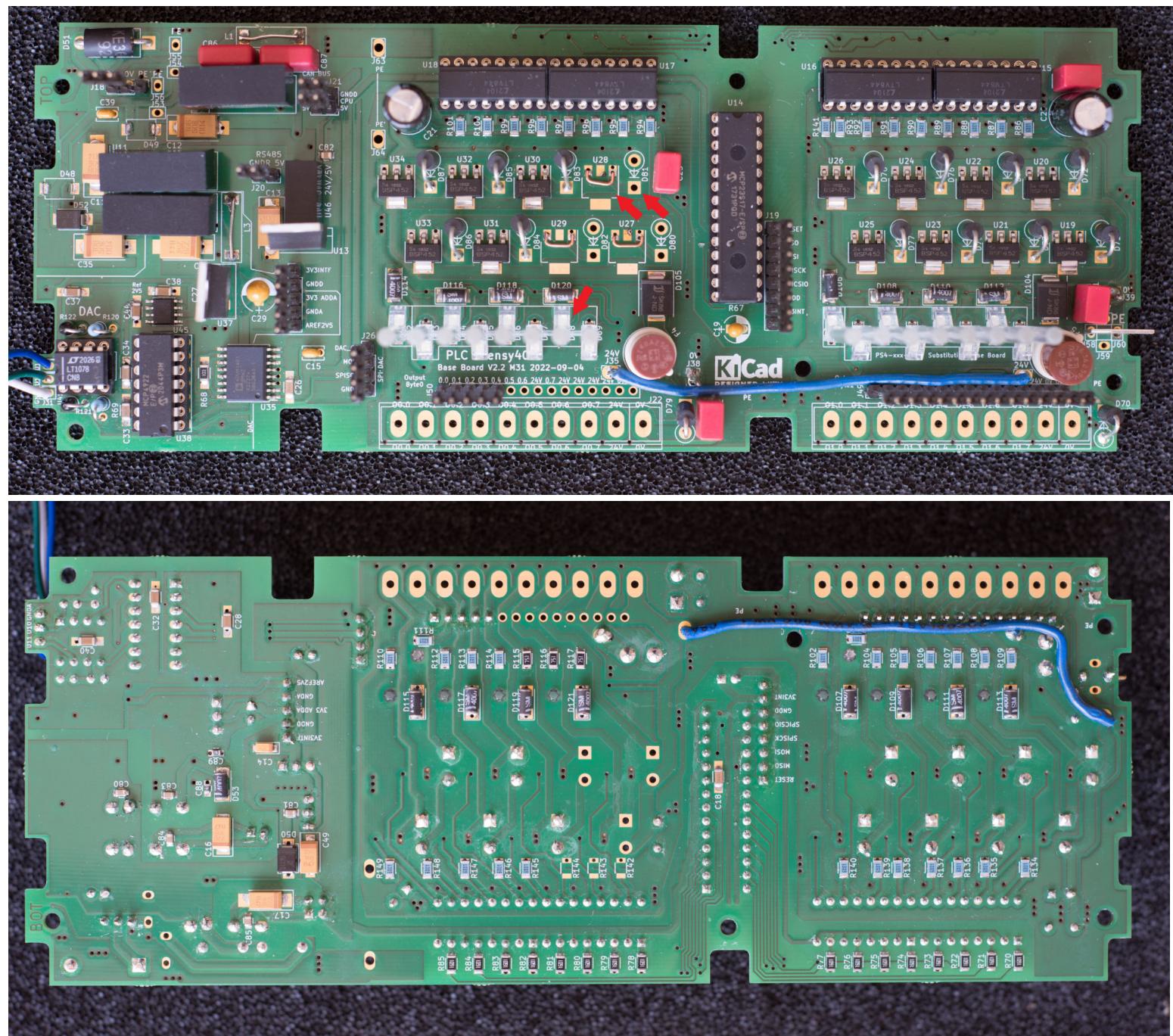
Weil die LED an der gleichen Stelle verbleiben mussten, wurden die Blöcke von Byte0 und Byte1 um 180° gedreht und vertauscht.

Die Lichtleiter behalten nun auch ihre Beine, aber einige Durchsteckfüße müssen nivelliert werden.

Die blauen Drahtbrücken auf den beiden Bildern verbinden „0V“ und „24V“ vom Ausgangsbyte-1 auf Ausgangsbyte-0. Das ist in der Variante mit bestücktem ADC/DAC für das Organalgehäuse unbedingt nötig, ohne ADC/DAC optional.

Ein weiterer Fehler war die Dimensionierung von L1 und L3, die zunächst durch Drahtbrücken ersetzt wurden.

Mit M35 sind sie durch passend dimensionierte Induktivitäten ersetzt worden.



7.10 Zusätzliche Status LEDs

Bei der Bestückung mit ADC und DAC im Originalgehäuse entfallen auf der Unterplatine die Ausgänge Bit-5,-6 und -7 im Byte-0. Daher steigen vom Byte-0 über J50 nur die Ausgänge Bit-0 bis Bit-4 mit J50 zur OP auf.

Dessen ungeachtet lassen sich die LEDs dieser drei Ausgänge Bit-5 bis -7 als Status-LED verwenden.

Ich habe orange LEDs verwendet, die bei gleicher Helligkeit einen ähnlichen Strom wie rote LEDs ziehen.

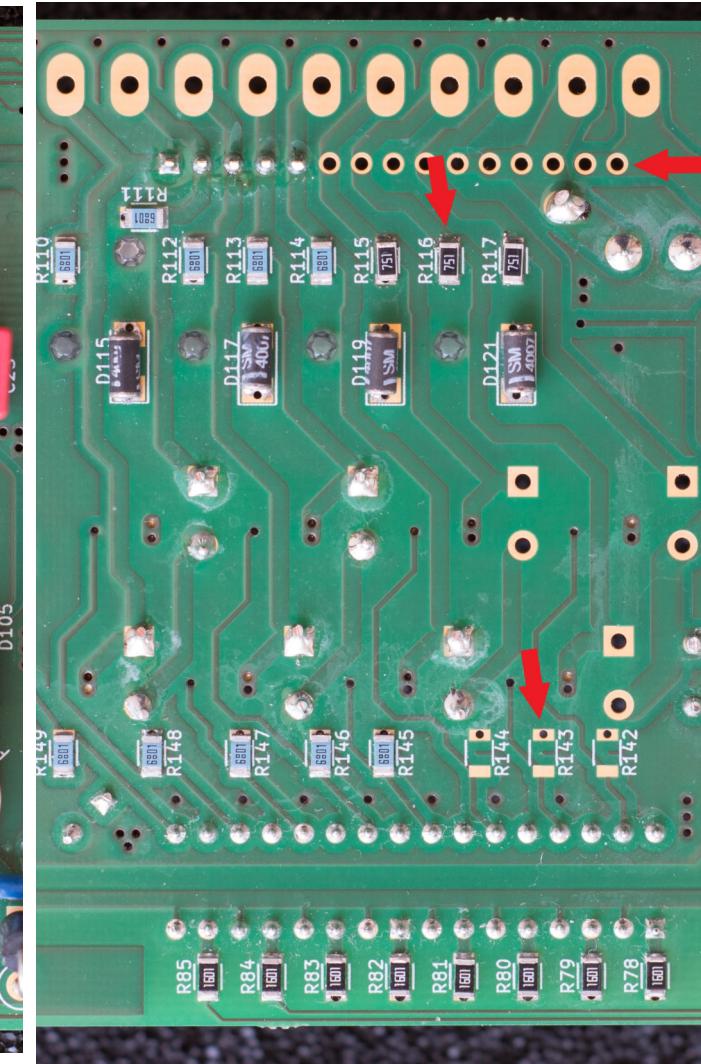
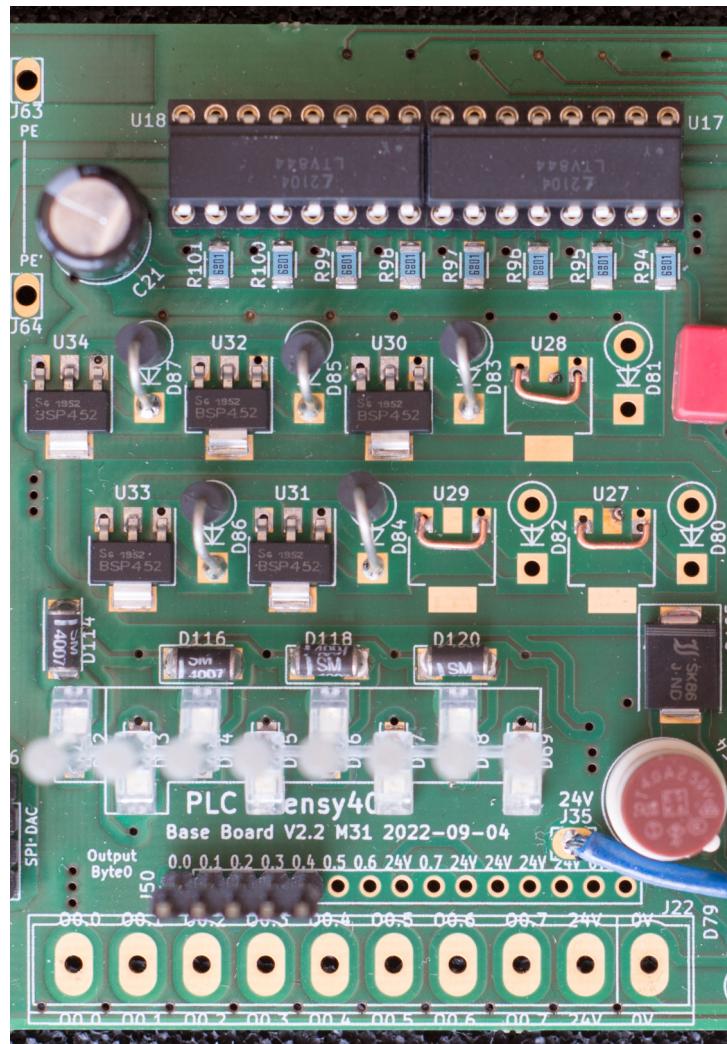
R115,R116,R117 werden zu diesem Zweck abweichend mit 750Ω bestückt.

U27,U28,U29 bleiben unbestückt und ihre Pin-1 und Pin-3 werden jeweils kurzgeschlossen.

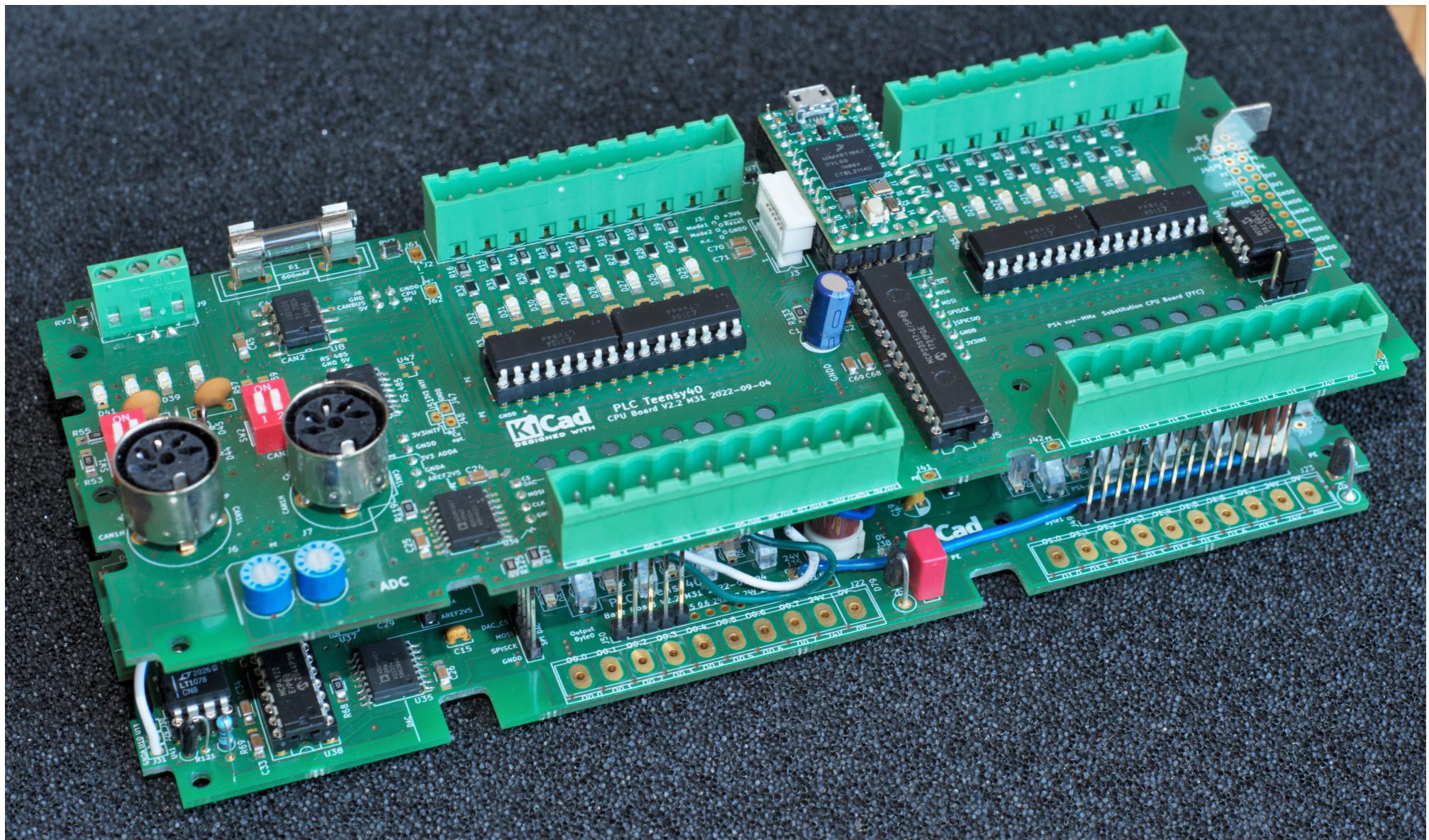
Die Bestückung von R142,R143 und R144 entfällt.

Damit erreicht man, dass die LED dieser drei sonst nicht weiter nutzbaren Ausgänge als Status-LED verwendbar sind, getrieben durch die jeweiligen Optokoppler. Es wird dabei das gemeinsame Potential OV der Ausgänge genutzt.

Es hat sich herausgestellt, dass der Prototyp-3 einen weiteren Fehler hat: Die CPU-Spannung



wird nicht sauber abgeschaltet. Nach Entfernen der 5V_CPU bleibt eine Restspannung von 2V hinter dem Spannungsregler auf dem Teensy40 erhalten. Damit funktioniert der automatische Restart bei Kaltstart-Option mit SW_MODE_2=Low nicht. Daher wurde im Prototyp-4 (final) zusätzlich die Abschaltung der Versorgungsspannung 3V3_INT für die Ein- und Ausgänge mit U51, Q2 und weiteren Bauteilen sichergestellt, siehe Prototyp-4 unten.



Die fertig zusammengesteckten Platinen V2.2 M31, Prototyp-3, bestückt mit ADC+DAC und 5 Ausgängen auf Byte-0, sowie drei Status-LED und 5 Ausgängen auf Byte-0



Abbildung 32: Prototyp-V4 V2.8 M38 mit allen weiteren Korrekturen bis M40 und lauffähigem Kaltstart , sowie einer modifizierten lokalen Erweiterung, im modifizierten Originalgehäuse

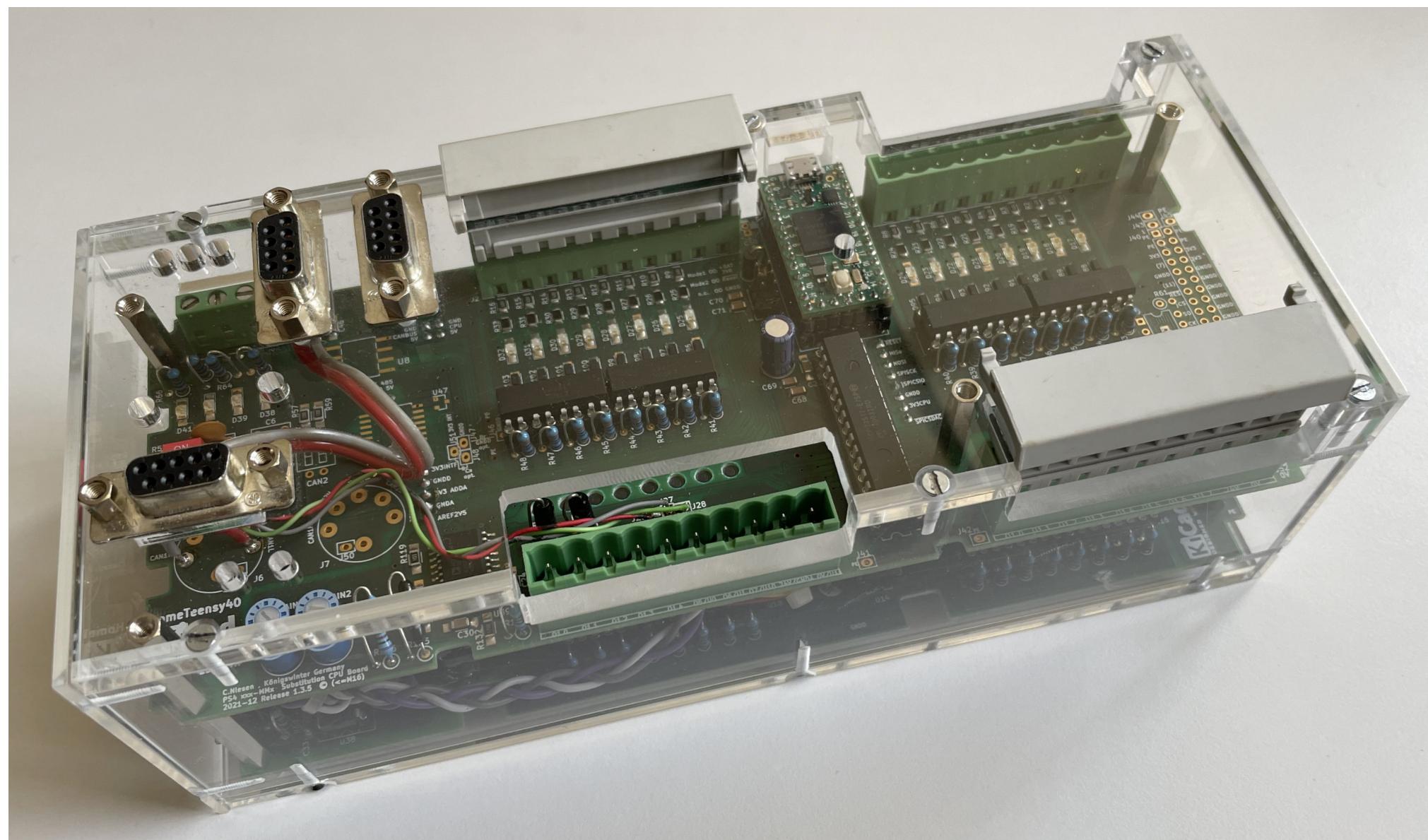


Abbildung 33: Prototyp-V2 M16 in Eigenbaugehäuse aus 5mm Plexiglas

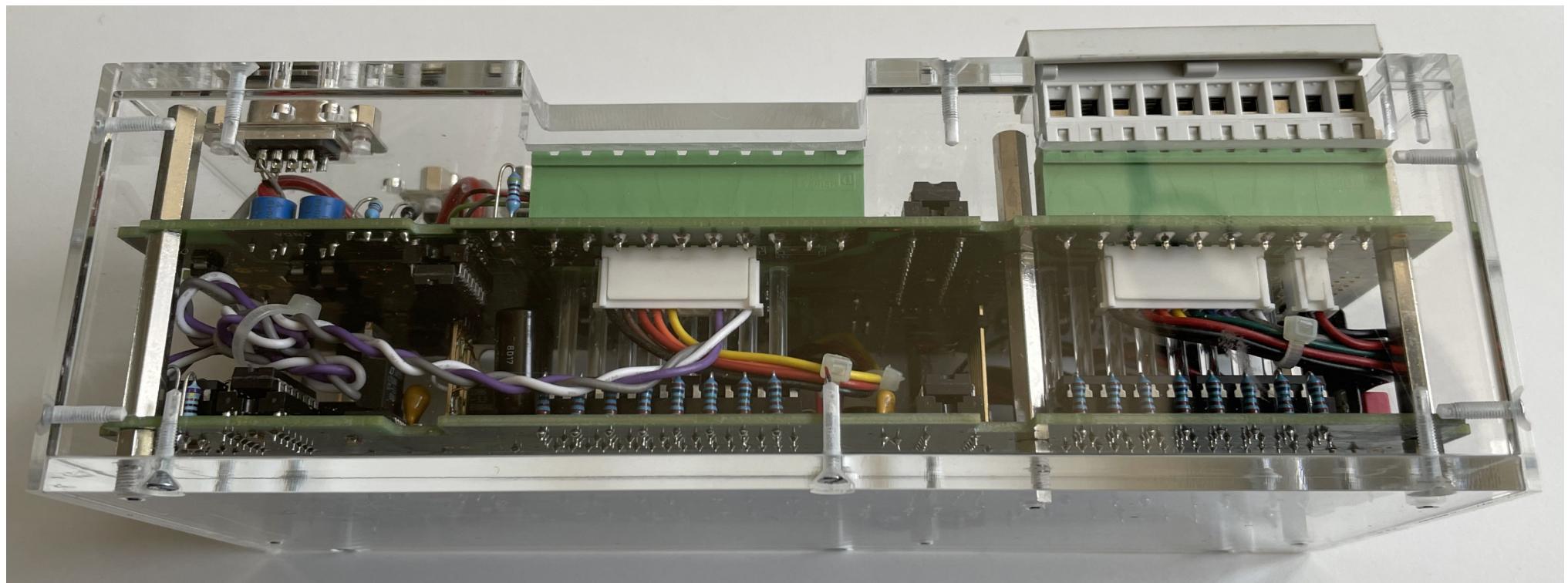


Abbildung 34: Prototyp-V2 M16, Seitenansicht

8 Varianten zur Nutzung

8.1 Verdrahtung möglicher Varianten zur Nutzung wie im Originalgehäuse, V2.6 M37/M38 u. V2.9 M40/M41, PFS/FFC

8.1.1 2x8 Ausgänge, 2x8 Eingänge, kein ADC , kein DAC

Wenn man auf die Analoge Seite verzichten kann, wird das Ausgangsterminal Byte-0 frei für alle 8 digitalen Ausgänge.

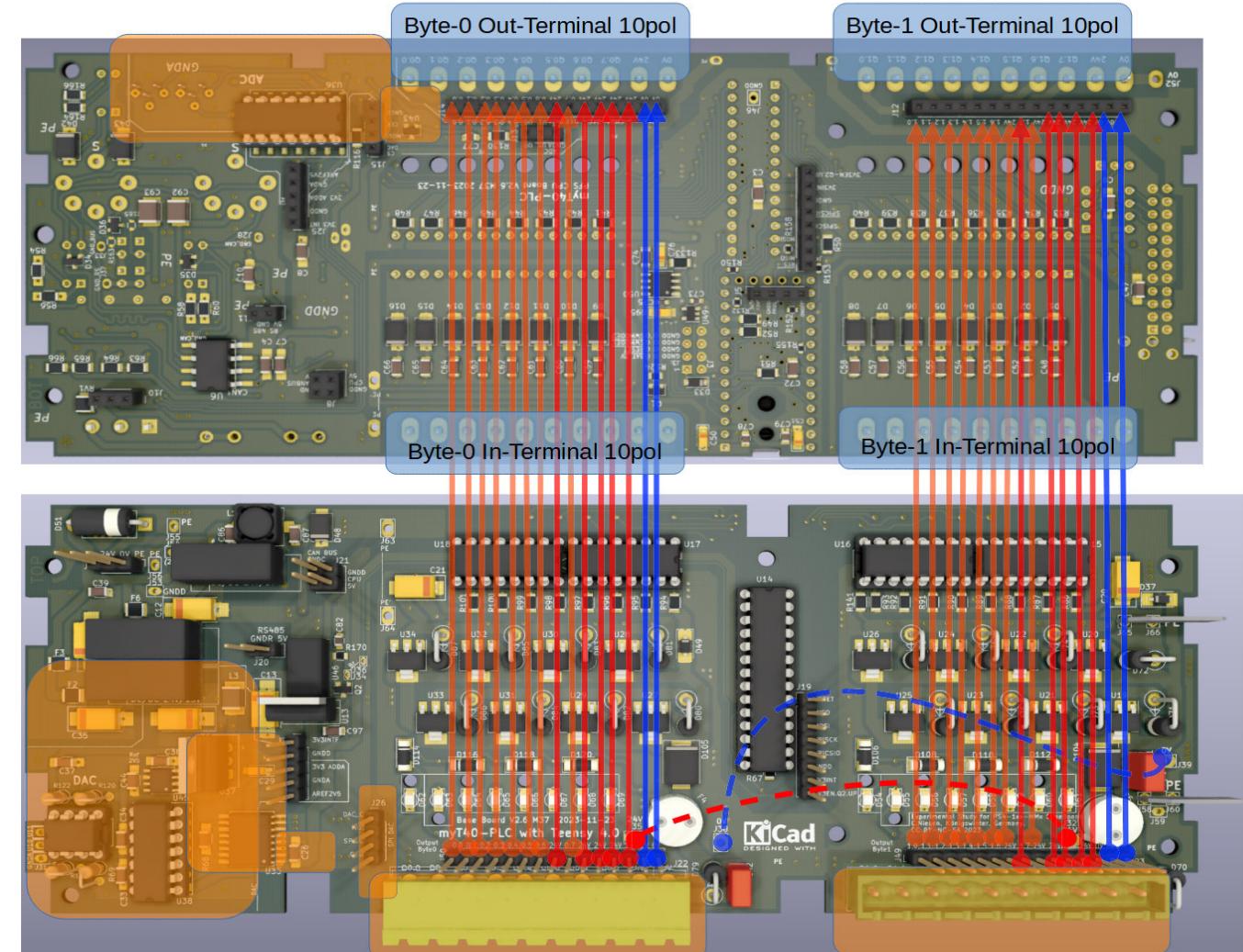
Es gibt Lötpads für die Brücken von 0V und 24V, die man bei Bedarf bestücken oder weglassen kann.

Wird die 24V Brücke eingelötet, muss auch die Brücke für 0V eingebaut werden.

Alternativ und optional kann die 0V-Brücke auch ohne die 24V Brücke verwendet werden.

Die orange markierten Bereiche zeigen die Stellen, an denen Bauteile für die analoge Sektion vorgesehen sind, sie entfallen in dieser Variante. Hier nicht zu sehen: die analoge Sektion trägt auch auf der Unterseite der Platine noch ein paar Bauteile, die ebenfalls entfallen können.

Zu beachten: In dieser Bestückung sind auf der die beiden in den runden, weißen Sockeln sitzenden Sicherungen mit jeweils 4 bis 5,6 A zu besetzen. Ohne Analog-Sektion kann die minimale Versorgungsspannung an J9 von 18V auf 7-9V abgesenkt werden.



OP Unterseite

UP Oberseite

8.1.2 5+8 Ausgänge, 2x8 Eingänge, mit ADC , mit DAC

Diese Variante kommt dem Original am nächsten, stellt zusätzlich einen zweiten DAC-Ausgang bereit.

Hier entfallen die Anschlüsse am Byte-0 „Q0.5“, „Q0.6“, „Q0.7“, „24V“ und „0V“.

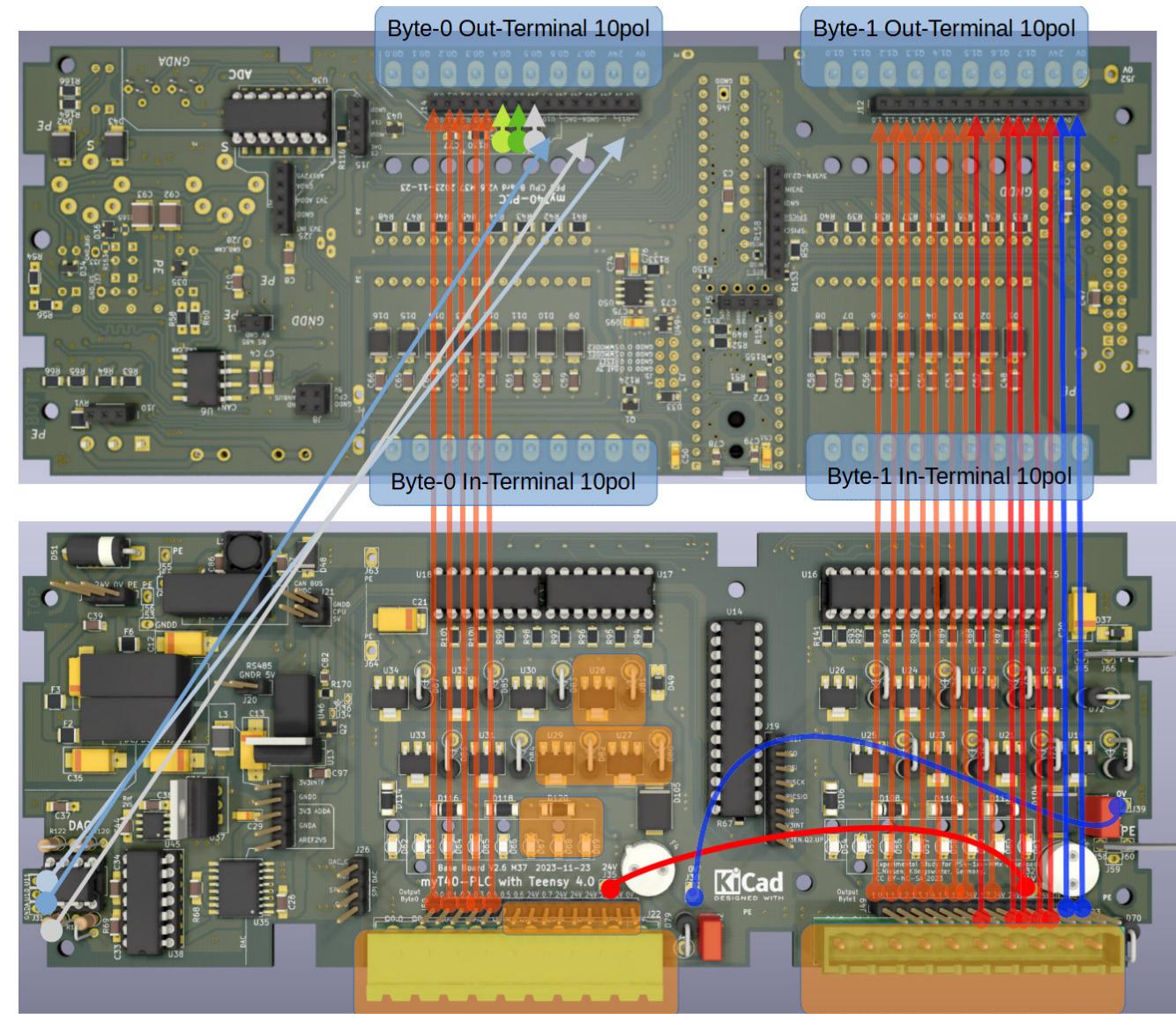
Daher entfällt die Bestückung der betreffenden Ausgänge.

Wenn man sie dennoch bestückt, könnten die Leuchtdioden dieser Ausgänge noch als Status-Meldungen genutzt werden, s.o.

Die Stapelleisten werden für Byte-0 nur 5-polig von UP zu OP eingebaut. ADC wird im Raster 2,54/5,08 verbunden, DAC wird per einseitig über PE abgeschirmtem Kabel z.B. per Stecker auf die Pinheader-Buchsen der Unterseite der OP gesteckt.

Zu beachten: in dieser Bestückung sind die auf den beiden weißen Sockeln sitzenden Sicherungen unterschiedlich zu besetzen: Byte-0 mit 2 bis 4A, Byte-1 mit 4 bis 5,6A.

Beide Brücken für „0V“ und „24V“ müssen in dieser Variante verlegt werden, damit entfällt in dieser Variante die Potentialtrennung von Ausgangsbyte-0 und Ausgangsbyte-1.



OP Unterseite

UP Oberseite

8.2 Verdrahtung möglicher Varianten zur Nutzung in einem beliebigen Gehäuse , V2.6 M37/M38 PFS

8.2.1 OP für ADC und DAC auf 5-Pol Terminal, 2x8 In auf OP + 2x8 Out auf UP

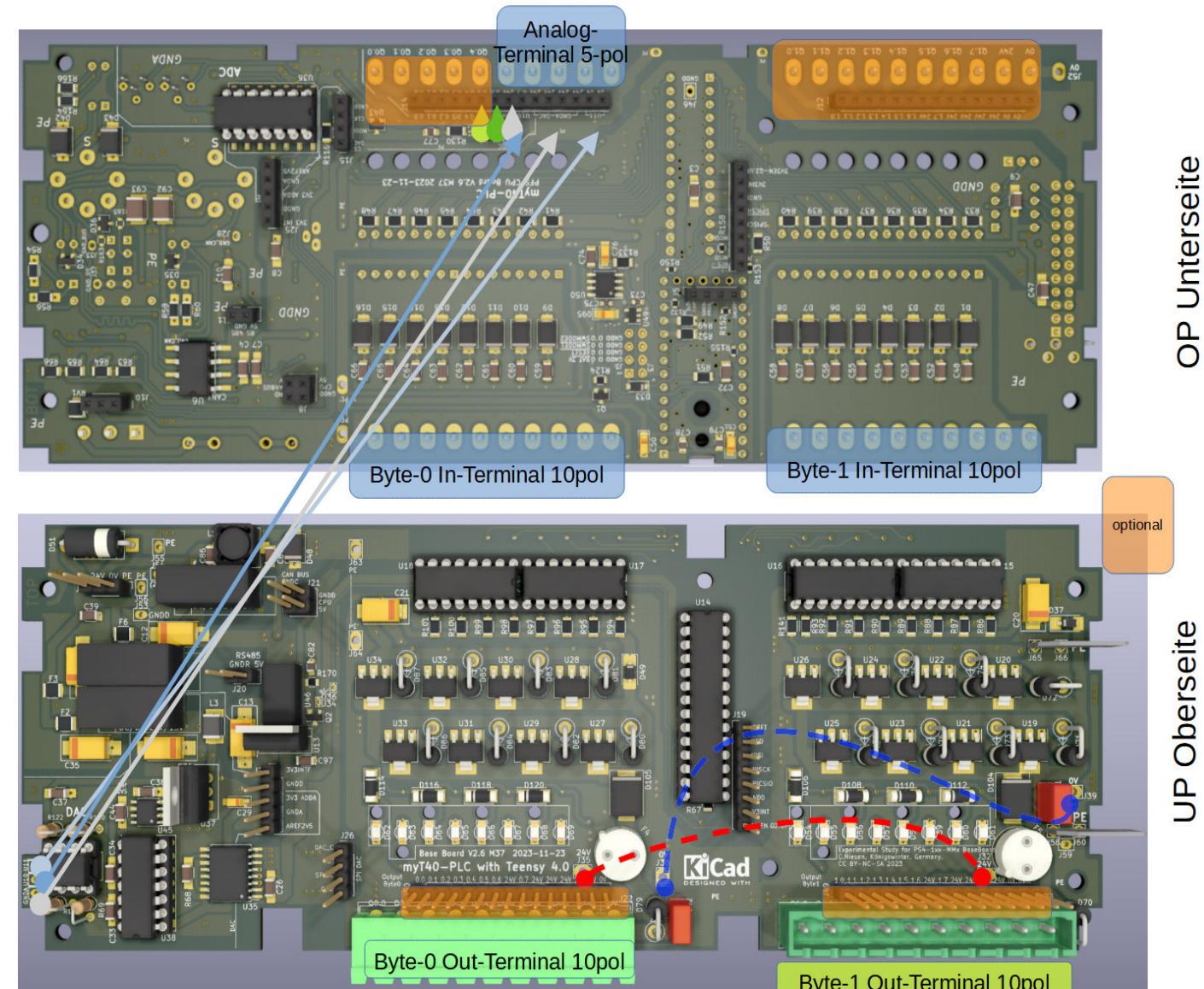
Der Einsatz in einem beliebigen Gehäuse erlaubt nicht nur alle Ein- und Ausgänge, digital und analog zu verwenden, sondern auch mit der Verwendung der Variante OP-PFS Jumper für alle 4 Kombinationen von SW_MODE_x zu nutzen. Ferner wird man von der Verwendung der DIN-Buchsen befreit und kann für CAN und RS-485 die üblicherweise zu verwendenden Sub-D-Verbinder nutzen.

Auf der Unterplatine können Terminals eingelötet werden, welches im rechten Winkel zur Platine passende Stecker am Gehäuse zugänglich machen. Siehe Schaltplan.

Da meine ersten beiden Prototypen noch nicht in das Originalgehäuse passen, habe ich Gehäuse aus „Plexiglas GS“- Platten angefertigt, Boden-, Ober- und die langen Seitenteile aus 4mm Material, die kleinen Seitenteile benötigen eine Dicke, die die Gesamtbreite des Originals nicht überschreitet, dann passen die Steuerungen auch immer noch in eine Unterverteilung auf die Automatenschiene.

Beide Sicherungen mit 4 bis 5,6A.

Die Brücken sind optional.

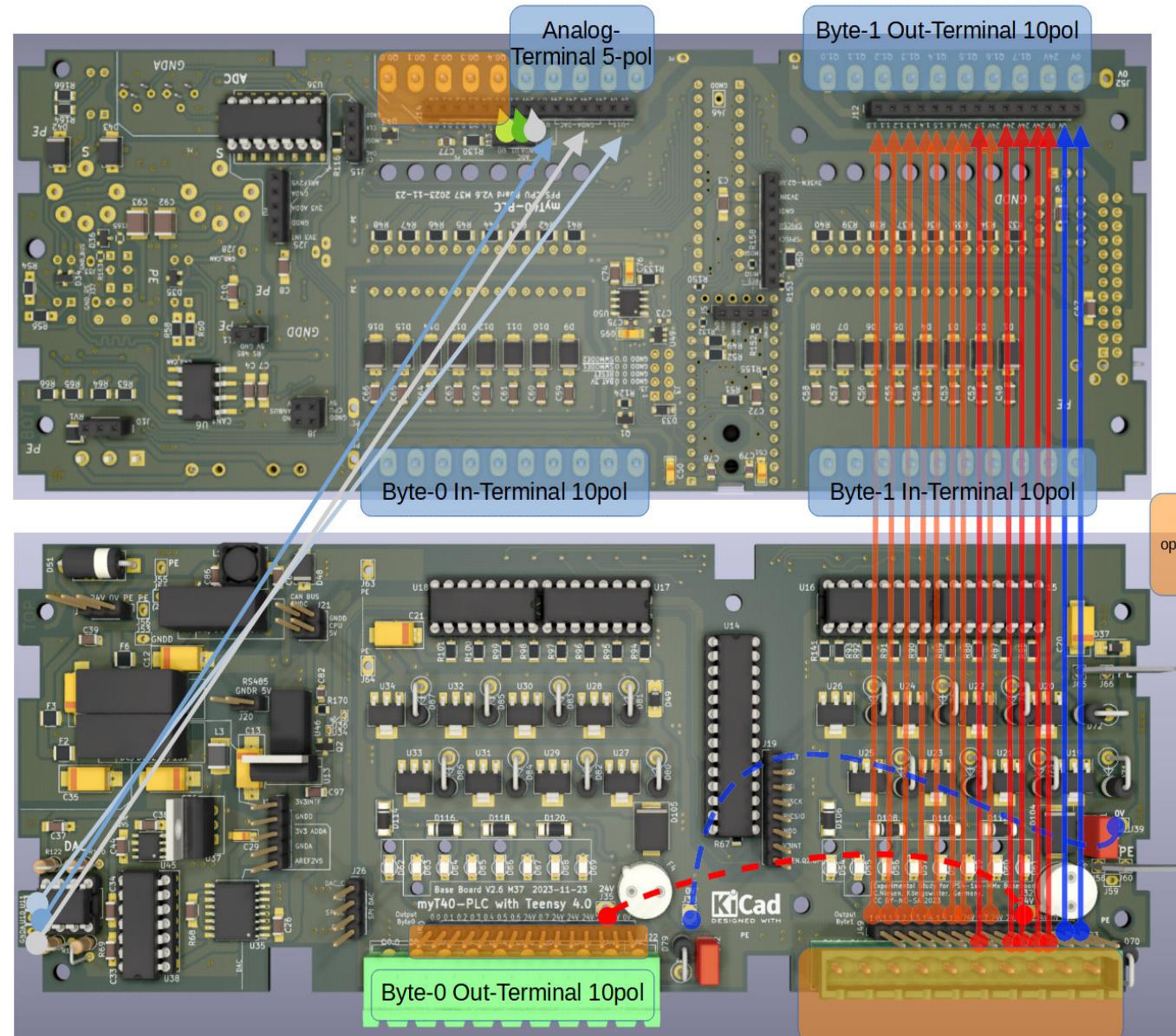


8.2.2 ADC und DAC auf 5-Pol Terminal, 2x8 In und 8 Out auf OP, 8 Out auf UP

Hier eine Mischbestückung für beliebige Gehäuse, die nur das Byte-0 auf direkten Zugang von der UP auf einen Wickelstecker legt, während das Byte-1 auf der OP zugänglich ist.

Beide Sicherungen mit 4 bis 5,6A.

Brücken optional.



OP Unterseite

UP Oberseite

8.3 PE Anschluss V2.6 M37/38 PFS

Das Original-Gehäuse sieht für OP und UP je einen PE-Anschluss über eine eingelötete Fahne (Flachstecker 6,3mm) an der rechten Schmalseite vor. Das Originalgehäuse stellt an diesen Stellen eine Verbindung nach außen zur geerdeten Automaten-Schiene her.

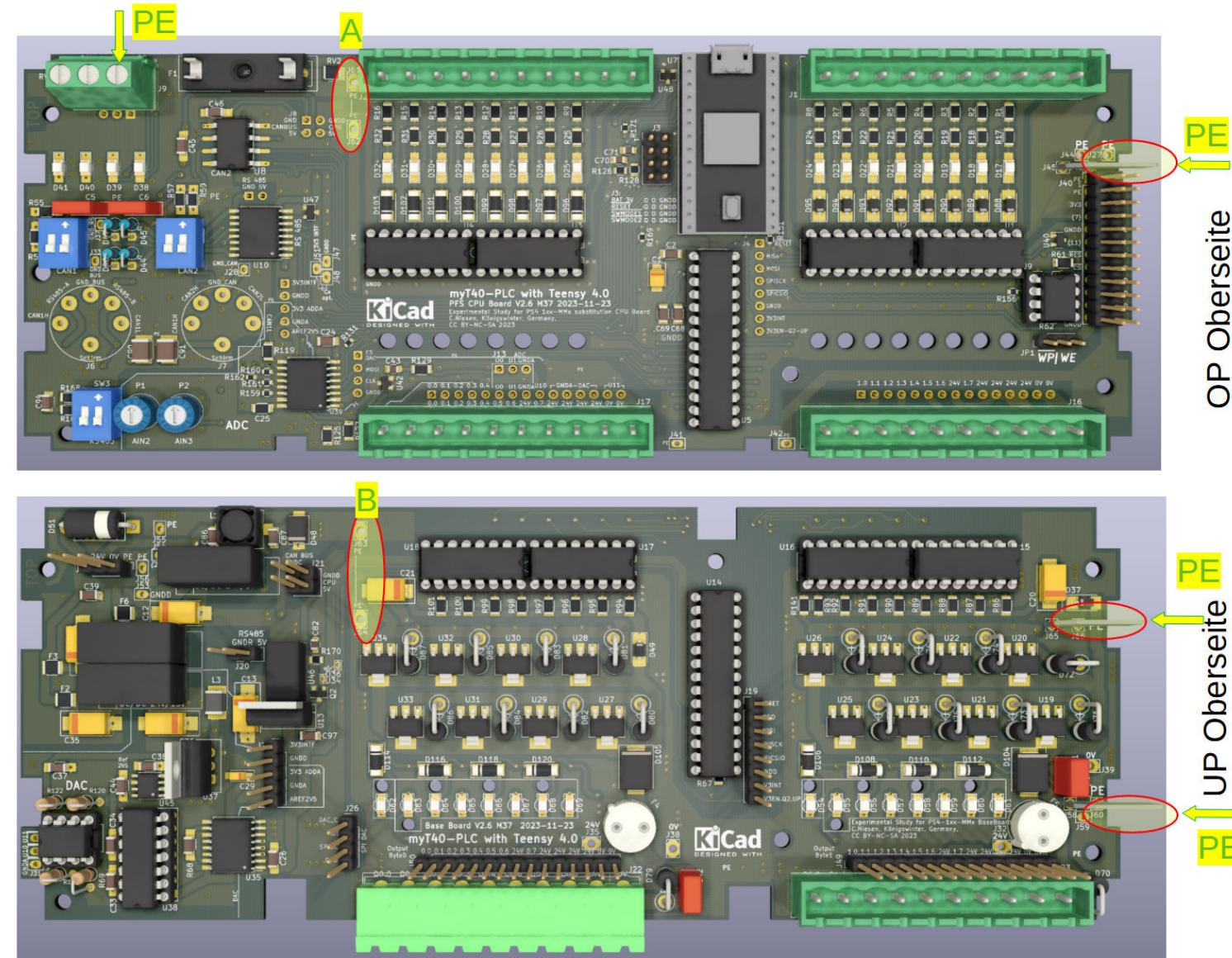
Dort abzuleitender Strom soll nicht über die gesamte Platine fließen. Daher ist am Lötpad J61(OP) und J63(UP) der PE der Spannungsversorgung unterbrochen.

Beim Einbau in ein beliebiges Gehäuse muss darauf geachtet werden, entweder den ungekürzten Flachstecker passend mit PE zu verbinden, oder diese PE-Brücken A (J61-J62) und B (J63-J64) mit einer Kabelbrücke 1mm² zu schließen.

Die beiden Flachstecker auf OP und UP bieten allerdings besseren Kontakt zu PE.

Daher ist die Empfehlung, die Brücke A und B nicht zu setzen und den PE-Anschluss J9, sowie die Flachstecker zu nutzen.

Ab Version V2.5 M35 wurde die Position der Flachstecker für PE optimiert.
Auf der OP+UP gibt es nun eine Einbauoption der PE-Flachstecker-Fahne, die einen ungekürzten Einbau in das Originalgehäuse erlaubt.



9 Stücklisten

9.1 myT40-PLC Bauteile Gesamtliste, Variante PFS, Vollbestückung

Version 2.6 M38 17.01.2024

| Reference | # | Value | Footprint | Datasheet | Bezug | Typ |
|------------------------|----|---------------------|--|--|--|---------------------------------------|
| C1 | 1 | optional evt 1μF | Capacitors_Tantalum_SM D:CP_Tantalum_Case- B_EIA-3528-21_Wave | ~ | | optional evt 1μF |
| C13 C12 C11 C35 | 4 | 10μ 50V | Capacitors_Tantalum_SM D:CP_Tantalum_Case- D_EIA-7343-31_Hand | https://www.reichelt.de/smd-tantal-10-f-50v-125-c-t491d-10u-50-p206482.html? &trstct=pol_0&nbc=1 | https://www.reichelt.de/smd-tantal-10-f-50v-125-c-t491d-10u-50-p206482.html? &trstct=pol_0&nbc=1 | T491D 10U 50 SMD-Tantal, 10μF, 50V |
| C14 | 1 | 22μ 6V3 | Capacitors_Tantalum_SM D:CP_Tantalum_Case- A_EIA-3216-18_Refloor | https://www.reichelt.de/smd-tantal-22-f-6-3v-105-c-t520-22u-6-3-p206543.html? &trstct=pol_9&nbc=1 | https://www.reichelt.de/smd-tantal-22-f-6-3v-105-c-t520-22u-6-3-p206543.html? &trstct=pol_1&nbc=1 | T491D 22U 35 SMD-Tantal, 22μF, 6V3 |
| C15 C39 | 2 | 100n 50V | Capacitors_SMD:C_1206 | | https://www.reichelt.de/vielschicht-kerko-100nf-50v-125-c-kem-x7r1206b100n-p207152.html? &trstct=pol_1&nbc=1 | 100n |
| C17 C49 C16 | 3 | 22μ 10V | Capacitors_Tantalum_SM D:CP_Tantalum_Case- C_EIA-6032-28_Refloor | https://www.reichelt.de/smd-tantal-22-f-10v-125-c-t491c-22u-10-p206472.html? &trstct=pol_0&nbc=1 | https://www.reichelt.de/smd-tantal-22-f-10v-125-c-t491c-22u-10-p206472.html? &trstct=pol_0&nbc=1 | T491C 22U 10 SMD-Tantal, 22μF, 10V |
| C19 | 1 | 2μ2 16V | Capacitors_Tantalum_SM D:CP_Tantalum_Case- A_EIA-3216-18_Wave | https://cdn-reichelt.de/documents/datenblatt/B300/KEM_T494_DB-EN.pdf | https://www.reichelt.de/smd-tantal-2-2-f-16v-125-c-t494a-2-2u-16-p206498.html? &trstct=pol_0&nbc=1 | Tantal 2μ2 16V |
| C2 C25 C24 C48 C52 C53 | 30 | 100n | Capacitors_SMD:C_1206 | ~ | https://www.reichelt.de/vielschicht-kerko-100nf-50v-125-c-kem-x7r1206b100n-p207152.html? &trstct=pol_1&nbc=1 | 100n |
| C54 C55 C56 C57 C58 | | | | | | |
| C59 C60 C61 C62 C63 | | | | | | |
| C64 C65 C66 C69 C68 | | | | | | |
| C67 C72 C99 C23 C22 | | | | | | |
| C87 C86 C97 C98 | | | | | | |
| C20 C21 | 2 | 2μ2 50V | Capacitors_Tantalum_SM D:CP_Tantalum_Case- D_EIA-7343-31_Wave | | https://www.reichelt.de/smd-tantal-kondensator-2-2-f-50-v-taj-7343-2-2-50-p167031.html? &trstct=pol_3&nbc=1 | 2μ2 50V |

| Reference | # Value | Footprint | Datasheet | Bezug | Typ |
|-------------|-------------|---|---|---|---|
| C29 | 1 10µ 10V | Capacitors_Tantalum_SM ~ D:CP_Tantalum_Case- A_EIA-3216-18_Wave | | https://www.reichelt.de/smd-tantal-kondensator-10-f-10v-tps-3216-10-10-p167046.html?&trstct=pol_1&nbc=1 | 10µF 10V |
| C36 | 1 22µ 25V | Capacitors_Tantalum_SM D:CP_Tantalum_Case- D_EIA-7343-31_Hand | https://www.reichelt.de/smd-tantal-22-f-25v-125-c-t494d-22u-25-p206522.html?&trstct=pol_0&nbc=1 | https://www.reichelt.de/smd-tantal-22-f-25v-125-c-t495d-22u-25-p206534.html?&trstct=pol_1&nbc=1 | T494D 22U 25 SMD-Tantal, 22µF, 25V |
| C42 C41 | 2 100n | Capacitors_THT:C_Rect_L7 .0mm_W2.5mm_P5.00mm | | https://www.reichelt.de/folienkondensator-100nf-250v-rm5-mks2-250-100n-p172708.html?&trstct=pol_1&nbc=1 | MKS2-250 100N |
| C43 C77 | 2 100p | Capacitors_SMD:C_0805 ~ | | https://www.reichelt.de/vielschicht-kerko-100pf-50v-125-c-kem-c0g0805-100p-p207035.html?&trstct=pol_1&nbc=1 | 100n 50V 0805 |
| C46 C45 | 2 100n 100V | Capacitors_SMD:C_1206_ HandSoldering | | https://www.reichelt.de/vielschicht-kerko-100nf-100v-125-c-kem-x7r1206a100n-p207151.html?&trstct=pol_1&nbc=1 | 100n |
| C50 C51 | 2 4µ7 16V | Capacitors_Tantalum_SM D:CP_Tantalum_Case- A_EIA-3216-18_Reflow | https://www.reichelt.de/index.html?ACTION=7&LA=3&OPEN=0&INDEX=0&FILENAME=B300%2FKEM_T494_DB-EN.pdf | https://www.reichelt.de/smd-tantal-4-7-f-16v-125-c-t494a-4-7u-16-p206500.html?&trstct=pol_0&nbc=1 | T494A 4,7U 16 SMD-Tantal, 4,7µF, 16V, 125°C |
| C6 C5 | 2 4n7 | Capacitors_THT:C_Rect_L7 .0mm_W2.5mm_P5.00mm | https://www.reichelt.de/keramik-kondensator-500v-4-7n-kerko-500-4-7n-p9340.html?&trstct=pol_1&nbc=1 | https://www.reichelt.de/keramik-kondensator-500v-4-7n-kerko-500-4-7n-p9340.html?&trstct=pol_1&nbc=1 | 4n7 |
| C70 C71 C96 | 3 100n | Capacitors_SMD:C_0805 | https://www.reichelt.de/index.html?ACTION=7&LA=3&OPEN=0&INDEX=0&FILENAME=B300%2FKEM_C0XXX_X7R_DB-EN.pdf | https://www.reichelt.de/vielschicht-kerko-100nf-50v-125-c-kem-x7r0805-100n-p207073.html?&trstct=pol_1&nbc=1 | KEM COG0805 100P Vielschicht-Kerko, 100pF, 50V, 125°C |
| C73 C75 | 2 100n | Capacitors_SMD:C_0603 ~ | | https://www.reichelt.de/vielschicht-kerko-100nf-50v-125-c-kem-x7r1206b100n-p207152.html?&trstct=pol_1&nbc=1 | 100n |
| C74 | 1 10n | Capacitors_SMD:C_1206 ~ | | https://www.reichelt.de/vielschicht-kerko-1206-10-nf-10-x7r-50-v-125-c-kem-x7r1206b10n-p207144.html?&trstct=pol_3&nbc=1 | 10n |
| C76 C95 | 2 10u 10V | Capacitors_Tantalum_SM D:CP_Tantalum_Case- | https://www.reichelt.de/index.html?ACTION=7&LA=3&OPEN=0&INDEX=0&FILENAME=B300%2FKEM_T494_DB-EN.pdf | https://www.reichelt.de/smd-tantal-kondensator-10-f-10v-tps-3216-10-10-p167046.html?&trstct=pol_1&nbc=1 | 10u 10V, TPS 3216 10/10 |

| Reference | # Value | Footprint | Datasheet | Bezug | Typ |
|--|-----------------|-------------------------------------|---|---|--|
| | | A_EIA-3216-18_Reflow | ENAME=A900%2FAVX_TPS_DS.pdf | &trstct=pol_0&nbc=1 | |
| C78 C79 | 2 2,2pF | Capacitors_SMD:C_0805 | ~ | https://www.reichelt.de/smd-vielschicht-0805-2-2-pf-cog--0-25pf-50v-125-c-npo-g0805-2-2p-p13515.html?&trstct=pol_2&nbc=1 | 2p2 |
| C82 C81 C83 C85 C80 C84 C88 C89 | 8 100n 50V | Capacitors_SMD:C_0805 | https://www.reichelt.de/index.html?ACTION=7&LA=3&OPEN=0&INDEX=0&FILENAME=B300%2FKEM_COXXX_X7R_DB-EN.pdf | https://www.reichelt.de/vielschicht-kerko-100nf-50v-125-c-kem-x7r0805-100n-p207073.html?&trstct=pol_1&nbc=1 | KEM COG0805 100P Vielschicht-Kerko, 100pF, 50V, 125°C |
| C9 C7 C4 C8 C10 C30 C31 C3 C47 C18 C38 C32 C33 C26 C28 C34 C27 C40 C44 C37 | 20 100n | Capacitors_SMD:C_1206_HandSoldering | | https://www.reichelt.de/vielschicht-kerko-100nf-50v-125-c-kem-x7r1206b100n-p207152.html?&trstct=pol_1&nbc=1 | 100n |
| C90 C91 C93 C92 | 4 220n 250V | Capacitors_SMD:C_1812 | ~ | https://www.mouser.de/ProductDetail/KEMET/C1812C224KARACTU?qs=yb5u%2FZTDO8t0HeaPboTI3w%3D%3D | |
| C94 | 1 220p 50V | Capacitors_SMD:C_1206 | | https://www.reichelt.de/smd-vielschicht-keramikkondensator-220p-5--npo-g1206-220pp31890.html?&trstct=pol_2&nbc=1 | |
| D104 D105 | 2 SK86 | Diodes_SMD:D_SMC | https://cdn-reichelt.de/documents/datenblatt/A400/SK82-810_GER-ENG_TDS.pdf | https://www.reichelt.de/schottkydiode-60-v-8-ando-214ab-sk-86-dio-p216773.html?&trstct=pol_3&nbc=1 | |
| D25 D26 D27 D28 D30 D31 D32 D19 D21 D22 D23 D24 D40 D41 D39 D38 D29 D17 D18 D20 | 20 APTD3216 | LEDs:LED_1206_HandSoldering | https://www.mouser.de/ProductDetail/Kingbright/APTD3216LSURCK?qs=AQlKX63v8RsLPrrQ1%252BPtxg%3D%3D | https://www.mouser.de/ProductDetail/Kingbright/APTD3216LSURCK?qs=AQlKX63v8RsLPrrQ1%252BPtxg== | APTD3216LSURCK (2mA, 100mcd, 30mA max, If/Uf 5mA/1,8V) |
| D33 | 1 1N4448W7F DII | Diodes_SMD:D_SOD-123 | https://www.reichelt.de/index.html?ACTION=7&LA=3&OPEN=0&INDEX=0&FILENAME=A400%2F1N4448W_ENG_TDS.pdf | https://www.reichelt.de/gleichrichterdiode-75-v-0-5-a-sod-123-1n-4448w7f-dii-p219387.html?search=1N4448 | 1N 4448W7F DII Gleichrichterdiode, 75 V, 0,5 A, SOD-123, UF=0,63V ! |
| D34 D35 D36 | 3 SZNUP2105LT1G | mylib:SOT-23 | https://www.mouser.de/datasheet/2/308/1/NUP2105L_D-2319421.pdf | https://www.mouser.de/ProductDetail/onsemi/SZNUP2105LT1G?qs=PJJcWtbOkNWqqZbXH80dfQ%3D%3D | |
| D42 D43 | 2 P6SMB 5,0CA | mylib:DO-214AA_man | | https://www.reichelt.de/tvs-diode-bidirectional-5-p6smb-5-0ca-smd-v-600-w-do-214aa-smb-p6smb-5-0ca-smd- | P6SMB 5,0CA |

| Reference | # | Value | Footprint | Datasheet | Bezug | Typ |
|--|----|-----------------|---|---|---|---|
| | | | | | p204337.html?&trstct=pos_0&nbc=1 | |
| D47 D44 D46 D45 | 4 | BAT 46 | Diodes_THT:D_DO-35_SOD27_P2.54mm_Vertical_KathodeUp | ~ | https://www.reichelt.de/kleinsignal-schottky-diode-100-v-150-ma-do-35-bat-46-p4853.html?search=BAT+46 | BAT 46 |
| D48 | 1 | MBRS 1100 SMD | mylib:DO-214AA_Schottky_man | https://www.reichelt.de/schottkydiode-100-v-1-a-do-214aa-mbrs-1100-smd-p41974.html?&trstct=pos_8&nbc=1 | https://www.reichelt.de/schottkydiode-100-v-1-a-do-214aa-mbrs-1100-smd-p41974.html?&trstct=pos_8&nbc=1 | MBRS 1100 SMD |
| D51 | 1 | 1.5KE30CA | Diodes_THT:D_DO-201_P12.70mm_Horizontal | | https://www.reichelt.de/tvs-diode-bidirektional-30-v-1500-w-do-201-1-5ke30ca-tsc-p278107.html?&trstct=pos_0&nbc=1 | 1.5KE30CA |
| D53 | 1 | 1N4007 SMD | mylib:Diode_DO213AB-MELF_SOD123 | http://www.vishay.com/docs/88503/1n4001.pdf | https://www.reichelt.de/gleichrichterdiode-1000-v-1-a-do-41-1n-4007-p1729.html?search=1N4007 | 1N4007 SMD MELF , alternativ 1N4448 SMD SOT-123 |
| D56 D54 D55 D57 D58 D59 D60 D61 D63 D64 D65 D66 D67 D68 D69 D62 | 16 | KPTD-3216 | mylib:D_1206_4.5 | https://cdn-reichelt.de/documents/datenblatt/A500/SMD-LED1206K-RT%23KIN.pdf | https://www.reichelt.de/led-smd-3216-1206-rot-600-mcd-50-smd-led-1206k-rt-p54085.html?&nbc=1 | KPTD-3216SURC Hyper Red (20mA, 600mcd, 30mA max, If/Uf 5mA/1,8V) |
| D87 D86 D85 D84 D83 D82 D81 D80 D70 D79 D74 D75 D73 D76 D77 D72 D71 D78 | 18 | P6KE33CA | Diodes_THT:D_DO-15_P5.08mm_Vertical_KathodeUp | | https://www.reichelt.de/tvs-diode-bidirectional-33-v-600-w-do-204ac-do-15-p6ke-33ca-p42020.html?search=P6KE+33CA | P6KE33CA |
| D88 D89 D90 D92 D93 D94 D95 D96 D97 D98 D99 D100 D101 D102 D103 D91 D106 D108 D109 D110 D111 D112 D113 D114 D115 D116 D117 D118 D119 D120 D121 D107 D37 D49 | 34 | 1N4448W7F DII | mylib:Diode_DO213AB-MELF_SOD123 | https://cdn-reichelt.de/documents/datenblatt/A400/1N4448W_ENG_TDS.pdf | https://www.reichelt.de/gleichrichterdiode-75-v-0-5-a-sod-123-1n-4448w7f-dii-p219387.html?search=1N4448 | 1N 4448W7F DII Gleichrichterdiode, 75 V, 0,5 A, SOD-123, alternativ 1N4007 SMD MELF |
| D9 D10 D11 D12 D13 D14 D15 D16 D1 D3 D4 D5 D6 D7 D8 D2 | 16 | P6SMB 5,0CA SMD | mylib:DO-214AA_man | https://cdn-reichelt.de/documents/datenblatt/A400/SMBJ_LITTELFUSE_DATASHEET.pdf | https://www.reichelt.de/tvs-diode-bidirectional-5-v-600-w-do-214aa-smb-p6smb-5-0ca-smd-p204337.html?&trstct=pos_0&nbc=1 | P6SMB 5,0CA |
| F1 | 1 | 500mA F | Fuse_Holders_and_Fuses:F | https://www.conrad.de/de/p/eska-120- | https://www.reichelt.de/sicherungshalter-fuer-5-500ma-f | |

| Reference | # Value | Footprint | Datasheet | Bezug | Typ |
|---------------|--------------------------------|---|---|---|---|
| | | useholder5x20_horiz_ope n_inline_Type-I | 800h-sicherungs-haltefeder-passend-fuer- feinsicherung-5-x-20-mm-6-3-a-250-v-ac- 1-st-533920.html | x-20-mm-10-a-litt-04450001n-p242453.html? &trstct=pos_8&nbc=1 | |
| F2 F6 F3 | 3 50mA | Resistors_SMD:R_1210 | https://www.reichelt.de/index.html?ACTION=7&LA=3&OPEN=0&INDEX=0&FILENAME=C400%2FESKA-RUECKSTELLENDE-SICHERUNGEN.pdf | https://www.reichelt.de/ptc-sicherung-smd-1210-60v-50ma-rueckstellend-ptc-fsmd0051210-p279326.html?&trstct=pol_0&nbc=1 | |
| F5 F4 | 2 5,6AT | mylib:Socket_Kleinst-F | | https://www.reichelt.de/sicherungshalter-fuer-kleinstsicherungen-pl-166600-p17544.html?search=sicherungshalter+kleinst | 4,0AT-5,6AT, (2,0AT-3,15AT bei AnalogOption Byte-0) |
| F7 | 1 100mA | Resistors_SMD:R_1210_Ha ndSoldering | https://www.reichelt.de/index.html?ACTION=7&LA=3&OPEN=0&INDEX=0&FILENAME=C400%2FESKA-RUECKSTELLENDE-SICHERUNGEN.pdf | https://www.reichelt.de/ptc-sicherung-smd-1210-60v-100ma-rueckstellend-ptc-fsmd0101210-p279329.html?&trstct=pol_1&nbc=1 | |
| H31 H32 | 2 LED-Licht-Leiter_8x3mm_P5.08 | mylib:MEN-LED-Lichtleiter_8x3mm_P5.08_5v8 | | https://www.reichelt.de/lichtleiter-1x10-fach-3-mm-planar-gerade-men-12721020-p232146.html?search=MEN+12721020 | LED-Licht-Leiter_8x3mm_P5.08: MEN 12721020 |
| J10 J13 | 2 01x03_fem | Connector_PinSocket_2.54 ~ mm:PinSocket_1x03_P2.5 4mm_Vertical | | https://www.reichelt.de/buchsenleiste-2-54mm-1x3-gerade-bkl-10120945-p266670.html?&trstct=pol_3&nbc=1 | Conn_01x03_Female |
| J11 | 1 01x02_fem | Connector_PinSocket_2.54 ~ mm:PinSocket_1x02_P2.5 4mm_Vertical | | https://www.reichelt.de/buchsenleiste-2-54mm-1x2-gerade-bkl-10120944-p266669.html?&trstct=prt_pdn&nbc=1 | Conn_01x02_Female |
| J14 J12 | 2 01x15_fem | Connector_PinSocket_2.54 ~ mm:PinSocket_1x15_P2.5 4mm_Vertical | | https://www.reichelt.de/platinensteckverbinder-gerade-weiss-10-polig-ps-25-10g-ws-p14824.html?&trstct=prt_pdn&nbc=1 | Conn_01x15 |
| J16 J2 J1 J17 | 4 MSTBVA-2.5-10-5.08 | mylib:TerminalBlock_Phoe ~ nix_MSTBVA-2.5-10-5.08_1x10_P5.08mm_Horizontal | | https://www.mouser.de/ProductDetail/Phoenix-Contact/1924389?qs=%2Fha2pyFadujHdoqdfOIJ8rSuaf62FUCtvuFzXITdIJZ0%3D | Output Byte 1.0 -1.7 |
| J18 | 1 01x03_Male | Connector_PinHeader_2.5 ~ 4mm:PinHeader_1x03_P2.54mm_Vertical | | https://www.reichelt.de/stiftleiste-3-pol-gerade-mm-2-54-mpe-089-1-003-p225881.html?&trstct=prt_pdn&nbc=1 | Conn_01x03_Male |

| Reference | # Value | Footprint | Datasheet | Bezug | Typ |
|-----------|------------------|---|-----------|---|---------------------|
| J19 | 1 01x08_Male | Connector_PinHeader_2.5 ~ 4mm:PinHeader_1x08_P2. 54mm_Vertical | | https://www.reichelt.de/stiftleiste-8-pol-gerade-rrm-2-54-mpe-089-1-008-p225883.html?&trstct=prt_pdn&nbc=1 | Conn_01x08_Male |
| J20 | 1 01x02_Male | Connector_PinHeader_2.5 ~ 4mm:PinHeader_1x02_P2. 54mm_Vertical | | https://www.reichelt.de/stiftleiste-8-pol-gerade-rrm-2-54-mpe-089-1-008-p225883.html?&trstct=prt_pdn&nbc=1 | Conn_01x02_Male |
| J21 | 1 02x02_Male | Connector_PinHeader_2.5 ~ 4mm:PinHeader_2x02_P2. 54mm_Vertical | | https://www.reichelt.de/stiftleiste-8-pol-gerade-rrm-2-54-mpe-089-1-008-p225883.html?&trstct=prt_pdn&nbc=1 | Conn_02x02_Male |
| J22 J23 | 2 opt. Connector | mylib:TerminalBlock_Phoe ~ nix_MSTBVA-2.5-10- 5.08_1x10_P5.08mm_Hori- zontal | | opt.: https://www.phoenixcontact.com/en-pc/products/printed-circuit-board-connector-mstba-25-10-g-508-1757323 | Conn_via_Cable |
| J24 | 1 01x05_Male | Connector_PinHeader_2.5 ~ 4mm:PinHeader_1x05_P2. 54mm_Vertical | | https://www.reichelt.de/stiftleiste-5-pol-gerade-rrm-2-54-mpe-089-1-005-p225882.html?&trstct=prt_pdn&nbc=1 | Conn_01x05_Male |
| J25 | 1 01x05_fem | Connector_PinSocket_2.54 ~ mm:PinSocket_1x05_P2.5 4mm_Vertical | | https://www.reichelt.de/buchsenleiste-2-54mm-1x5-gerade-bkl-10120947-p266672.html?&trstct=pol_2&nbc=1 | Conn_01x05_Female |
| J26 | 1 01x04_Male | Connector_PinHeader_2.5 ~ 4mm:PinHeader_1x04_P2. 54mm_Vertical | | | |
| J3 | 1 PFS 2x4 | Connector_PinHeader_2.5 ~ 4mm:PinHeader_2x04_P2. 54mm_Vertical | | | PFS 2x4 RM 2,54mm |
| J4 | 1 01x08_fem | Connector_PinSocket_2.54 ~ mm:PinSocket_1x08_P2.5 4mm_Vertical | | https://www.reichelt.de/buchsenleiste-2-54mm-1x8-gerade-bkl-10120949-p266674.html?&trstct=pol_4&nbc=1 | Conn_01x08_Female |
| J40 | 1 Extention | Connector_PinHeader_2.5 ~ 4mm:PinHeader_2x12_P2. 54mm_Vertical | | https://www.mouser.de/ProductDetail/Samtec/ZW-12-14-F-D-980-118?qs=%2Fha2pyFaduhLYuYg6YaAaAcMwJtESH4fCl8JriUKwzHt8L%252BXXamJdnHdjZ7pdPR6 | Extention Connector |
| J43 J66 | 2 Flachstecker | mylib:Lötauge-Junction- ~ | | https://www.reichelt.de/flachstecker-fuer- | VT FS-PW-6,35 |

| Reference | # | Value | Footprint | Datasheet | Bezug | Typ |
|-----------|---|----------------------|---|---|---|-------------------|
| | | | 2x2-1.4 | | printmontage-breite-6-35mm-vt-fs-pw-6-35-p231355.html?&trstct=pol_4&nbc=1 | |
| J49 J50 | 2 | 01x15 Male zu OP | Connector_PinHeader_2.5 ~ 4mm:PinHeader_1x15_P2. 54mm_Vertical | | | Conn_01x05_Male |
| J5 J15 | 2 | 01x04_fem | Connector_PinSocket_2.54 ~ 4mm:PinSocket_1x04_P2. 4mm_Vertical | | https://www.reichelt.de/buchsenleiste-2-54mm-1x4-gerade-bkl-10120946-p266671.html?&trstct=pol_1&nbc=1 | Conn_01x04 |
| | | J5 optional | | | | J5 Optional |
| J6 J7 | 2 | DIN-5 | mylib:DIN-5-180 | Werner Elektronik | https://www.ebay.de/itm/132535527872 | DIN-5 |
| J8 | 1 | 02x02_fem | Connector_PinSocket_2.54 ~ 4mm:PinSocket_2x02_P2.5 4mm_Vertical | | https://www.reichelt.de/buchsenleiste-2-54mm-1x2-gerade-bkl-10120944-p266669.html?&trstct=vrt_pdn&nbc=1 | Conn_02x02_Female |
| J9 | 1 | Ub OV PE | mylib:TerminalBlock_Phoenix_MKDS-1,5-3-5.08_1x03_P5.08mm_Horizontal | F:\Daten\ProgrammData\KiCad-Projects\PhoenixContact_1715857_02_MKDS-1-5-3-5-08-BD-1-3_FAM.pdf | https://www.reichelt.de/anschlussklemme-3-pol-5-08-mm-90--lakl-1-5-3-5-08-p169872.html?search=1729131 | Ub OV PE |
| JP1 | 1 | WP_ | Connector_PinHeader_2.5 ~ 4mm:PinHeader_1x03_P2. 54mm_Vertical | | https://www.reichelt.de/stiftleiste-3-pol-gerade-5-254-mpe-089-1-003-p225881.html?&trstct=vrt_pdn&nbc=1 | EEPROM WP_ |
| L1 | 1 | PIS2812-271M-04 | mylib:L_7.3x7.3_H3.5_handsoldered | https://www.reichelt.de/index.html?ACTION=7&LA=3&OPEN=0&INDEX=0&FILENAME=B400%2FPIS2812.pdf | https://www.reichelt.de/index.html?ACTION=446&LA=0&nbc=1&q=pis2812-271m-04 | 270µH |
| L2 | 1 | 47µH | Inductors_SMD:L_1210 | | https://www.reichelt.de/chip-induktivitaet-1210f-47-h-l-1210f-47--p138578.html?&trstct=pol_3&nbc=1 | |
| L3 | 1 | L-1812AF 330µA 100mA | Inductors_SMD:L_1812 | https://www.reichelt.de/index.html?ACTION=7&LA=3&OPEN=0&INDEX=0&FILENAME=B400%2FDS_1812AF-1.pdf | https://www.reichelt.de/chip-induktivitaet-1812af-330-h-l-1812af-330--p138596.html?&trstct=pol_0&nbc=1 | 330µH |
| P1 P2 | 2 | 1,0K lin | mylib:Trimmer_Vishay_T7 YA | https://www.reichelt.de/praezisionspotentiometer-trimmer-liegend-1-0-kohm-6-6-mm-75h-1-0k-p3475.html?&trstct=pol_2&nbc=1 | https://www.reichelt.de/praezisionspotentiometer-trimmer-liegend-1-0-kohm-6-6-mm-75h-1-0k-p3475.html?&trstct=pol_2&nbc=1 | 75H 1,0K |

| Reference | # | Value | Footprint | Datasheet | Bezug | Typ |
|-----------------------|----|------------|--|--|--|----------------|
| Q1 Q2 | 2 | IRLML 2244 | TO_SOT_Packages_SMD:S OT-23 | https://www.reichelt.de/index.html? ACTION=7&LA=3&OPEN=0&INDEX=0&FILE ENAME=A200%2FDS_IRLML2244-IR.pdf | https://www.reichelt.de/mosfet-p-ch-20v-4-3a-1- 3w-sot-23-irlml-2244-p132143.html? &trstct=pol_8&nbc=1 | |
| R102 R103 R104 R105 | 48 | 7k5 | Resistors_SMD:R_1206 | | | 7k5 250mW |
| R106 R107 R108 R109 | | | | | | |
| R110 R112 R113 R114 | | | | | | |
| R115 R116 R117 R93 | | | | | | |
| R94 R95 R96 R97 R98 | | | | | | |
| R99 R100 R101 R92 R91 | | | | | | |
| R90 R89 R88 R87 R86 | | | | | | |
| R111 R142 R143 R144 | | | | | | |
| R145 R146 R147 R148 | | | | | | |
| R149 R134 R135 R136 | | | | | | |
| R137 R138 R139 R140 | | | | | | |
| R141 | | | | | | |
| R121 R122 | 2 | 3k0 0,1% | Resistors_THT:R_Axial_DIN ~ 0207_L6.3mm_D2.5mm_P 2.54mm_Vertical | | https://www.mouser.de/ProductDetail/TE- Connectivity-Holsworth/H83K0BYA/? qs=sGAEpiMZZMsPqMdJzcrNwmqCbm4q8Q %252BC24lgqxiMTaA%3D | 3k 0,1% |
| R124 R170 | 2 | 10k | Resistors_SMD:R_0805 | ~ | | 10k |
| R50 R126 | 2 | 220 | Resistors_SMD:R_0805 | | | 220 |
| R127 R125 | 2 | 30k 0,1% | Resistors_SMD:R_1206 | ~ | https://www.reichelt.de/smd-widerstand-1206- 30-kohm-125-mw-0-1--spr-1206-30-0k- p123445.html? &trstct=pol_1&nbc=1 | 30k 0,1% 25ppm |
| R128 | 1 | 16k | Resistors_SMD:R_0805 | | | 10k |
| R129 R130 | 2 | 90k 0,1% | Resistors_SMD:R_1206 | https://www.vishay.com/doc?28700 | https://www.mouser.de/ProductDetail/Vishay- Beyschlag/MCA12060D9002BP500? qs=sGAEpiMZZMvdGkrng054tylseMa3ZBi%2FrBjr %252BYHQ8Uk%3D | 90k 0,1% 25ppm |
| R133 | 1 | 220k | Resistors_SMD:R_1206 | ~ | | |
| R154 R155 R153 R152 | 15 | 51 | Resistors_SMD:R_0603 | | | 30-180 |
| R151 R131 R156 R132 | | | | | | |
| R150 R158 R159 R160 | | | | | | |

| Reference | # | Value | Footprint | Datasheet | Bezug | Typ |
|------------------------|----|-----------|--|--|---|----------------|
| R161 R162 R157 | | | | | | |
| R164 R167 R168 R166 | 4 | 120 | Resistors_SMD:R_1206 | SMD 1206 1/4W 120 1% | https://www.reichelt.de/smd-widerstand-1206-120-ohm-250-mw-1-vis-crcw1206120-p238104.html?&trstct=pol_3&nbc=1 | 120 |
| R169 R171 R165 R163 | | | | | | |
| R169 R171 R165 R163 | 4 | 10 | Resistors_SMD:R_0603 | ~ | | 10k |
| R25 R26 R27 R28 R29 | 16 | 1k1 | Resistors_SMD:R_1206 | | https://www.reichelt.de/smd-widerstand-1206-1-2-kohm-250-mw-1-wal-wr12x1201ftl-p346655.html?&trstct=pol_0&nbc=1 | 1k1 |
| R31 R32 R17 R18 R19 | | | | | | |
| R20 R21 R22 R23 R24 | | | | | | |
| R30 | | | | | | |
| R41 R42 R43 R44 R45 | 16 | 3k3 | Resistors_SMD:R_1206 | | https://www.reichelt.de/widerstand-metallschicht-3-30-kohm-0207-0-6-w-1-metall-3-30k-p11693.html?&trstct=pol_0&nbc=1 | 3k3 |
| R46 R47 R48 R33 R34 | | | | | | |
| R35 R36 R37 R38 R39 | | | | | | |
| R40 | | | | | | |
| R51 R123 | 2 | 680k | Resistors_SMD:R_1206 | | | 680k |
| R54 R55 R53 R56 R60 | 8 | 120 | Resistors_SMD:R_1206_Ha ndSoldering | RND 1206 1 120 SMD-Widerstand, 1206, 120 Ohm, 250 mW, 1% | https://www.reichelt.de/smd-widerstand-1206-120-ohm-250-mw-1-rnd-1206-1-120-p183350.html?&trstct=pol_0&nbc=1 | 120 |
| R57 R58 R59 | | | | | | |
| R61 R119 R52 R49 R118 | 6 | 10k | Resistors_SMD:R_1206 | | | 10k |
| R67 | | | | | | |
| R62 R68 | 2 | 10k | Resistors_SMD:R_1206_Ha ndSoldering | | https://www.reichelt.de/smd-widerstand-1206-10-kohm-250-mw-1-vis-crcw120610k-p238102.html?&trstct=pol_2&nbc=1 | 10k |
| R65 R64 R63 R66 R70 | 20 | 1650 | Resistors_SMD:R_1206 | SMD 1206 1/4W 1,6K 5% | https://www.reichelt.de/smd-widerstand-1206-1-6-kohm-250-mw-5-smd-1-4w-1-6k-p18236.html?&trstct=pol_0&nbc=1 | 1650 |
| R71 R72 R73 R74 R75 | | | | | | |
| R76 R77 R79 R80 R81 | | | | | | |
| R83 R84 R85 R82 R78 | | | | | | |
| R69 R120 | 2 | 1k 0,1% | Resistors_THT:R_Axial_DIN ~ 0207_L6.3mm_D2.5mm_P 2.54mm_Vertical | | https://www.reichelt.de/widerstand-metallschicht-1-0-kohm-axial-250-mw-0-1-irc-r5dlf1k0bb-p237466.html?&trstct=pol_3&nbc=1 | 1k 0,1% |
| R9 R10 R11 R12 R13 R14 | 16 | 6k8 500mW | Resistors_SMD:R_1206 | ESR18EZPF6801 | https://www.mouser.de/ProductDetail/ROHM-Semiconductor/ESR18EZPF6801?qs=sGAEpiMZZMvdGkrng054t621aZ | alt: 6k2 500mW |
| R15 R16 R1 R2 R3 R4 R5 | | | | | | |
| R6 R7 R8 | | | | | | |

| Reference | # Value | Footprint | Datasheet | Bezug | Typ |
|--|-------------------|---|---|---|--|
| | | | | %2Fa1rARBQSjyEWjpLndAmxcl%252Bv65Q%3D%3D | |
| RV2 RV3 RV1 | 3 31VDC | Resistors_SMD:R_1210 | https://www.reichelt.de/index.html?ACTION=7&LA=3&OPEN=0&INDEX=0&FILENAME=B300%2FMCEPCOS_SMD-VARISTOREN_EN.pdf | https://www.reichelt.de/smd-varistor-1206-25-v-epc-b72520t0250-p240011.html?&trstct=pol_6&nbc=1 | EPC B72520T0250 SMD-Varistor, 1206, 25 VAC |
| SW1 SW2 SW3 | 3 SW_DIP_x02 | Buttons_Switches_THT:SW_LowProfile | https://www.reichelt.de/dip-schalter-_DIP_x2_W7.62mm_Slide_liegend-2-polig-nt-02-p36464.html?&trstct=pol_6&nbc=1 | https://www.reichelt.de/dip-schalter-liegend-2-polig-nt-02-p36464.html?&trstct=pol_6&nbc=1 | SW_DIP_x02 |
| U10 | 1 ADM2483xRW | mylib:SOIC-16W_7.5x10.3mm_Pitch1.27mm_hand soldered | https://www.analog.com/media/en/technical-documentation/data-sheets/adm2483.pdf | https://www.mouser.de/ProductDetail/Analog-Devices/ADM2483BRWZ?qs=BpaRKvA4VqH5Kim10agOlw%3D%3D | ADM2483xRW |
| U12 U11 | 2 2S7WA_2405_S3RP | mylib:SIP-7_2S7WA | F:\Daten\ProgrammData\KiCad-Projects\datasheet\2S7WA_3RP_DS_EN.pdf | https://www.reichelt.de/dc-dc-wandler-2-w-5-v-sil-7-2s7wa-2405s3rp-p242953.html?&trstct=pol_3&nbc=1 | 2S7WA_2405_S3RP |
| U27 U28 U29 U30 U31 U32 U33 U34 U22 U23 U21 U24 U25 U20 U19 U26 | 16 BSP-452 | TO_SOT_Packages_SMD:SOOT-223 | | https://www.reichelt.de/analog-schalter-ic-1-kanal-pg-sot-223-bsp-452-smd-p41420.html?search=BSP-452 | BSP-452 |
| U3 U4 U1 U2 U15 U16 U17 U18 | 8 LTV-844 | mylib:DIP-16_W7.62mm_cut | | https://www.reichelt.de/4-fach-optokoppler-ac-5kv-35v-50ma-20-300-dip-16-ltv-844-p96808.html?&trstct=pos_0&nbc=1 | LTV-844 |
| U36 | 1 MCP3204 | mylib:DIL-14-SMD | http://ww1.microchip.com/downloads/en/DeviceDoc/21298c.pdf | https://www.reichelt.de/12-bit-serieller-a-d-wandler-4-kanal-2-7v-spi-dip-14-mcp-3204-ci-p-p90076.html?search=MCP3204 | MCP3204 |
| U37 U13 | 2 LT1086 3.3 | TO_SOT_Packages_THT:TO-220-3_Vertical | http://www.st.com/st-web-ui/static/active/en/resource/technical/document/datasheet/CD00000544.pdf | https://www.reichelt.de/ido-spannungsregler-fix-3-3-v-1-5-a-to-220-3-lm-1086-ct-3-3-p187589.html?&trstct=pol_5&nbc=1 | LM 1086 CT-3.3 TO220 |
| U38 | 1 MCP4922 | Housings_DIP:DIP-14_W7.62mm_Socket_Lon_gPads | http://ww1.microchip.com/downloads/en/devicedoc/21897a.pdf | https://www.reichelt.de/d-a-wandler-12-bit-2-kanal-spi-2-7--5-5-v-dip-14-mcp-4922-e-p-p90090.html?search=MCP4922 | MCP4922-EP |
| U39 U35 | 2 ADuM1401xRW | mylib:SOIC-16W_7.5x10.3mm_Pitch1. | https://www.analog.com/media/en/technical-documentation/data-sheets/ | https://www.reichelt.de/digitaler-isolator-4-kanal-so-16-adum-1401-crwz-p185568.html? | ADuM1401xRW |

| Reference | # Value | Footprint | Datasheet | Bezug | Typ |
|-----------|-------------------|--|---|---|---|
| | | 27mm_hand soldered | ADUM1400_1401_1402.pdf | &trstct=pos_2&nbc=1 | |
| U40 | 1 ADM-803R | TO_SOT_Packages_SMD:S OT-23 | https://www.analog.com/media/en/technical-documentation/data-sheets/ADM803_809_810.pdf | https://www.mouser.de/ProductDetail/Analog-Devices/ADM809ZARTZ-REEL7?qs=sGAEpiMZZMsJi7B1kCaqZhu1wa16fpwpWySOz9g7ll%3D | ADM809ZARTZ-REEL7 |
| U41 | 1 LT 1078 | Housings_DIP:DIP-8_W7.62mm | https://www.reichelt.de/operationsverstaerker-2-4-fach-dip-8-lt-1078-cn8-p10888.html?&trstct=pol_3&nbc=1 | https://www.reichelt.de/operationsverstaerker-2-4-fach-dip-8-lt-1078-cn8-p10888.html?&trstct=pol_3&nbc=1 | LT 1078 CN8 |
| U42 U43 | 2 LM4040 AIM3-2.5 | TO_SOT_Packages_SMD:S OT-23 | http://www.ti.com/lit/ds/symlink/lm4040-n.pdf | https://www.reichelt.de/shuntspannungsreferenz-fest-10-0-v-1-0-sot-23-3-lm-4040-dim3-10-p187746.html?&trstct=pos_1&nbc=1 | LM4040-AIM3-2.5 |
| U44 | 1 2S7WB_2415S3RP | mylib:SIP-7_2S7WA | F:\Daten\ProgrammData\KiCad-Projects\datasheet\2S7WA_3RP_DS_EN.pdf | https://www.reichelt.de/dc-dc-wandler-2-w-5-vsil-7-2s7wa-2405s3rp-p242953.html?&trstct=pol_3&nbc=1 | 2S7WB_2415S3RP |
| U45 | 1 ADR03ARZ | Housings_SOIC:SOIC-8_3.9x4.9mm_Pitch1.27mm | https://www.analog.com/media/en/technical-documentation/data-sheets/ADR4520_4525_4530_4533_4540_4550.pdf | https://www.reichelt.de/spannungsreferenz-fest-2-5-v-3-ppm-c-so-8-adr-03-arz-p185546.html?search=ADR03ARZ | ADR03ARZ |
| U46 | 1 LCN78_05-1.0 | mylib:SIP-3-LC78 | https://cdn-reichelt.de/documents/datenblatt/D400/LME78_10_DS_EN.pdf | https://www.reichelt.de/dc-dc-wandler-5-w-5-v-1000-ma-to-220-lme78-05-1-0-p242853.html?&trstct=pol_7&nbc=1 | LME78_05-1.0 DC/DC-Wandler, 5 W, 5 V, 1000 mA, TO-220 |
| U47 | 1 ADM-809Z | TO_SOT_Packages_SMD:S OT-23 | https://www.analog.com/media/en/technical-documentation/data-sheets/ADM803_809_810.pdf | https://www.mouser.de/ProductDetail/Analog-Devices/ADM809ZARTZ-REEL7?qs=sGAEpiMZZMsJi7B1kCaqZhu1wa16fpwpWySOz9g7ll%3D | ADM809ZARTZ-REEL7 |
| U49 | 1 SN74LV1T32DBVR | TO_SOT_Packages_SMD:S OT-23-5 | https://www.ti.com/lit/ds/symlink/sn74lv1t32.pdf?ts=1719818791463&ref_url=https%253A%252F%252Fc%252Fmouser.com%252F | mouser.com | SN 74AHC1G32DBVR |
| U5 U14 | 2 MCP23S17 | Housings_DIP:DIP-28_W7.62mm | http://ww1.microchip.com/downloads/en/DeviceDoc/20001952C.pdf | https://www.reichelt.de/bus-controller-push-pull-s-dil-28-mcp-23s17-e-sp-p90047.html? | MCP23S17_SP |

| Reference | # | Value | Footprint | Datasheet | Bezug | Typ |
|-----------------|---|------------|--|---|---|-----|
| search=MCP23S17 | | | | | | |
| U50 | 1 | NE555DRG4 | Housings_SOIC:SOIC-8_3.9x4.9mm_Pitch1.27mm | http://www.ti.com/lit/ds/symlink/ne555.pdf | ???? | |
| U51 | 1 | SN74LV1T08 | TO_SOT_Packages_SMD:SOT-23-5 | http://www.ti.com/lit/sg/scyt129e/scyt129e.pdf | https://www.mouser.de/ProductDetail/Texas-Instruments/SN74LV1T08DBVRG4?qs=vdi0iO8H4N0dPmKl30OCjQ%3D%3D | |
| U7 | 1 | Teensy4.0 | mylib:Teensy40wo34_0.9 | | https://www.reichelt.de/teensy-4-0-usb-teensy-4-0-p269006.html?search=Teensy | |
| U8 U6 | 2 | ISO1050 | mylib:SOP-8 | http://www.ti.com/lit/ds/symlink/iso1050.pdf | https://www.reichelt.de/isolierter-can-transceiver-ISO1050DUB3-0-5-5v-sop-8-iso-1050-dub-p188663.html?&trstct=pos_0&nbc=1 | |
| U9 | 1 | 25LC512 | Housings_DIP:DIP-8_W7.62mm | | https://www.reichelt.de/eeprom-512-kb-64-k-x-8-25LC512-I/Pspi-20-mhz-2-5--5-5-v-dip-8-25lc512-i-p-p96669.html?&trstct=pos_11&nbc=1 | |

10 Anhang

10.1 Achtung Hinweis

In allen Versionen der Oberplatine (OP) sind die Eingangs-Terminals J1 und J2 auf Pin-9 ebenfalls auf 0V verbunden. Das Original hat hier keinen Anschluss.

10.2 SPI-Serien-Widerstände

Diverse Serien-Widerstände mit 51Ω wurden in SPI-Leitungen nahe der jeweiligen Treiber eingesetzt (\geq Rev 2.5 M34) Eventuell müssen auf längeren Leitungen höhere R-Werte verwendet werden. Überschwinger könnten noch zu hoch sein. Empfohlene Werte liegen zwischen 33Ω und 150Ω .

Alle Serien-Widerstände in den SPI-Leitungen haben das SMD Format 0603 und passen daher auf die i.d.R 0.3mm breiten Leiterbahnen. Ein passendes Gerät zur vergrößerten Darstellung für den Umgang mit diesen Bauteilen sei dringend empfohlen.

Mit Heißluft-Löten und Rasierklinge ist auch die nachträgliche Montage auf den Signaleitungen kein Problem gewesen.

10.3 Bezug DIN-5 Pol -Buchse

Folgende Modelle können eingesetzt werden

| | |
|-------------|----------|
| Switchcraft | 57NC5FX |
| Hirschmann | MAB 5 SV |

10.4 Optionale Nutzung von Q0.5, Q0.6 und Q0.7 als Status-LED

In der Variante mit Analog als 5/8 Digital-Out sind die Ausgänge Q0.5, Q0.6 und Q0.7 nicht nutzbar. Mit der folgenden Anpassung können D67, D68, D69 jedoch als Status-LED genutzt werden. Es empfieilt sich hier eine andere Farbe. Ich habe Orange gewählt, weil Strom und Spannungsabfall bei ähnlicher Helligkeit vergleichbar zu den roten LEDs sind.

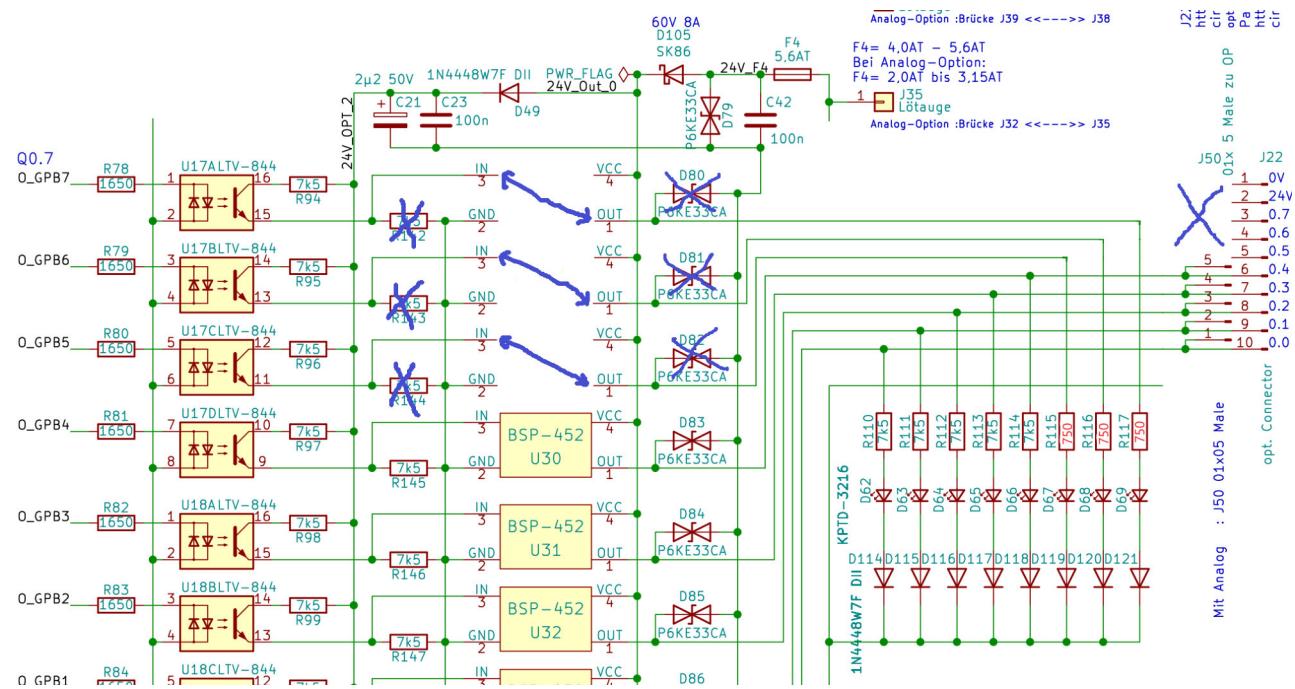
- U27, U28, U29 entfallen
- Draht überbrückt an U27, U28, U29 die Lötstellen von Pin-1 zu Pin-3
- Neu-Dimensionierung von R115, R116 und R117 mit 750Ω ($I_r=2,6\text{mA}$) oder etwas größeren Werten wie 1k, oder 1k6 statt 7k5
- Die Dioden D119, D120, D121 können durch Brücken ersetzt werden
- Die Widerstände R142, R143, R144 entfallen
- Der Überspannungsschutz mit D80, D81, D82 entfällt

Damit treibt der Optokoppler ca. $2,6\text{mA}$ durch die LED D67, D68, D69. J50 leitet bei genutzter Analog-Option nur mit Pin-1 bis Pin-5 die digitalen Ausgänge Q0.0 bis Q0.4 zur Oberplatine durch.

Berechnung 750Ω , SMD_1206 : $R_{117} = (U_0 - U_{CE} - U_{D69} - U_{D121}) / I_f = (24V - 1,77V - 0,1V - 0,6V) / 2,6\text{mA} = 8280\Omega$
R94 bleibt 7500Ω , R117= 750Ω , somit bei $U_0=24V$ $2,6\text{mA}$ und bei $U_0=30V$ $3,4\text{mA}$.

LED ORANGE, SMD_1206 (z.B. KPTD-3) z.B. bei hier:

[Reichelt de/led-smd-3216-1206-orange-1200-mcd-50--smd-led-1206kor2-p60809.html?search=KPTD-3](http://reichelt.de/led-smd-3216-1206-orange-1200-mcd-50--smd-led-1206kor2-p60809.html?search=KPTD-3)



10.5 Technische Daten

| | | |
|-------------------------------|---|---|
| Versorgungsspannung | 24V DC, 30-70mA, | Minimal 9V ohne ADC oder DAC |
| CPU | Absicherung F 500mA | Mininal 18V mit ADC und DAC |
| | | Maximal 25,6V (bestimmt durch TVS Diode D51) |
| Eingangsspannungen | 24V DC (bis 33V) | Minimal 20V |
| Digital | | Maximal 50V bei 500mW Verlustleistung der Eingangswiderstände R1-R16 |
| Ausgangsspannung | 24V DC, 500mA je Kanal | 500mA max |
| Digital | Verpolungsschutzdiode 24V 8A / Byte | Maximal 40V (BSP-452) Maximal 47V (BTS 4141N) |
| | | D70 bis D87 bestimmen Maximalspannung mit 33V |
| Analoger Eingang | 0...10V DC | realisiert mit MCP3208, ADuM1401xRW |
| Analoger Ausgang | 0...10V DC | realisiert mit MCP4922, LT1078, ADuM1401xRW |
| CAN-Bus | 5V | Terminierung mit 120Ω , zuschaltbar, realisiert mit ISO-1050 |
| RS485 | 5V | Terminierung mit Dioden, $UF \leq 0,25V$, permanent, 16 Teilnehmer, 120Ω optional, realisiert mit ADM2483xRW |
| Pufferbatterie Realtime Clock | 3,6V Lithium bedrahtet, oder Knopfzelle 3V | Bei Verwendung in Alternativgehäuse und Knopfzelle 3V wird D33 durch eine Brücke ersetzt. Sie reduziert die 3,6V der Lithium-Batterie auf 3V der CPU |
| CPU | Teensy 4.0 | <p>CPU gesockelt</p> <ul style="list-style-type: none"> • ARM Cortex-M7 at 600 MHz • Float point math unit, 64 & 32 bits • 1984K Flash, 1024K RAM (512K tightly coupled), 1K EEPROM (emulated) • USB device 480 Mbit/sec & USB host 480 Mbit/sec • 40 digital input/output pins, 31 PWM output pins • 14 analog input pins • 7 serial, 3 SPI, 3 I2C ports • 2 I2S/TDM and 1 S/PDIF digital audio port • 3 CAN Bus (1 with CAN FD) • 32 general purpose DMA channels • Cryptographic Acceleration & Random Number Generator |

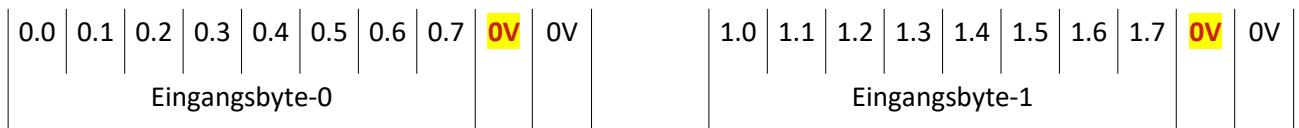
| | | |
|--|--|--|
| | | <ul style="list-style-type: none"> •RTC for date/time •Programmable FlexIO •Pixel Processing Pipeline •Peripheral cross triggering •Power On/Off management |
| EEPROM | 25LC512-I/P 25LC1024-I/P | DIL-8, gesockelt |
| Interrupt | MCP23S17 | je einen für Byte-0 und Byte-1 |
| Interupt | RESET Eingang CPU | |
| Kommunikation mit den Peripherie Komponenten | SPI 16MHz DAC 4 Mhz MCP23S17, Eingänge/Ausgänge 1MHz ADC 5 MHz EEPROM | Per Software Frequenzen passend steuern. |
| Erweiterungsslot | SPI Bus für bis zu 6 weitere MCP23S17 nutzbar | Vergeben sind schon die Adressen 0x0 und 0x1. Frei sind noch die Adressen 0x2,...,0x7 |
| Sicherungen | Steuerung ADC/DAC, 8 + 8 Digital Out Ausgangsbyte-0 Ausgangsbyte-1 mit ADC/DAC , 5+8 digital Out Ausgangsbyte-0 Ausgangsbyte-1 | 500mA F 4.0 - 5,6A T 4.0 - 5,6A T 2.0 - 3,15A T 4.0 - 5,6A T |
| Weitere Schutzmaßnahmen | Versorgungsspannungen Eingangsbytes Ausgangsbytes | Verpolungsschutz, Überspannungsschutz Dauerfest Eingangsspannung bis 50V Kurzschlussfest, Verpolungsschutz, Dauerausgangsspannung bis max 32V Transientenschutz mit P6KE33CA bipolar |

10.6 Unterschiede von myT40-PLC zur Originalsteuerung

10.6.1 Terminals für Eingang- und Ausgangsbytes

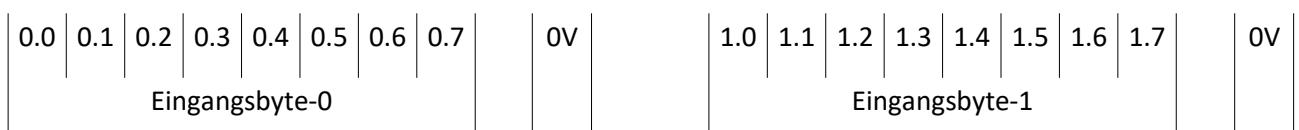
Im folgenden sind die wesentlichen Unterschiede der Hardware der myT40-PLC zu meinem Original für die Anschluss-Terminals beschrieben.

Eingangsterminal myT40-PLC

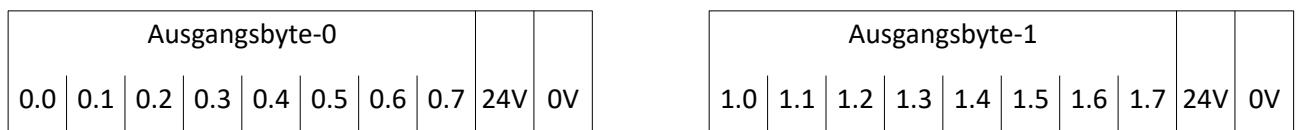


Beide „OV“-Lemmen von Byte-0 sind unabhängig von „OV“ Byte-1. Sie können intern optional gebrückt werden.

Eingangsterminal Original



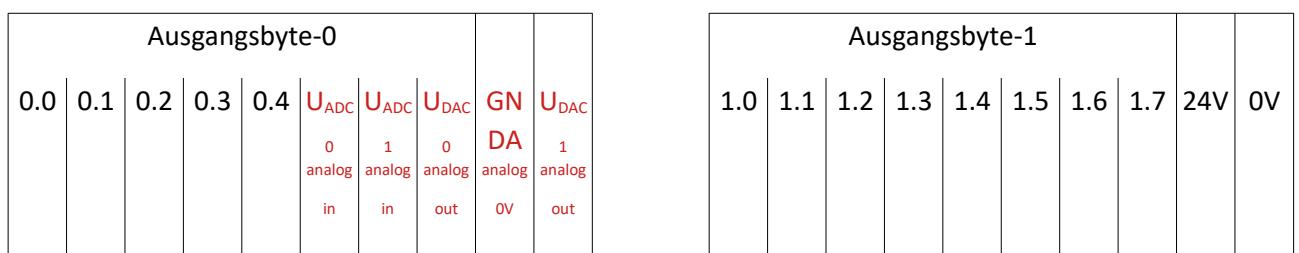
Ausgangsterminal myT40-PLC Variante ohne ADC/DAC 8/8-Ausgangsbits



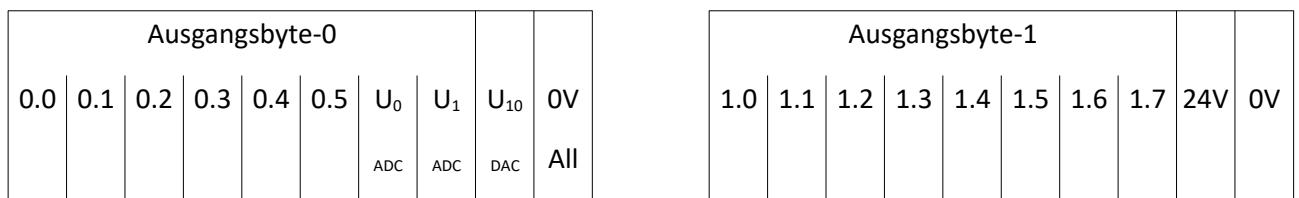
Beide „OV“-Lemmen von Byte-0 sind unabhängig von „OV“ Byte-1. Sie können intern optional gebrückt werden.

Ausgangsterminal myT40-PLC Variante mit ADC/DAC

5/8-Ausgangsbits



Ausgangsterminal Original



10.6.2 Bus-Anschlüsse

Für myT40-PLC erfolgt die Kommunikation in der Variante OP-FFC für das Originalgehäuse über zwei 5-polige 180° DIN Buchsen, deren Belegung vom Originalgehäuse abweicht.

Die PFS-Variante der OP kann hier über Kabel beliebige Steckverbinder nutzen, sinnvollerweise Sub-D.

Die linke Buchse führt CAN-1 und RS-485, und die rechte Buchse CAN-1 und CAN-2

Das Originalgehäuse führt an dieser Stelle "PRG" (8-Pol-DIN) für die Programmierung eine RS-232 Schnittstelle und rechts ein 5-Pol-DIN für den herstellereigenen Bus.

Der Busabschluss ist bei myT40-PLC für die beiden CAN-Busse separat schaltbar.

Die RS-485-Schnittstelle ist mit einem permanenten Dioden-Busabschluss ausgestattet. Referenz siehe oben. Alternativ kann SW3 mit 120Ω statt der Dioden verbaut werden. Zwei 720Ω Widerstände sind ebenfalls optional möglich.

Das Originalgehäuse führt an dieser Stelle die Speicherkarte in einem Slot der Gehäuseoberschale.

Der Schirm der DIN-5-Buchsen ist über je einen Kondensator mit PE verbunden.

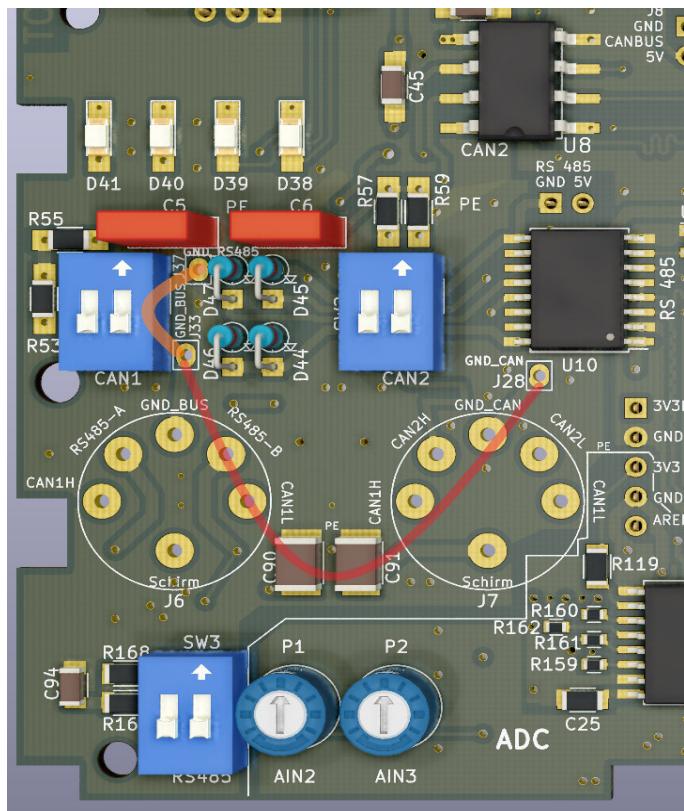


Abbildung 36: Ground für RS485- oder CAN-Bus

J6 Pin-2 kann bei Bedarf GND_CAN oder GND_RS485 führen. Für GND im CAN-Bus-Kabel auf J6 sind dann J28 mit J33 zu brücken (rot). Dem RS485-Bus kann eine Brücke (rosa) zwischen J37 und J33 GND_RS485 im Kabel an J6 bereitstellen.

10.6.3 Extentionslot

Der optionale Extensionslot für myT40-PLC benutzt zwar den gleichen Pfostenstecker, jedoch hat die Belegung keine Gemeinsamkeit mit dem Original. Er ist vorgesehen für spätere Erweiterungen.

Das bedeutet, Erweiterungsbausteine des Originals dürfen nicht angeschlossen werden, eine Beschädigung der beteiligten Komponenten ist nicht auszuschließen und eine erwartete Funktion ist garantiert nicht gegeben.

Die Extension-Pins (7) und (11) sind nicht beschaltet.

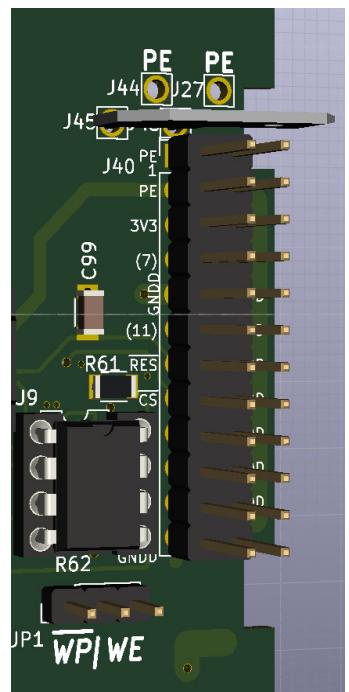


Abbildung 37: Extension-Slot

10.6.4 Weitere Unterschiede

myT40-PLC wird über einen USB-Anschluss auf dem CPU-Modul programmiert. Dazu wird an der passenden Stelle eine Öffnung in die Oberschale des Originalgehäuses gefräst.

myT40-PLC stellt zwei DAC-Ausgänge 0..10V zur Verfügung. Das Original bietet nur einen DAC-Kanal.

Der myT40-PLC besitzt ein per SPI angebundenes, gesockeltes EEPROM. Das Original benutzt dafür separate von außen steckbare Speicherkarten. Unter deren Abdeckung sind die Terminierungen der CAN-Busse erreichbar.

10.6.5 Kalt/Warmstart-Verhalten bei RESET

Je nach Programmierung kann man ein bestimmtes Verhalten bezüglich der SW_Mode_1/2 und dem RESET erreichen.

Extrakt von main.h

```
/*
*-----*
*Position Schalter PS4-1xx | Position1      | Position2      | Position3      | other Case
* Software Mode Switch     | SW_Mode_1=HIGH| SW_Mode_1=HIGH| SW_Mode_1=LOW | SW_Mode_1=LOW
*                           | SW_Mode_2=LOW | SW_Mode_2=HIGH| SW_Mode_2=HIGH | SW_Mode_2=LOW
*-----*                                         (2x4 Pin Header)
* .....Aktionen..... | .....Reaktionen..... | .....
*-----*
* WatchDog Software bites | PowerOff       | Reset          | Halt           | not implemented
* No Reset, Setup only    | Stop & Wait   | Halt           | InitSystem    | ...
*                           | ToRun=>Pos-2 | Reboot         | AutoContinue  | ..
*-----*
* WatchDog Hardware bites | PowerOff       | Reset          | Reset          | not implemented
* Reset goes down to Low  | Stop & Wait   | Halt           | Halt           |
*                           | ToRun=>Pos-2 | Reboot         | Reboot         |
*-----*
* Reset-Taster pressed    | PowerOff       | Halt Q Reset   | Reset          | not implemented
* No WatchDog running     | Stop & Wait   | Loop NOP       | Halt           |
*                           | Wait until    | ToRun=>Pos-1   | Reboot         |
*                           | ToRun=>Pos-2 | Press Reset   |               |
*-----*
* Reset-Taster pressed    | PowerOff       | Halt Q Reset   | Reset          | not implemented
* Software WatchDog running | Stop & Wait   | Loop NOP       | Halt           |
*                           | ToRun=>Pos-2 | ToRun=>Pos-1   | Reboot         |
*                           |                 | Press Reset   |               |
*-----*
* Reset-Taster pressed    | PowerOff       | Reset          | Reset          | not implemented
* Hardware WatchDog running | Stop & Wait   | Halt           | Halt           |
*                           | ToRun=>Pos-2 | Reboot         | Reboot         |
*-----*
* Reboot = Cold-Start      , AutoContinue = Warm-Start
*-----*/
```

Die Version PFS kann hier noch eine vierte Variante verarbeiten: beide SW_Mode1/2 auf Low.

10.7 Spannungsversorgung

Im Vollausbau werden verschiedene Spannungsquellen benötigt:

1. CAN-Bus 5V isolierter GND_CAN
2. RS485-Bus 5V isolierter GND_RS485
3. ADC / DAC 15V, 3,3V, 2,5V, isolierter gemeinsamer GNDA, Sternverteilung GNDA und Versorgungsspannungen
4. CPU, Interfaces, EEPROM 3,3V GND an 0V Versorgungsspannung

Die unterschiedlichen Spannungsregler haben minimale und maximale Eingangsspannungen

| Bauteil | Uin min /V | Uin max /V | Typ | Uout /V | Verwendung |
|---------|--------------|------------|---------------------------|---------|---|
| U46 | 4,5 | 42 | LC78_05-1.0 | 5V | CPU |
| U13 | 4,75 | 18 | LT1086-33 | 3,3 | EEPROM, Erweiterung, Interfaces: 2* MCP23S17 / 2* ADuM1401 / 2* ISO1050 / ADM2483 |
| U12 | 18 | 36 | 2S7WA-2405-S3RP | 5 | CAN Bus |
| U11 | 18 | 36 | 2S7WA-2405-S3RP | 5 | RS485 Bus |
| U44 | 18 | 36 | 2S7WB-2415-S3RP | 15 | Analoge Section f. U37, U45 evt. Absenkung um 0,6V mit D53 für U37 |
| U37 | 4,75 4,75 | 18 (15) | LT1086 33 (LD1117 3.3) | 3,3 | Operationsverstärker mit DAC und ADC |
| U45 | 4,5 | 36 | ADR03 | 2,5 | Referenzspannungsquelle für ADC und DAC |

U44 stellt die Spannung von 15V für die Analog-Sektion isoliert bereit. Eine Diode D53 senkt diese Spannung um 0,6V ab, da die maximale Eingangsspannung für den Spannungsregler U37 15V, bzw. 18V sind. Für genügend Spielraum sollte der "LT1086 3.3" Verwendung finden. Mit D53 ließe sich noch der "LD1117 3.3" verwenden.

Die bipolare TVS-Diode D51 (1,5KE30CA) begrenzt die Eingangsspannung Ub auf 25,6V. Brakdown bei 28,5V lässt die Sicherung F6 (500mA) schmelzen. Alle Spannungsregler sind dann von Ub getrennt. Alle Ausgänge der BSP452 werden implizit abgeschaltet.

Damit liegt der Bereich der Eingangsspannung Ub an Terminal J9 (zu J10 OP und weiter zu J19 UP) der Gesamtschaltung zwischen 18V und 25,6V, falls ADC und DAC benötigt werden. Ohne ADC und DAC beträgt die Minimale Versorgungsspannung 9V, inklusive einer gewissen Reserve.

10.8 Spannungsversorgung CPU Teensy 4.0

Die CPU wird über Pin48 (+5V, USB) versorgt, und bezieht über den lokalen steuerbaren Spannungswandler ihren Strom. Zusätzliche Logik sorgt für einen geordneten Ablauf des Boot-Vorgangs.

10.9 Entkopplung USB von Ub

Es wird empfohlen eine Trennung der USB-Spannungsversorgung des Teensy von der 3,3V Schiene und der PLC-Versorgungsspannung vorzunehmen.

Dazu muß vor dem ersten Einsetzen und vor dem Einlöten der Pin-Leisten eine Leiterbahn zwischen zwei Löt-Jumpern auf der teensyplatine getrennt werden. Siehe pjrc.com/teensy/external_power.html

10.10 Die nicht genutzten Pins und J5 unter der CPU

Das CPU-Mudul stellt noch eine Reihe weiterer Signale zur Verfügung, die im myT40 über eine Kontaktleiste zur Verfügung stehen:

10.10.1 CPU-Pin-31 3.3V Power

Der Teensy 4.0 hat einen Spannungsregler, der die 5V VUSB / VIN-Spannung auf 3,3V reduziert und für den Hauptprozessor und die meisten anderen Teile bereitstellt. Zusätzliche Teile der Schaltungen könnten über den 3,3V-Pin versorgt werden. Da das empfohlene Maximum für die externe 3,3V-Nutzung nur 250mA beträgt, habe ich eine eigene 3.3V Versorgung für die Peripherie vorgesehen. Der Pin-31 bleibt ungenutzt.

10.10.2 J5-Pin-4 On / Off (CPU-Pin-19)

Über den On/Off-Pin kann ein spezieller Low-Power-Status gesteuert werden, der die 3,3V-Versorgung abschaltet. Ein Taster soll zwischen On/Off und GNDD angeschlossen werden. Hält man den Taster im laufenden Betrieb 4 Sekunden lang gedrückt, wird der Strom abgeschaltet. Wird der Taster im ausgeschalteten Zustand 0,5 Sekunden lang gedrückt, wird die 3,3-V-Stromversorgung wieder eingeschaltet und der Prozessor neu gestartet. Wenn eine Knopfzelle an VBAT angeschlossen ist, bleibt der Stromversorgungszustand erhalten, wenn die Hauptstromversorgung unterbrochen wird. Ohne VBAT wird der Stromversorgungszustand immer auf 3,3 V zurückgesetzt, auch wenn die Taste On/Off verwendet wurde, um 3,3 V auszuschalten, bevor die VIN/VUSB-Hauptstromversorgung unterbrochen wurde.

10.10.3 J5-Pin-3 Programm (CPU-Pin-18)

Dieser Anschluss wird verwendet, um den Teensy zu veranlassen, über die USB-Schnittstelle eine neue Programmierung entgegenzunehmen. Gleichbedeutend mit dem Taster auf der Teensy Platine.

10.10.4 J5-Pin-2 GNDD

Dieser Anschluss stellt GNDD (0V) bereit.

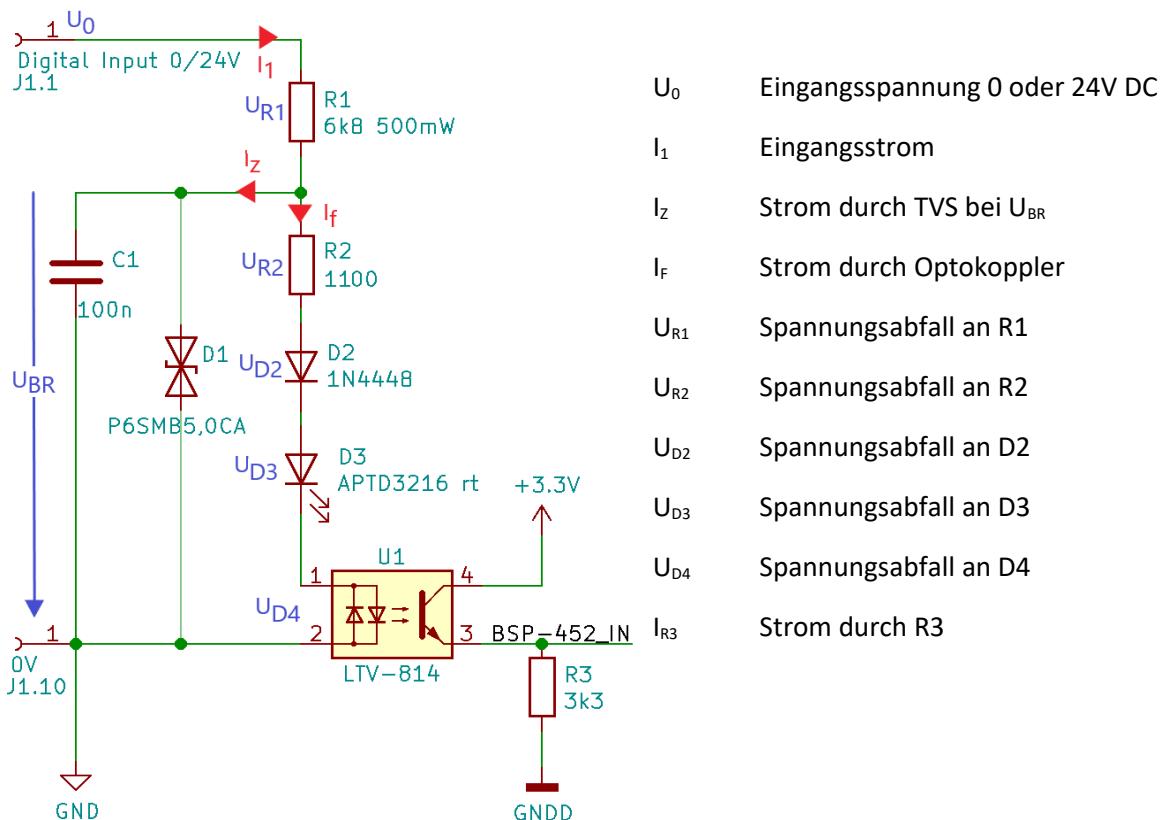
10.10.5 J5-Pin-1 3,3V CPU (CPU-Pin-16)

Dieser Anschluss stellt 3,3V vom CPU-Modul bereit, gedacht als Potential für Eingänge, keine Spannungsversorgung, siehe 10.10.1.

10.11 Berechnung Netzwerk digitale Eingänge

Das Netzwerk an jedem digitalen Eingang soll folgende Wirkung haben:

- Schutz vor dauerhafter Überspannung bis 50V (D1 mit R2,D2,D3,D4)
- Schutz vor Transienten (D1)
- Schutz der Leuchtdiode vor negativer Eingangsspannung (D2)
- Ableitung störender Frequenzen (C1)



Für D1 kommt eine TVS-Diode mit $U_R=5V$ zum Einsatz. Ihre U_{BR} liegt zwischen 6,4V (75°C) und 7,0V (25°C).

Üblicherweise kann eine typische „24V“ Spannung auch mal etwas darüber liegen. Ich nehme daher U_0 mit 28V an, womit sichergestellt wird, dass bei nominalen 24V die Diode D1 nicht leitet.

Berechnet wird zunächst für den Grenzfall $U_0=28V$ und $I_f= 3mA$ und $U_{BR}=U_{R2}+U_{D2}+U_{D3}+U_{D4}$. Solange $U_0 \sim 24V$ und damit U_{BR} unter 6,4V bleibt fließt faktisch kein Strom durch D1 und daher gilt $I_1=I_f$.

Funktion:

R1 begrenzt den Strom, an ihm fällt der Großteil der Eingangsspannung ab. Der Optokoppler und die LED D3 sollen mit ca. 3mA arbeiten. Der Spannungsabfall an beiden Bauteilen reicht auch bei höherer Eingangsspannung nicht aus, die Durchbruchspannung U_{BR} von D1 zu erreichen. Deswegen sorgen D2 und R2 zusammen mit D3 und D4 in Summe für einen Spannungsabfall von insgesamt 7.0V (6,4V) ab einer Eingangsspannung U_0 von etwa 28V (26V) bei 25°C (75°C).

Mit U_{BR} von 7.0V (6,4V) wird D1 leitend und begrenzt I_f auf 3mA trotz höherer Eingangsspannung als 28V (26V), weil U_{BR} konstant bleibt. Nur der Strom I_z steigt dann weiter an, ebenso wie die Verlustleistung an R1, die aus diesem Grunde mit 500mW bemessen werden muss.

Gleichzeitig schützt D2 die LED vor negativer Eingangsspannung, C1 beseitigt hochfrequente Anteile und D1 auch kurzzeitige Spannungsspitzen.

10.11.1 Dimensionierung R1 und R2, hier am Beispiel von R8 und R24

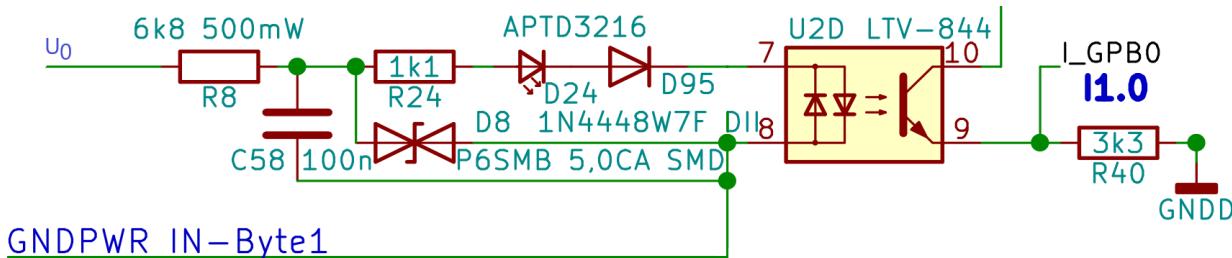
$I_F = 3\text{mA} = I_{D95} = I_{D24} = I_{R24}$, Strom durch Dioden, wenn D8 gerade noch nicht leitet und mit $U_0 = 28\text{V}$ am Eingang anstehen.

$U_{D24} = 1,77\text{V}$ (bei 3mA) Leuchtdiode D24 („SMD-LED 1206K RT LED“ oder „APTD3216LSURCK“)

$U_{U2D} = 0,9\text{V}$ bis 1,06V (75°C bis 25°C) Optokoppler U2D

$U_{D95} = 0,54\text{V}$ bis 0,64V (85°C bis 25°C) Verpolungsschutz-Diode D95

$U_{BR} = 6,4\text{V}$ bis 7,0V Durchbruchspannung von D8



Es werden zunächst die Werte für die wärmere Umgebung von 75°C berechnet, wobei die Temperaturdrift der 1%-Widerstände R8 und R24 vernachlässigt wird.

$$U_{BR} = 6,4\text{V}, I_F = 3\text{mA}, U_0 = 28\text{V}, U_{FD24} = 1,77\text{V}, U_{FD95} = 0,54\text{V}, U_{FU2D} = 0,9\text{V}$$

$$R24 = U_{R24}/I_F = (U_{BR} - U_{D24} - U_{UD2D} - U_{D95})/I_F = (6,4\text{V} - 1,77\text{V} - 0,54\text{V} - 0,9\text{V})/3\text{mA} = 1063 \Omega \rightarrow \text{Normwert } 1\text{k1}$$

$$R8 = (U_0 - U_{BR})/I_F = (28\text{V} - 6,4\text{V})/3\text{mA} = 7200 \Omega, \text{ gewählter Normwert } 6\text{k8}$$

$$\text{Mit } U_0 = 24\text{V} \text{ fließt dann ein } I_{Freal} = (U_0 - U_{D24} - U_{UD2D} - U_{D95}) / (R8 + R24) = 24\text{V} / (6800 \Omega + 1100 \Omega) = 2,63\text{mA}$$

Wird mit diesem I_{Freal} U_{BR} erreicht? $U = (U_{R24} + U_{D24} + U_{UD2D} + U_{D95}) = (R24 * I_{Freal}) + U_{D24} + U_{UD2D} + U_{D95} = 6,31\text{V}$: nein < U_{BR} .

Mit $U_0 = 26,1\text{V}$ fließt dann ein I_{Freal} von 2,9mA und U_{BR} mit 6,40V, bei 75°C.

Für normale Raumtemperatur 25°C gilt unter Berücksichtigung des anderen Extrems von U_{BR} :

$$U_{BR} = 7,0\text{V}, I_F = 3\text{mA}, U_0 = 28\text{V}, U_{FD24} = 1,77\text{V}, U_{FD95} = 0,64\text{V}, U_{FU2D} = 1,06\text{V}$$

$$R24 = U_{R24}/I_F = (U_{BR} - U_{D24} - U_{UD2D} - U_{D95})/I_F = (7,0\text{V} - 1,77\text{V} - 0,64\text{V} - 1,06\text{V})/3\text{mA} = 1177 \Omega \rightarrow \text{Normwert } 1\text{k1}$$

$$R8 = (U_0 - U_{BR})/I_F = (28\text{V} - 7,0\text{V})/3\text{mA} = 7000 \Omega, \text{ gewählter Normwert } 6\text{k8}$$

$$\text{Mit } U_0 = 24\text{V} \text{ fließt dann ein } I_{Freal} = (U_0 - U_{D24} - U_{UD2D} - U_{D95}) / (R8 + R24) = 24\text{V} / (6800 \Omega + 1100 \Omega) = 2,60\text{mA}$$

Wird mit diesem I_{Freal} U_{BR} erreicht? $U = (U_{R24} + U_{D24} + U_{UD2D} + U_{D95}) = (R24 * I_{Freal}) + U_{D24} + U_{UD2D} + U_{D95} = 6,33\text{V}$: nein < U_{BR} .

Mit $U_0 = 28,8\text{V}$ fließt dann ein I_{Freal} von 3,21mA bei einem U_{BR} mit 7,0V.

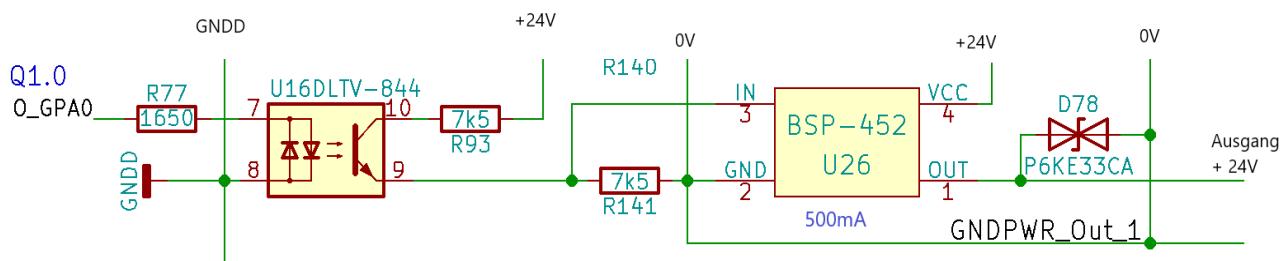
Damit ist die Dimensionierung von R8 und R24 bestätigt für die Verwendung der gewählten TVS-Diode D8.

Die Belastbarkeit von R8 ist noch zu betrachten, und zwar für den ungünstigeren Fall mit $U_{BR} = 6,4\text{V}$:

Mit $U_0 = 24\text{V}$ ergibt sich ein $P(R8)$ zu 46mW, mit $U_0 = 30\text{V}$ ein $P(R8) = 81\text{mW}$, bei $U_0 = 50\text{V}$ ein $P(R8) = 280\text{mW}$

Daher verwende ich sicherheitshalber hier die Variante > 250mW für R8, z.B. 500mW.

10.12 Berechnung Netzwerk digitale Ausgänge



Rahmenbedingungen Optokoppler:

$I_F \leq 3\text{mA}$ (abs.max. $\pm 50\text{mA}$), $I_C \leq 3\text{mA}$ (abs.max 50mA), U_{CE} abs.max. 35V , U_{EC} abs.max. 6V

Rahmenbedingungen BSP-452 (Alternativ BTS4141N oder BTS4142N):

Vcc abs.max. 40V, Uin abs.max -5V..Vcc, Iin abs.max 5mA

$$R_{IN} = 2k8 \quad \text{BSP-452 ungefährer Eingangswiderstand}$$

Die Berechnung für belasteten Spannungsteiler aus R93, R141 und Rin von U26 ergibt für Ic des Optokopplers:

$I_c = I_{R93} = 2,52 \text{ mA}$ Optokoppler Collector

I_{IN}=1,83mA, U_{IN}= 5,13V BSP-452 Eingang

Die Werte liegen innerhalb der Spezifikation für U26 (BSP-452) und U16 (LTV-844).

Für die Ausgangs-LEDs ergibt sich mit $R_{102}=7500$ Ohm für $I_F = (U_{OUT}-U_{D54}-U_{D106})/R_{102} = 2,88mA$ bei 24V. Bei 30V liegt I_F bei 3,6mA.

Hier erkennt man einen Nachteil: Die Ausgangs-LEDs hatten nach Verdrehen der Ausgangs-Blöcke von V1.3.5 nach V2.2, um die Ausgangs-Verkabelung der Prototypen V1 und V2 zwischen UP und OP zu umgehen, hinter den Optokopplern keine Anschlussmöglichkeit mehr und wurden daher direkt an den Ausgängen plaziert. Wenn jemand 12V Schalten möchte, sinken Steuerspannung und Steuerstrom etwa auf die Hälfte, aber auch der Strom durch die Ausgangs-LEDs, letzterer auf 1,2mA. Die Helligkeit dürfte nicht mehr ausreichen. Zumindest R102 und Vergleichbare wären dann auf 3900 Ohm zu ändern.

Anmerkung zur ESD/TVS Diode D78 und Vergleichbare:

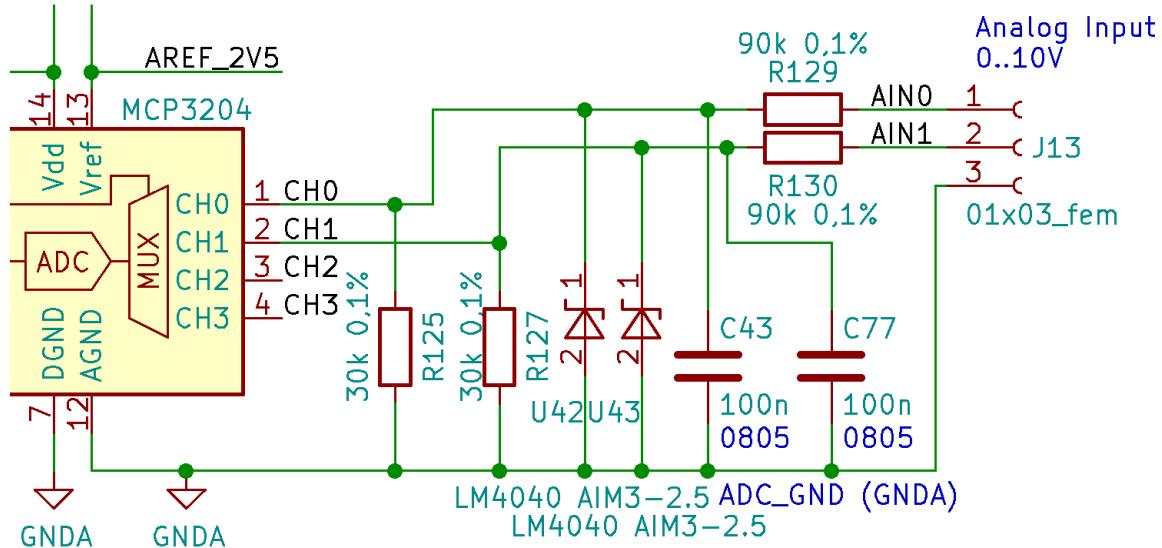
Für D78 und alle anderen ist auf der Platine nur ein Diodensymbol eingezeichnet. Die die sinnvolle CA-Serie der P6KE ist jedoch ein bipolares Bauteil.

Und ja, sowohl BSP-452 als auch BTS4141N haben eine interne Schutzbeschaltung. Man gehe lieber auf Nummer sicher und verwende für den BSP-452 eine bipolare P6KE33CA mit $U_R=28,2V$ und U_{BR} zw. 31,4V und 34,7V. Es sei hier erwähnt, dass D78 auch die zugehörige Ausgangs-LED vor zu hoher Spannung schützt.

Wird die Alternative BTS4141N oder BTS4142N eingesetzt, die beide eine höhere Maximalspannung verankerten, dann ist eine P6KE36CA mit U_R bei 30,8V und U_{BR} zwischen 34,2V und 37,8V vertretbar.

10.13 Berechnung Netzwerk Analoge Eingänge

Eingangsschutzbeschaltung der analogen Eingänge.



Ab V2.2 M31 arbeitet die Schaltung mit LM4040-BIM3-2.5, Referenzspannungsdiode 2,5V.

Der Eingangswiderstand kann in Grenzen angepasst werden, solange das Verhältnis für

$$U_{CHx} = 1/4 * U_{AINx}$$

beibehalten wird und man Widerstände mit 0,1% und geringer Temperatur-Drift bekommt.

11 Software myT40-PLC

11.1 Prinzipieller Programmablauf und Konfiguration

Zugrunde liegt dem Projekt das Programmierparadigma TTC , inspiriert von M.J. du Pont „The Engineering of Reliable Embedded Systems“ 2015. Die Beispiele in diesem Buch sind für den NXP Chip LPC1769 geschrieben, und wurden von mir auf Teensy 4.0/4.1 angepasst und stark erweitert.

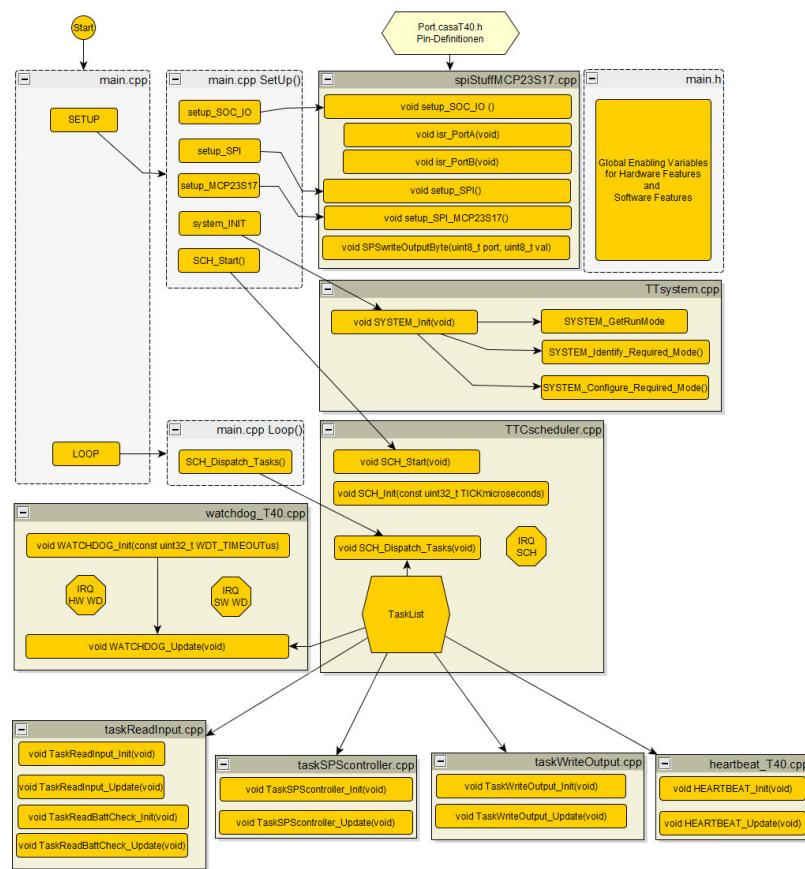
Gemäß dem Zitat Seite XXV : „for non- commercial projects carried out by individuals and hobbyists“ sind die Beispiele aus seinem Buch frei einsetzbar.

Daher ist auch dieses, mein Projekt, wie oben beschrieben, frei verfügbar nach „CC BY-NC-SA“.

Debugging, das sei hier noch einmal gesagt, ist mit den originalen Teensy 4.0/4.1 leider nicht möglich.

Die elektrischen Verbindung und Adressierungen der einzelnen Komponenten auf den Platinen bestimmen die zu verwendende Konfiguration der Microcontroller-Ports. Die Port-Definition ist unten beschrieben.

Prinzipiell lässt sich die Softwarearchitektur vereinfacht wie folgt darstellen:



Es ist keine gute Idee, die Abfrage der Eingangs-Ports, die Behandlung der Zustände und den Programmablauf, sowie das abschließende Setzen der Ausgänge einfach in der Main-Loop durchlaufen zu lassen.

Vielmehr zielt der Einsatz von TTC darauf ab, interruptgesteuert die einzelnen Aufgaben in einer genau zeitlich bemessenen Frequenz und Abfolge überwacht durchführen zu lassen.

Nach der Initialisierung, in Abhängigkeit der vorhandenen Hardware und der für jede Steuerung zugesetzten Aufgabe wird die Tasklist passend initialisiert und die eigentliche Programmlogik in taskSPScontroller.cpp freigeschaltet.

Neben der Interruptquelle für den Scheduler, der pro Millisekunde einen oder mehrere komplett Tasks

abarbeitet, gibt es weitere Interruptquellen: Hardware-Watchdog und Software-Watchdog.

Die jeweiligen Zustände der Steuerung lassen sich im Heartbeat-Task mit den Status-LEDs darstellen. Beliebige weitere Tasks, wie Schalt-uhr/-werk, Kettenfunktionsbausteine, Analog in/out, Interrupt gesteuerte Eingänge je Byte sind hier vereinfachend nicht dargestellt.

Ich veröffentliche hier lediglich die Port-Definitionen, die für eine Initialisierung der Hardware und das diese nutzende Programm unabdingbar sind und sehe von der Veröffentlichung meiner eigenen Software erst einmal ab, da noch lange nicht final.

11.1.1 Port-Definition der myT40-PLC

```
#ifndef _PORT_TY40_H
#define _PORT_TY40_H
// #####
// Definition allgemein Hardware
// system_device.h

// Teensy 4.0 Pin-Zuweisungen
#define PIN_SPICS_IO_ 10 // out, Active_Low, SPI-Select MCP23S17 Adresse 0x00 / 0x01
#define PIN_SPICS_EE_ 15 // out, Active_Low, SPI-Select EEPROM 25LCxxx
#define PIN_EE_HOLD_ 14 // out, external pullup, Active_Low, EEPROM 25LC256 HOLD_ Eingang
#define PIN_MODE1_ 2 // in , internal pullup, Active_Low, Run-Mode-1
#define PIN_MODE2_ 3 // in , internal pullup, Active_Low, Run-Mode-2
// LED_0 ist verbunden mit Versorgungsspannung Ub=3,3V
#define PIN_LED_1 5 // out, Active_High, LED-1 (High or Low )     ### HeartBeat , Process Status
#define PIN_LED_2 6 // out, Active_High, LED-2 ( " " )           ### starting Mode-1/2, COM-Status
#define PIN_LED_3 7 // out, Active_High, LED-3 ( " " )           ### Low Battery, other Errors
#define PIN_BATCHKA A7 // analog A7(21), Batterie-Check Analog Eingang A7 Nutzung Analog
#define PIN_INT_A 8 // in, Active_High, Interrupt-Eingang fuer Eingang-MCP23S17-Port-A
#define PIN_INT_B 9 // in, Active_High, Interrupt-Eingang fuer Eingang-MCP23S17-Port-B
#define PIN_RESET_ 4 // in, external pullup, Active_Low, Reset-Eingang primae
// sekundaer Ausgang fuer RESET
#define PIN_CAN2_RX 0 // CAN-Bus-2 RX2
#define PIN_CAN2_TX 1 // CAN-Bus-2 TX2
#define PIN_CAN1_RX 23 // CAN-Bus-1 RX1 (OP Oberseite U8)
#define PIN_CAN1_TX 22 // CAN-Bus-1 TX1 (OP Unterseite U6)
#define PIN_UART_RX 16 // UART Interface RX4 (U10)
#define PIN_UART_TX 17 // UART Interface TX4 (U10)
#define PIN_UART_RE_ 18 // out, UART Interface RE_ / DE
#define PIN_SPICS_ADC_ 19 // out, Active_Low, SPI-Select ADC MCP3204
#define PIN_SPICS_DAC_ 20 // out, Active_Low, SPI-Select DAC MCP4922
// Implizit SPI_MOSI 11 // SPI MOSI
// Implizit SPI_MISO 12 // SPI MISO
// Implizit SPI_SCK 13 // SPI Clock

// Batt-Check Threshold
#define BATTCHECKVALMIN 310 // Minimale Spannung fuer Pufferbatterie 1V
                           // Maximal 3,6V(BAT3V6 LiIo) - 0,515V (D33) = 3,085V

// Chip-Adressen auf Platine
#define ADDR_MCP23S17_IN 0x00 // Adresse des MCP23S17 fuer die Eingaenge
#define ADDR_MCP23S17_OUT 0x01 // Adresse des MCP23S17 fuer die Ausgaenge
                           // Dazu muss das Register IOCON.HAEN gesetzt sein.
                           // Byte-Mode IOCON.SEQOP

// EEPROM-Parameter 25LC256
#define EEPROM_SIZE 0x64000000 // EEPROM-Parameter Groesse      32768*8 = 256KB
#define EEPROM_PAGE 0x1000 // EEPROM-Parameter Page-Size   64Byte

// MSB first, LSB last

// CAN-BUS-Parameter
#define CANBUS0_FRQ 125000 // Frequenz auf CAN-Bus-1      125kHz
#define CANBUS1_FRQ 125000 // Frequenz auf CAN-Bus-2      125kHz

// SPI-Parameter
#define SPI_FRQ 1200000 // Frequenz auf SPI-Bus      MCP23S17, maximum for ADC : 1.3MHz
#define SPI_MODE 0x00 // SPI-Mode          MCP23S17, Mode=0,0 ;25LC256 Mode=0,0

// Analog-Eingang, Spannungsbezug
#define VMAXBAT 3040 // 3.04V = 3040mV bei Litium-Zelle mit 3,6V +1N4007/1N4448 in Reihe

// EEPROM Zugriff blockiert Interrupt-Bearbeitung der MCP23S17, sowie Lese- und Schreibzugriffe,
// solange nicht PIN_EE_HOLD_ gesetzt ist.
// bool ACTIVE_EEPROM = false;

#endif
```

12 Release Notes der Publikation

Das Projekt wurde im August 2023 in „myT40-PLC“ umbenannt, um Namenskonflikte zu vermeiden.

12.1 myT40-PLC

| | | | | |
|-------------------|--|---|-----------------|-------------------------------------|
| 12.1.1 | V2.6 | M36 | Version-4 (PFS) | erstmalig publiziert im August 2023 |
| 12.1.2 | V2.6 | M37 | Version-4 (PFS) | 23.11.2023 |
| 2023-11-17 | OP: | C51 statt 100nF nun Tantal 4μ7 16V, für sauberere Spannung 5V-CPU-final | | |
| 2023-11-23 | OP: | C73 100nF neue Baugröße SMD 0603 C75 100nF neue Baugröße SMD 0603 C76, U50, R133 verschoben GNDD Verlauf optimiert R133 = 470k für 5 Sekunden, 220k für 2,5 Sekunden | | |
| | zusätzliche Bauteile: | C95 10μF 10V Tantal, Kondensator an NE555D, soll Transienten bei Schaltvorgängen reduzieren R169 10R (0..100 Ohm) koppelt NE555-Ausgang Q an Q2 (3V3EN.Q2.UP, Potential COLDSTART_3V3INT) auf OP (5V_CPU) aus und legt ihn an J4-Pin-8 für UP an. R171 10R (0..100 Ohm) koppelt NE555-Ausgang Q an Q1 | | |
| 2023-12-06: UP | UP: | Q2 (IRLML-2244) erhält das NE555-Ausgangssignal über J19-Pin-8 und eine Brücke Br (J34/J36). R170 10k der obligatorische Gate-Source-Widerstand für Q2 C96 100n filtert HF aus, zusammen mit Br ist Tiefpass möglich, wenn statt 0 Ohm ein kleiner Widerstand bis 100 Ohm eingesetzt wird, evtl. genügt auch schon R169. C97 100n Eingangskondensator für U13, Spannungsregler 3V3 | | |
| 2023-12-15: OP | Ansteuerung Q2 über J34 und J35 mit Brücke wieder entfallen. UP Potentiale umgelegt. | | | |
| 2023-12-22: OP+UP | D1-D16 mit Cs verschoben R163/R165 verlegt Abstände OV Byte1 zu PE vergrößert OP PCB-Variante mit 4 Layern , um kapazitiv eingekoppelten Signalen einen Rückweg zu ermöglichen. U40 verlegt auf UP, C99 100nF an RESET-Leitung bei Extension-Slot (Optional) R50 RESET-PullUp auf UP neben U40 plus neuem C98 100nF Q2 und R170 jetzt hinter U13 (3,3V Spg. Erzeugung) Potentiale 5V_CPU, 3V3_INT durchgängig benannt auf UP+OP Da Q2 von NE555 mit ca 5V zur Abschaltung angesteuert wird, begrenzt D50 auf maximal 3,6V am Ausgang von U13. Mit dieser Änderung kann die CPU nun aktiv einen Kaltstart in Eigenregie veranlassen und kann sich selbst den Saft abdrehen, wenn der Interrupt-Eingang für RESET am Teensy-Pin-6(4) als Ausgang mit OpenCollector auf Low gezogen wird. Da RESET dauerhaft mit PullUp auf 3,3V gezogen werden muss, ist R50 auf die UP umgezogen. U40 erreicht jetzt auf der UP RESET und 3,3V aus U13. | | | |

12.1.3 V2.6 M38 Version-4 (PFS) 17.01.2024 Final Proto, produziert

| | |
|-------------------|--|
| 2024-01-17: OP+UP | Neu U51: Ugs-Pegelwandler 5V auf 3,3V für Q2 Gate (Q2 zur Abschaltung 3,3V Interfaces) (Wahrscheinlich nicht nötig, denn : -12V <= Ugs <= 12V). Es entfällt damit auch D50 (ZenerD 3,6V SOT23). Neu R501: R50 als einziger PullUp für RESET auf UP für CPU auf OP über Steckverbindung erschien mir zu unsicher, daher ein zusätzlicher PullUp R501 auf OP neben Extension-Slot |
|-------------------|--|

12.1.4 V2.9 M41 Version-4 (PFS+FFC) 09.06.2024 Finale Version

2024-06-09: OP+UP

- Entfallene Bauteile : R128, R501, C1, U48
- Geänderte Bauteile:
 - U49 Levelshift Version SN74LV1T32
 - R50 und R126 : 220 Ohm
- Zusätzliche Bauteile
 - dritter Pin für J8 als J36, auf UP, mit Gegenstück J34 auf OP für die Durchleitung von 3.3V auf Pull-Up R126 für SW_MODE_2

Es wird für die Oberplatine nur noch die 4-Layer-Variante weiterentwickelt.

--- finis partis publicae ---