**实验四 智力抢答器设计仿真与下载**

**一、 实验目的**

1． 了解智力抢答器的概念，设计智力抢答器电路。掌握该时序器件的Verilog HDL 语言程序设计的方法。

**二、 实验内容**

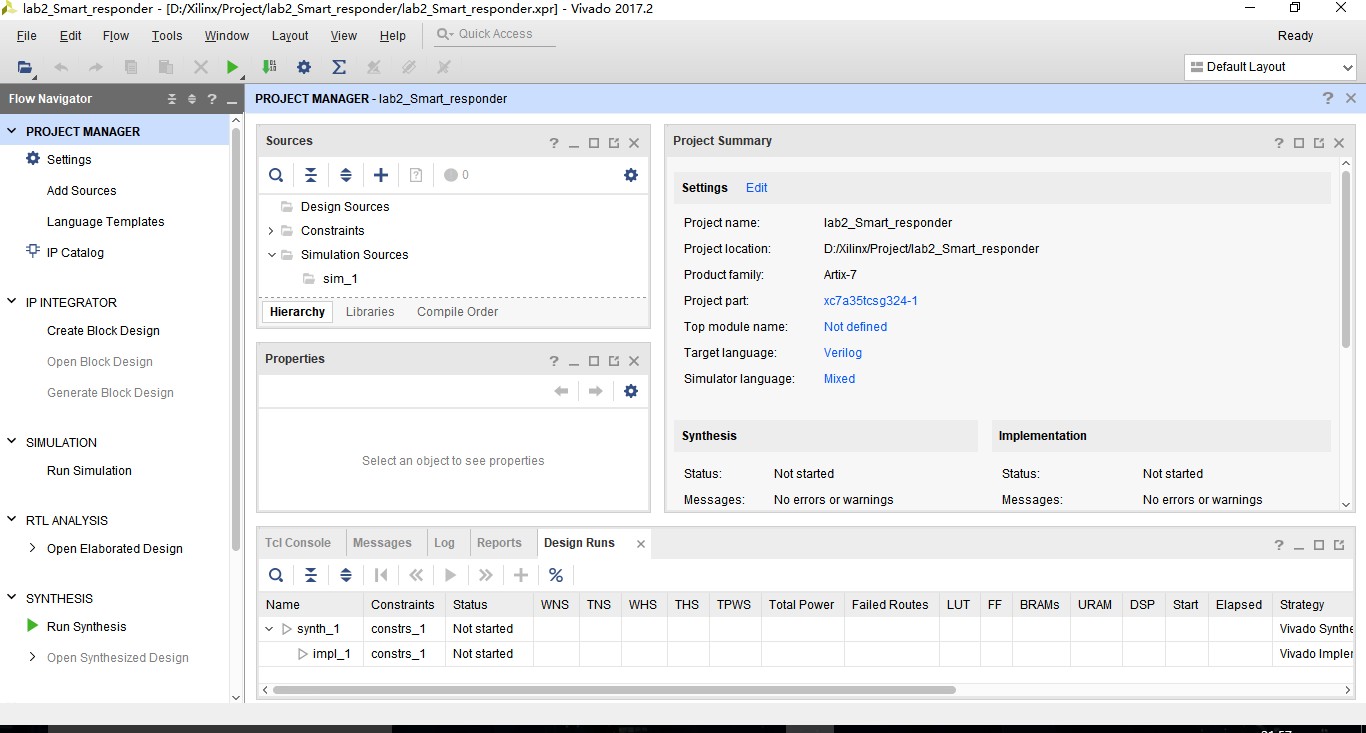
1. 智力抢答器 ；

**三、 实验要求**

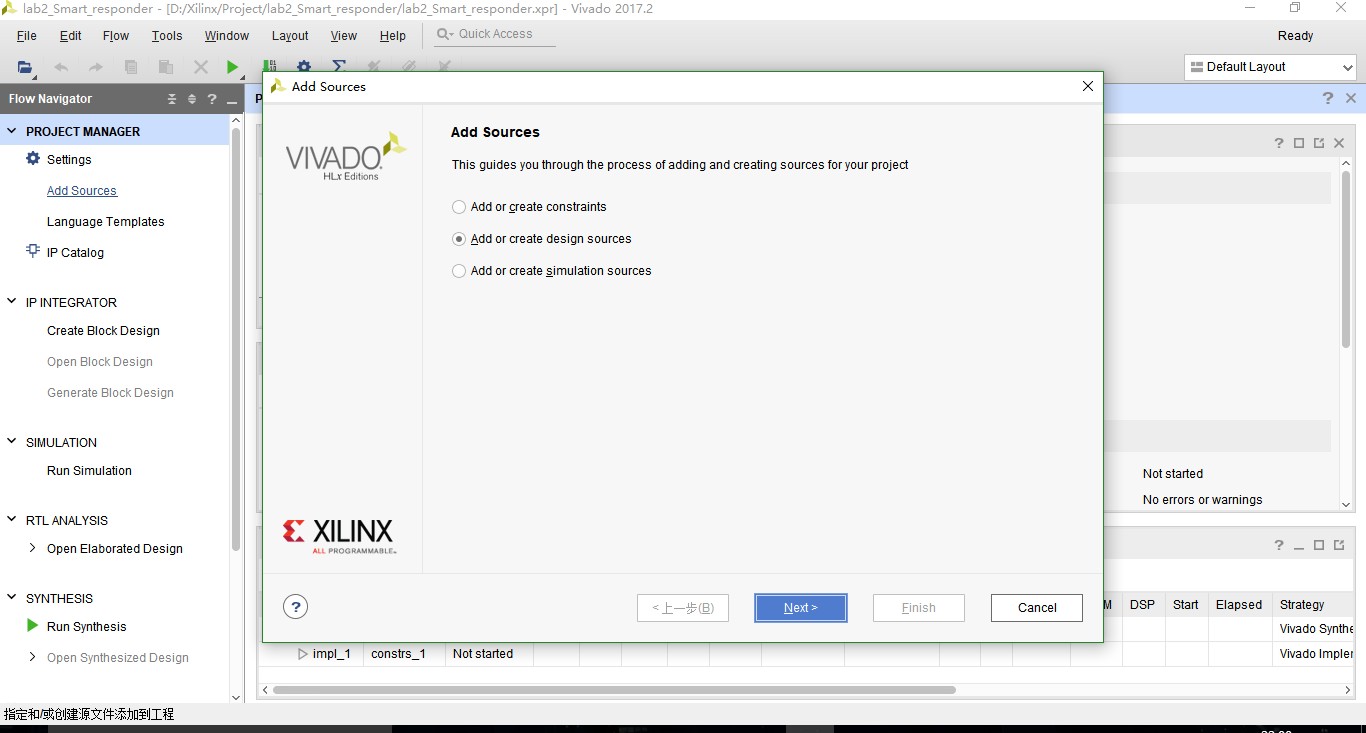
1. 在 VIVADO 环境下进行时序仿真；
2. 完成下载，在实验板上对程序进行验证，必要时对波形进行观察。

**四、 实验步骤**

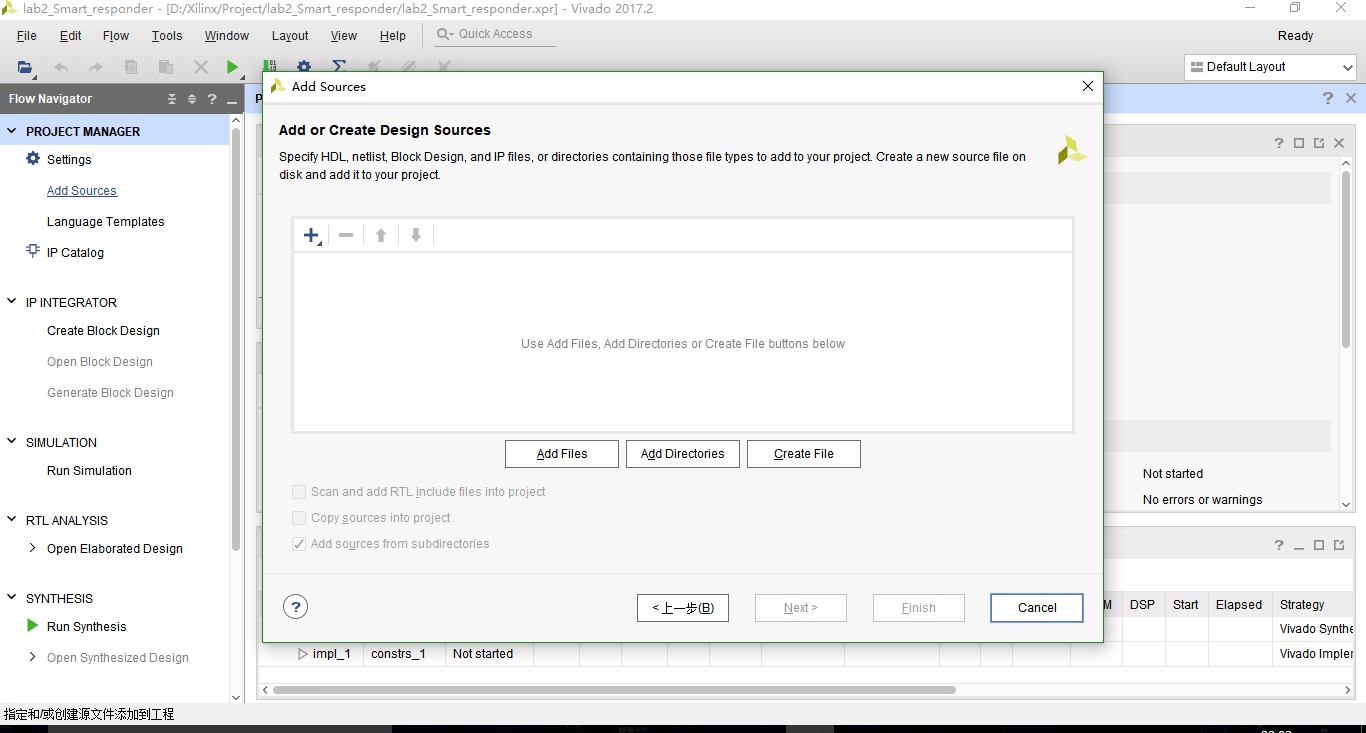
（一）、创建工程

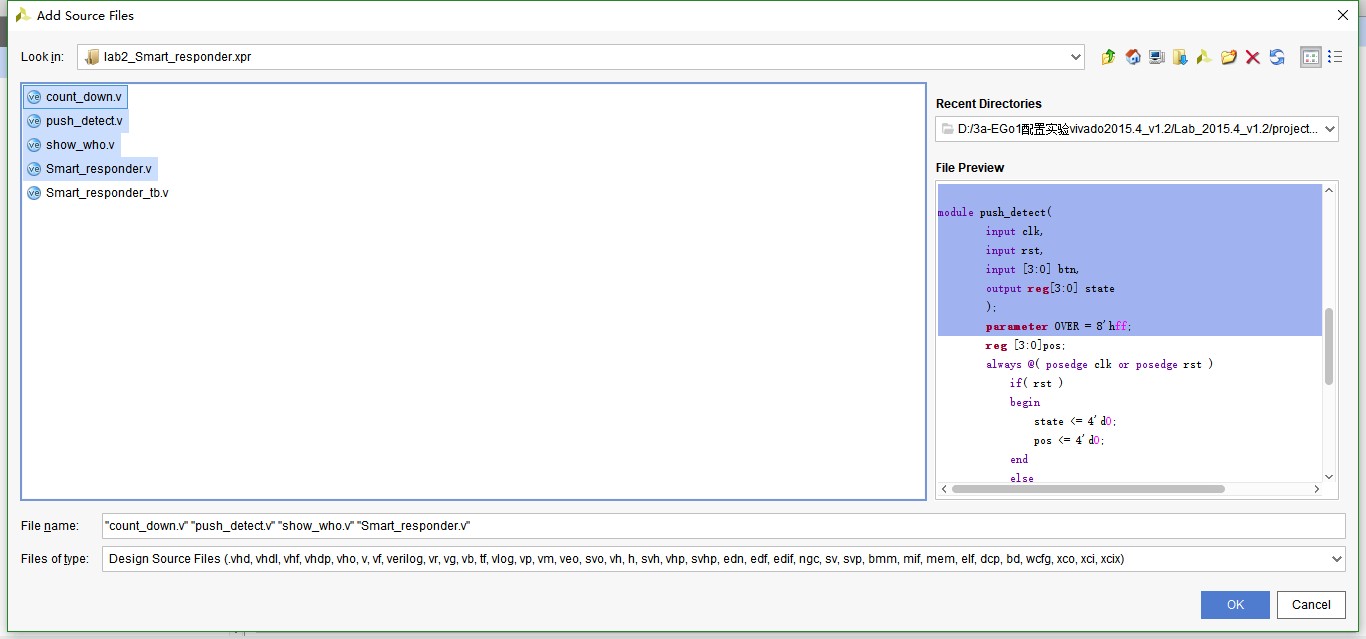
1、仿照实验一的流程，创建一个新的工程 “lab4\_Smart\_responder”。

**（二）、添加源文件**

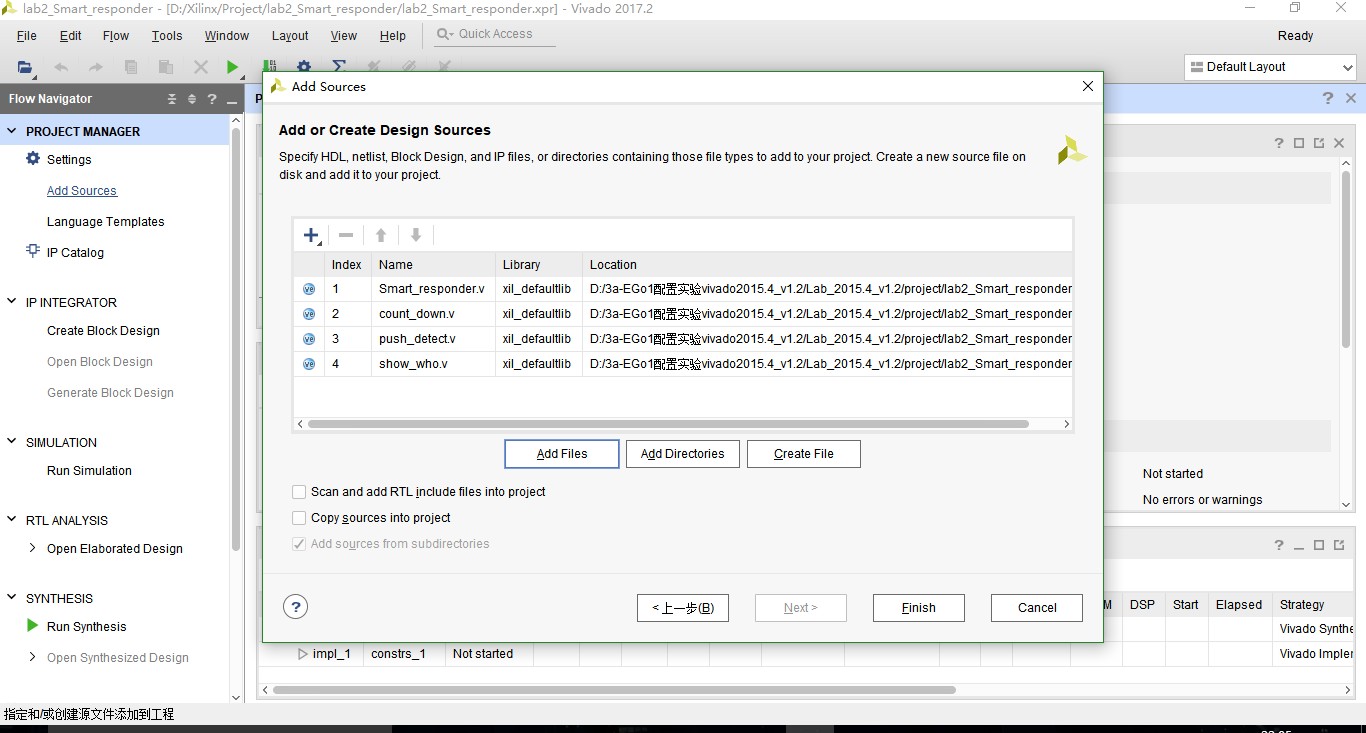
2、在左侧 “Flow Navigator” 栏中的 “Project Manager” 下点击 “Add Sources”，在弹出的窗口中选择 “Add or create design sources”，点击 “Next”。

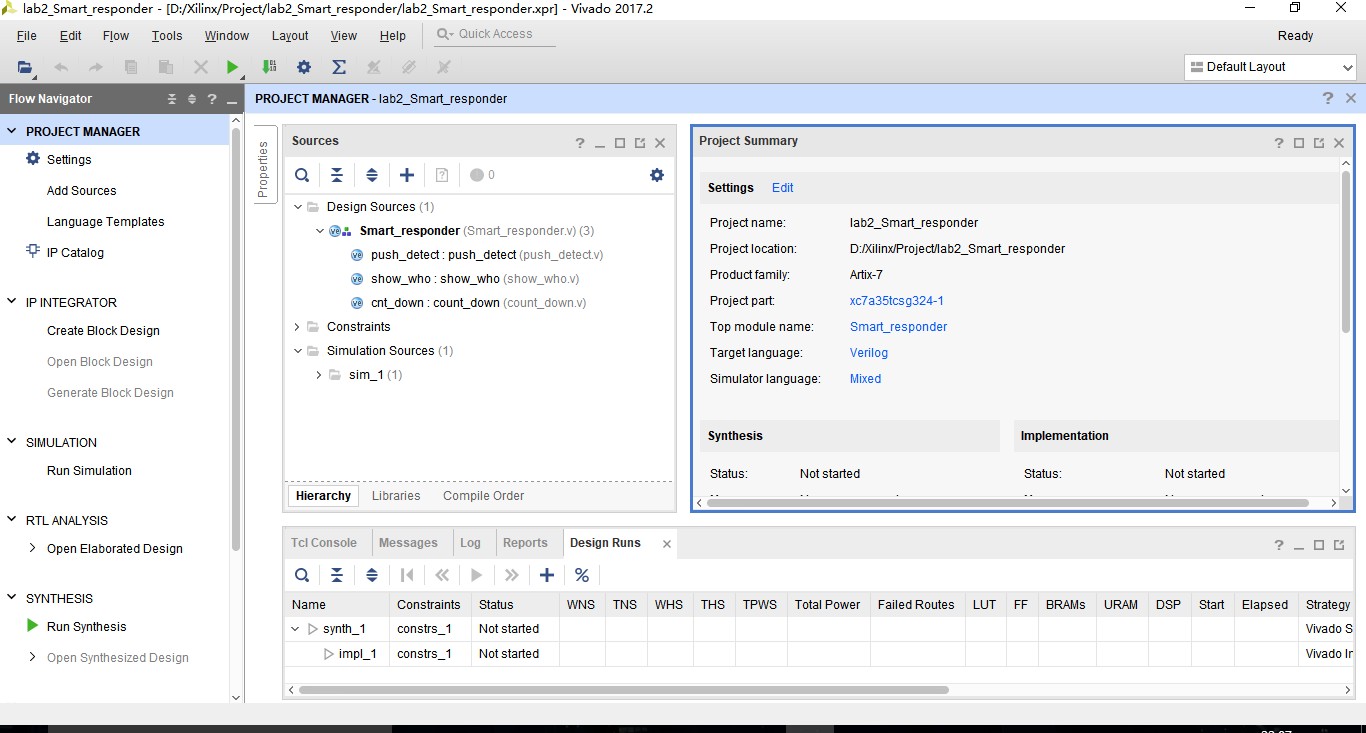
3、选择 “Add Files”。



4、进入实验四的源文件目录（需要新建文本文档，重命名为 “模块名.v”，并在里面编辑各模块的代码），选中各模块的源文件（按键检测模块 “push\_detect.v”、 位选控制模块“show\_who.v”、 倒计时模块 “count\_down.v” 和顶层模块 “Smart\_responder.v” ）， 点击“OK”。

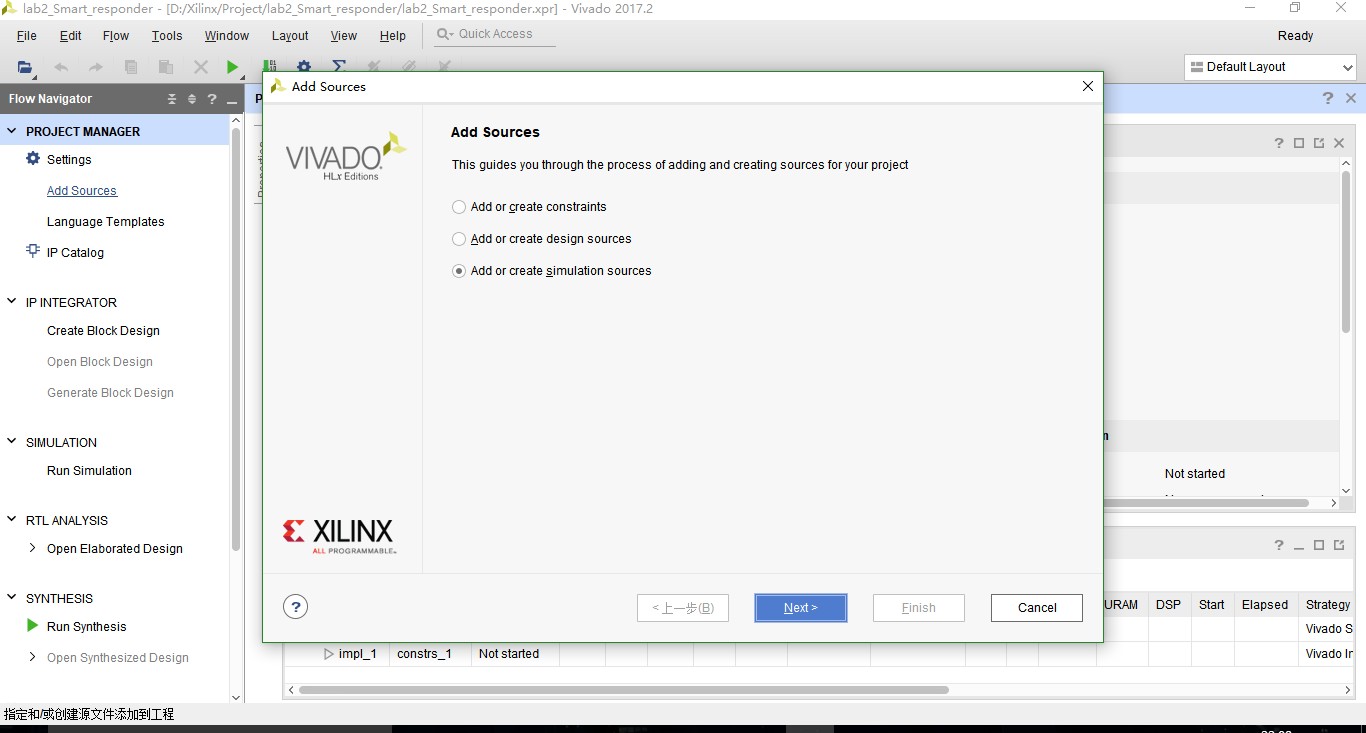
5、点击 “Finish”。



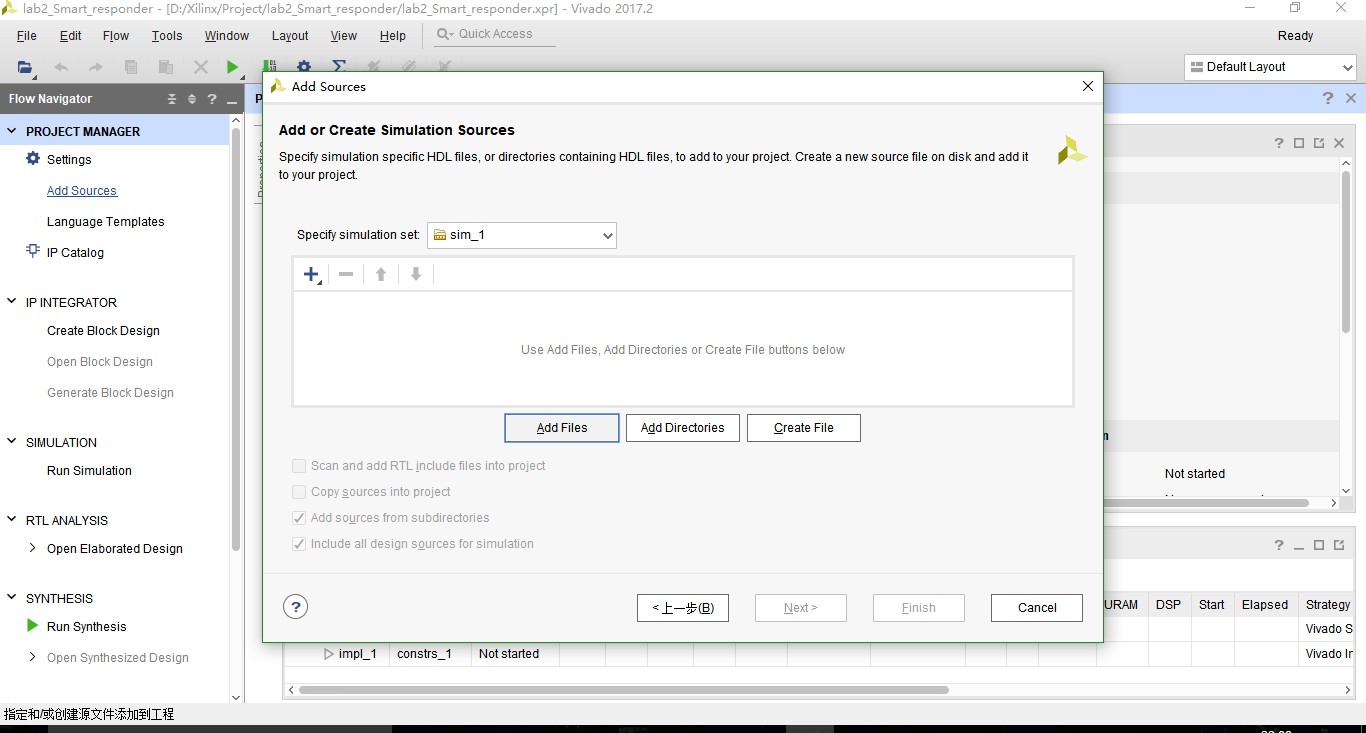


**（三）、仿真**

6、添加仿真文件。在左侧 “Flow Navigator” 栏中的“Project Manager” 下点击“Add Sources”，在弹出的窗口中选择 “Add or create simulation sources”，点击 “Next”。



7、点击 “Add Files”，选择仿真文件 “Smart\_responder\_tb.v”。



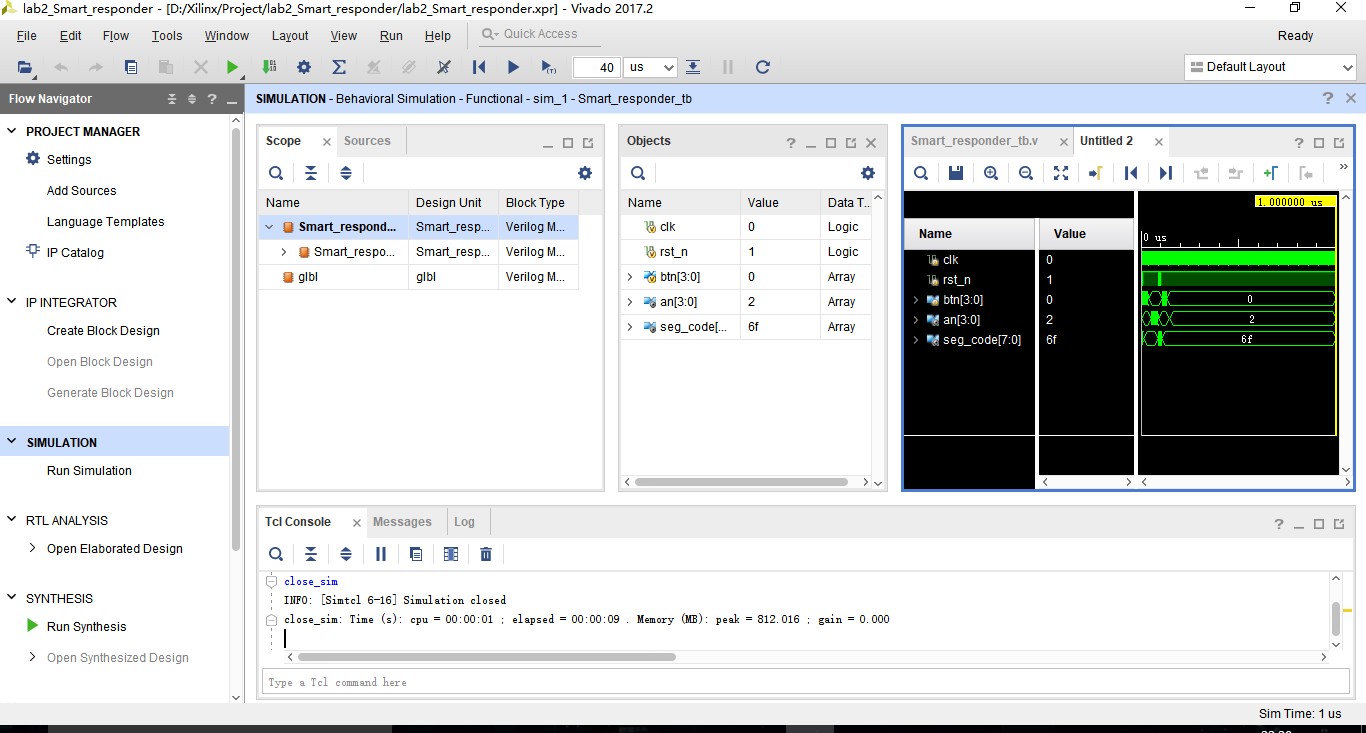
8、点击 “OK”，再点击 “Finish”。

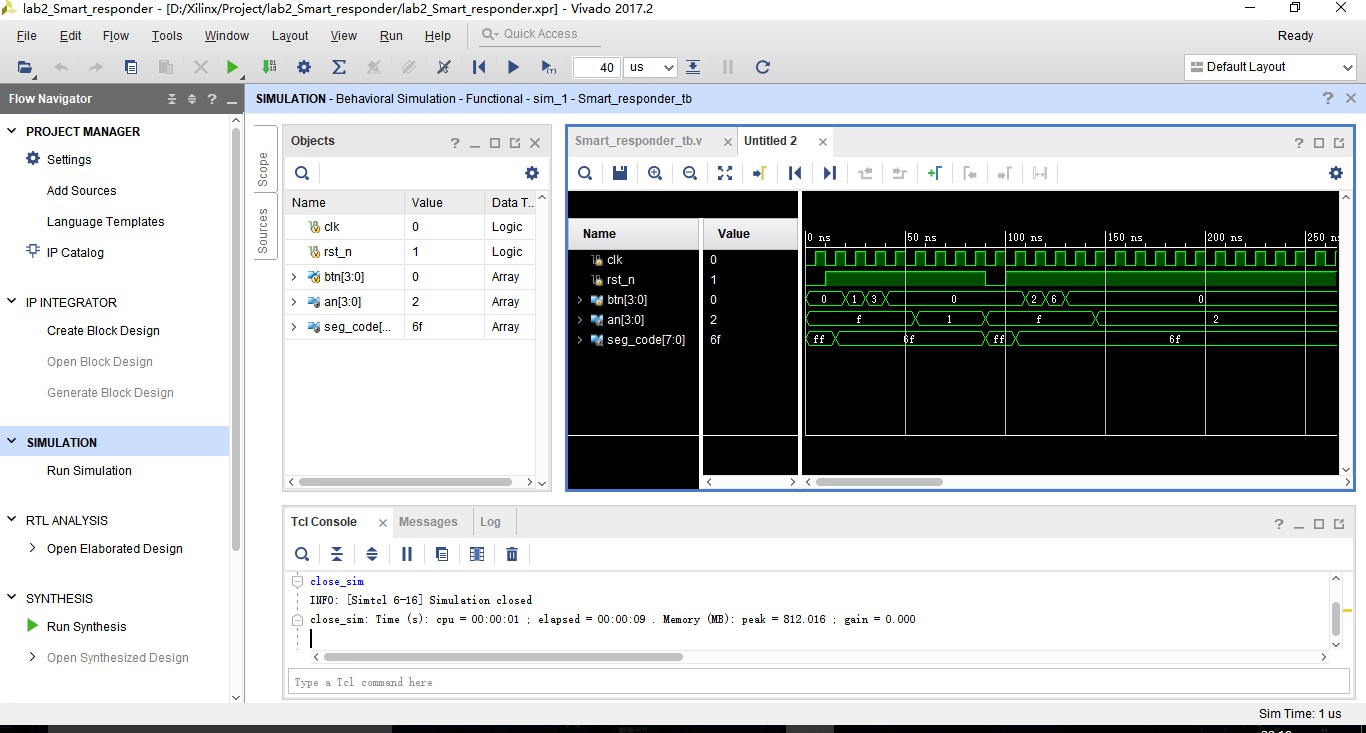


9、在左侧 “Flow Navigator” 一栏中的 “Simulation” 下点击 “Run Simulation”，选择“Run Behavior Simulation”。



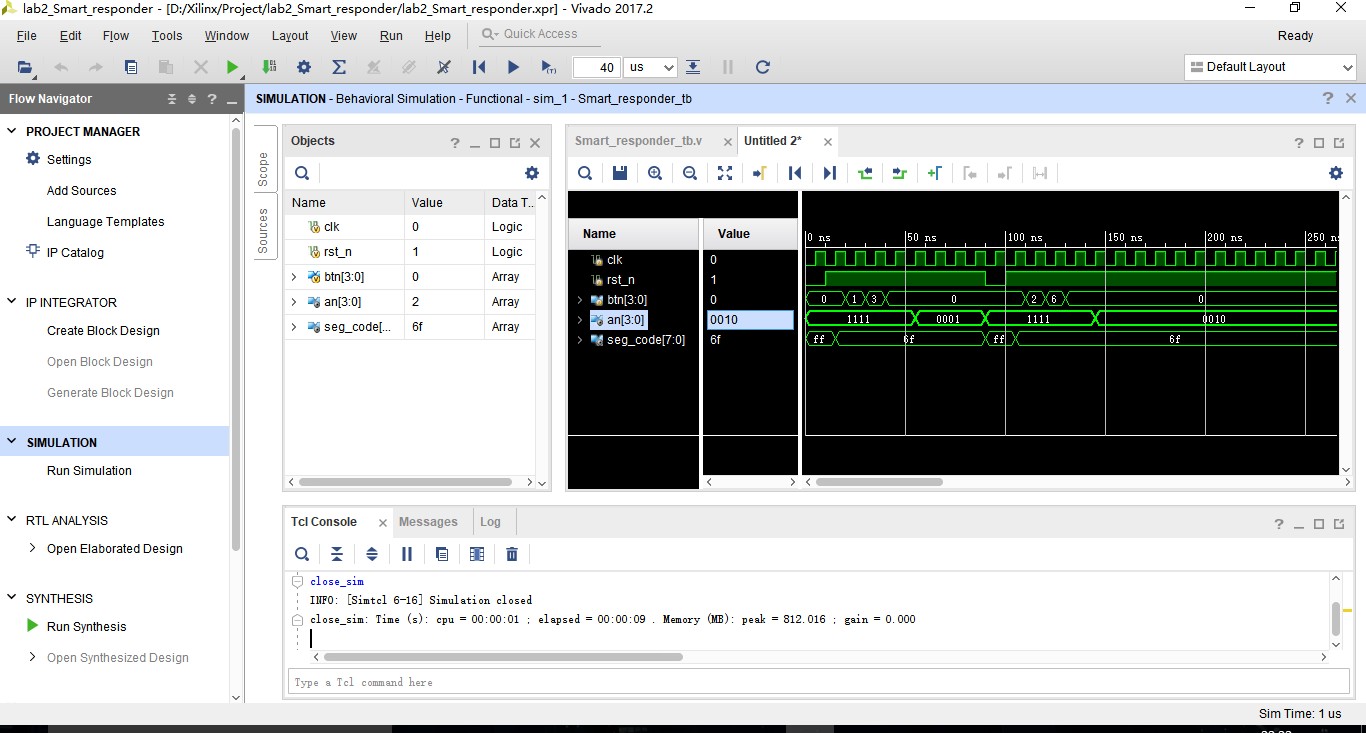
10、进入仿真界面。



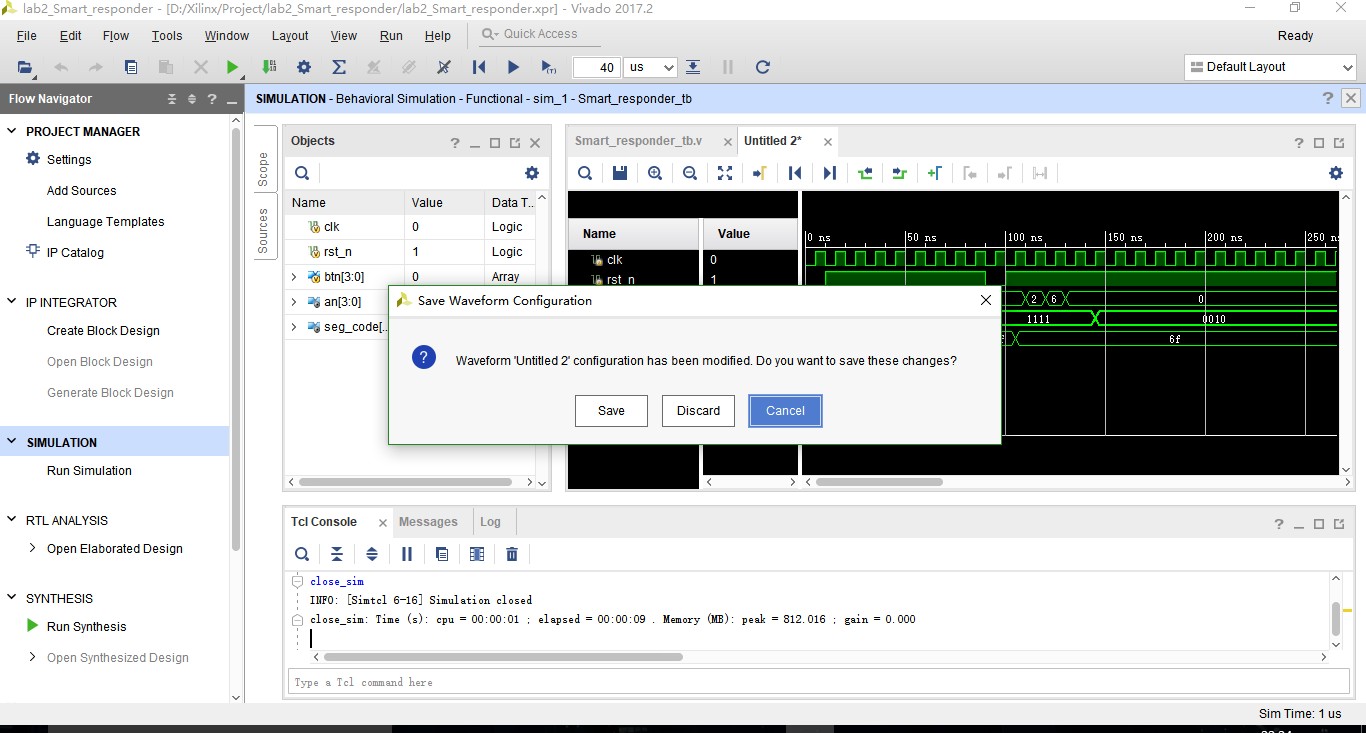
11、调整界面布局，通过 “Zoom Fit”、“Zoom In” 及 “Zoom Out”，将波形缩放到合适大小。

12、在波形图上信号 “an” 处右击，点击 “Radix”，选择 “Binary”，用二进制表示。

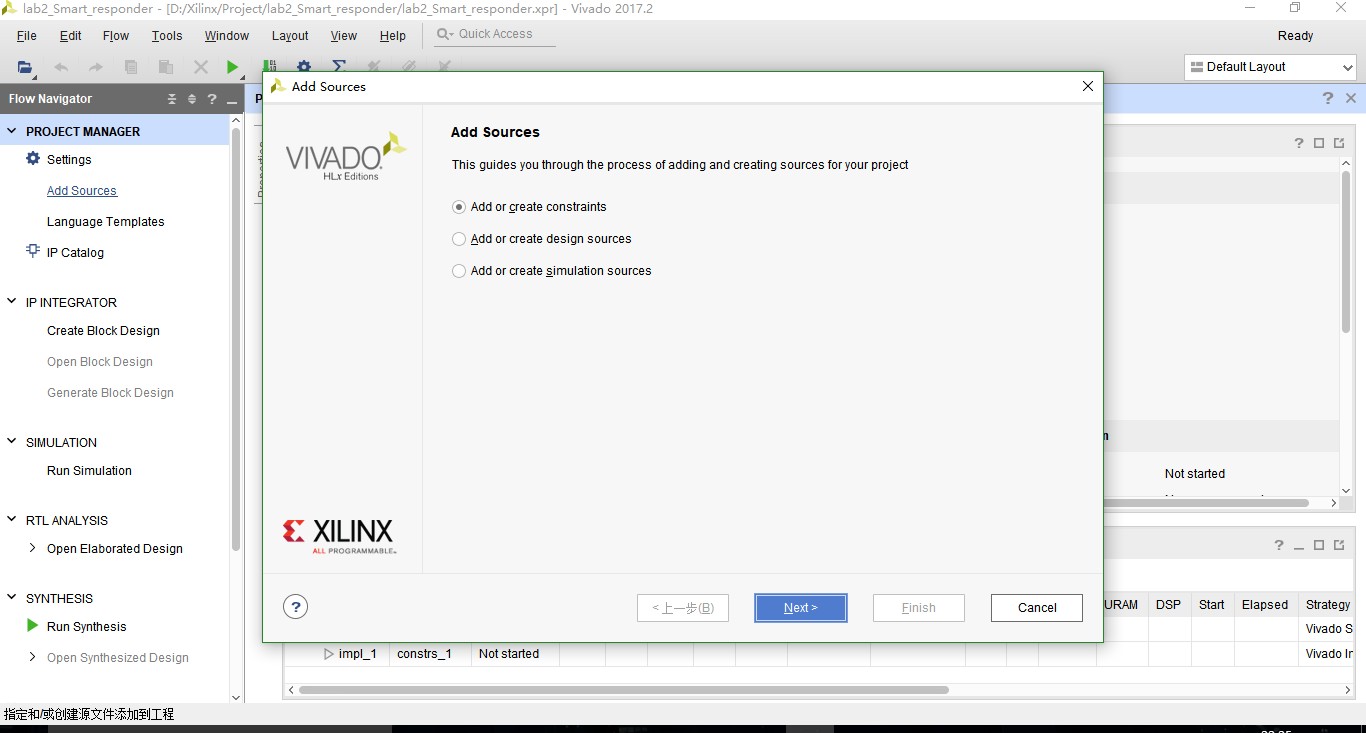


13、从波形可以看出，当复位信号产生后，根据 btn 信号组可知 1 号、2 号选手依次按下抢答按钮，所以 1 号灯应该被点亮。根据 an 信号组（0001）可以发现 1 号灯确实被点亮。此后复位信号生效，继续进行抢答。

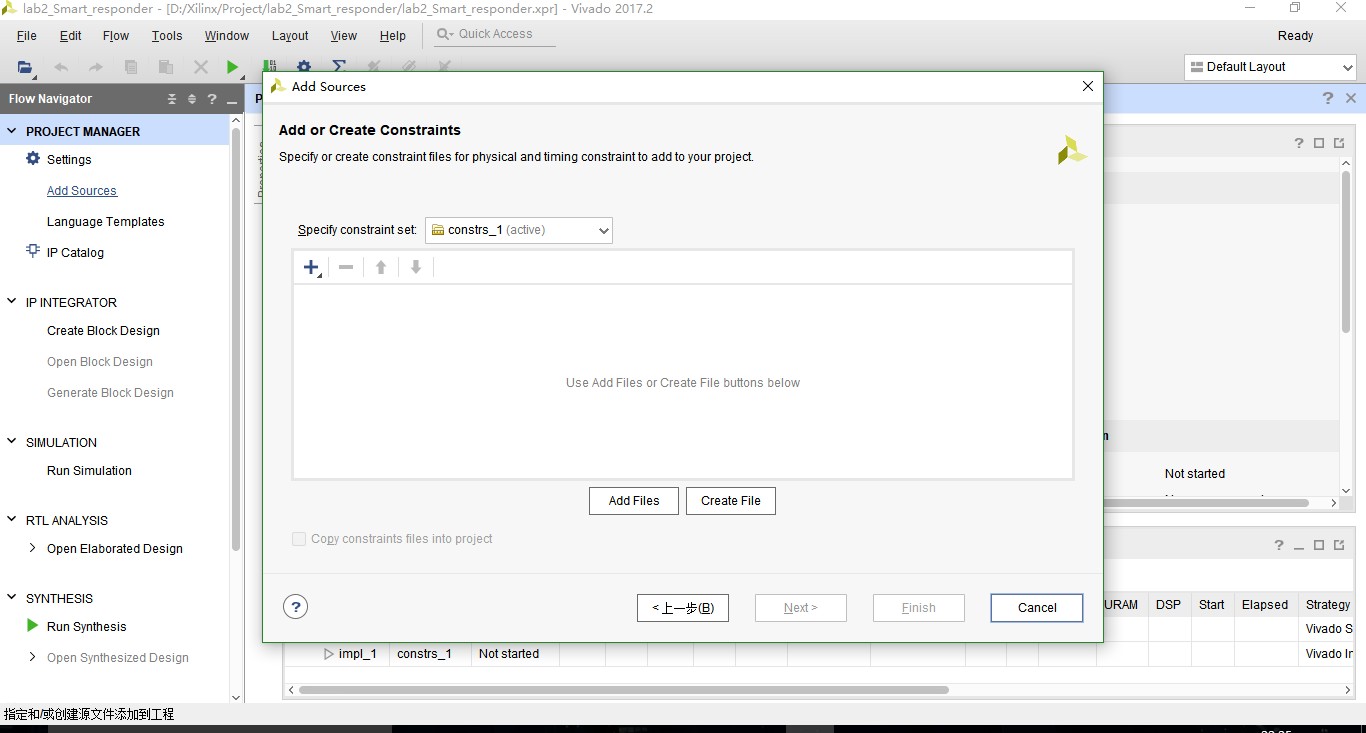
14、仿真结束之后，在波形窗口上方的浅蓝色区域最右边点击叉号，在确认窗口点击 “OK”。在弹出的对话框中选择 “Discard”，不保存对波形所做的改动。

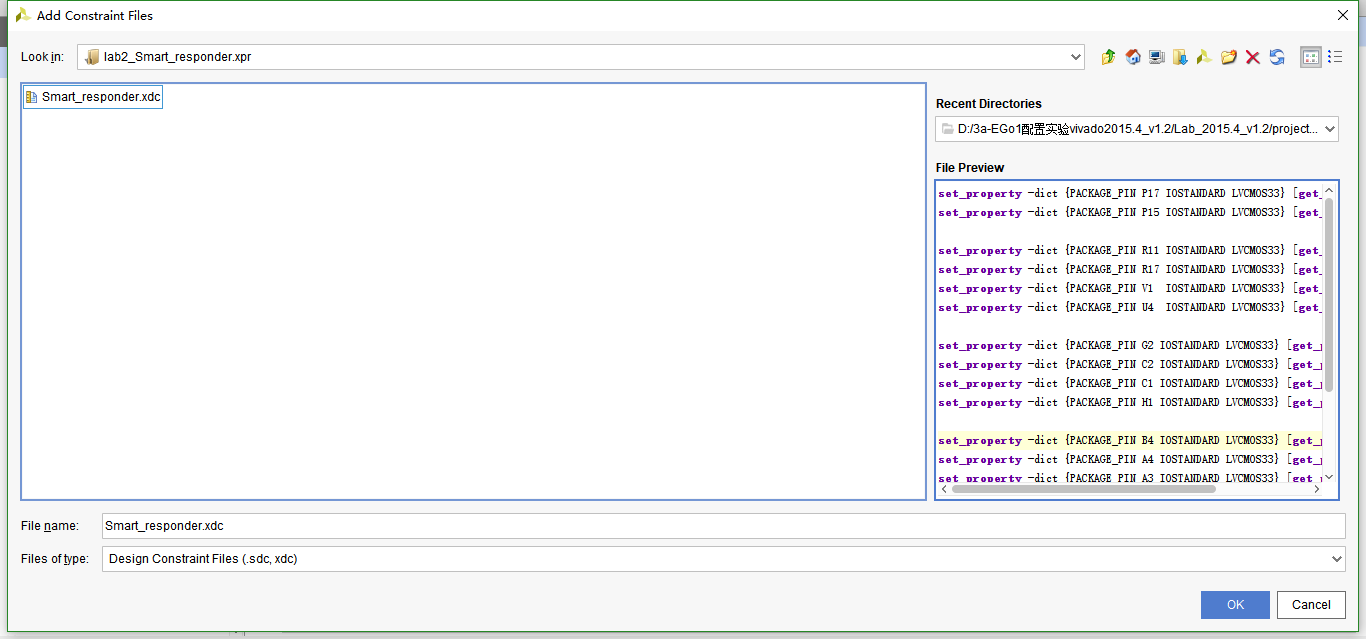


**（四）、添加约束**

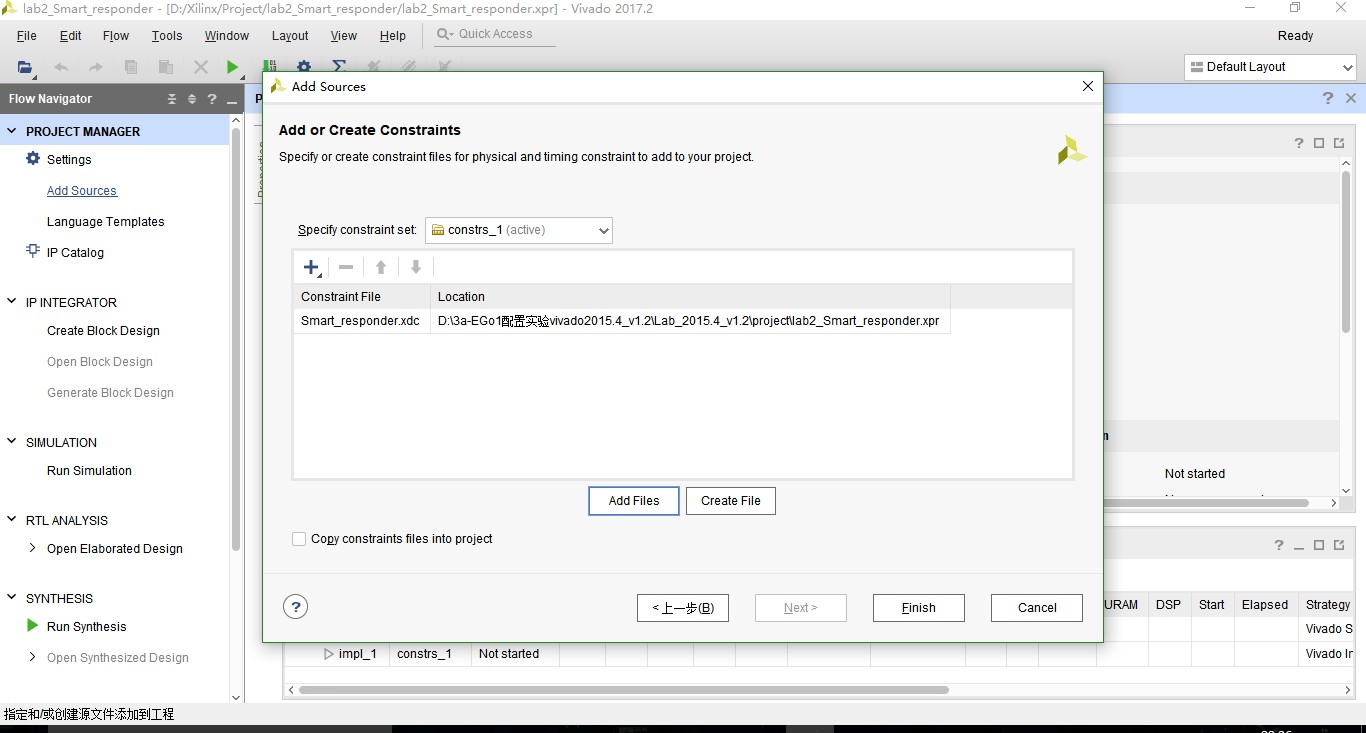
15、添加约束文件。在左侧“Flow Navigator” 栏中的“Project Manager” 下点击“Add Sources”，在弹出的窗口中选择 “Add or create constraints”，点击 “Next”。

16、选择 “Add Files”，并指定要添加的约束文件。

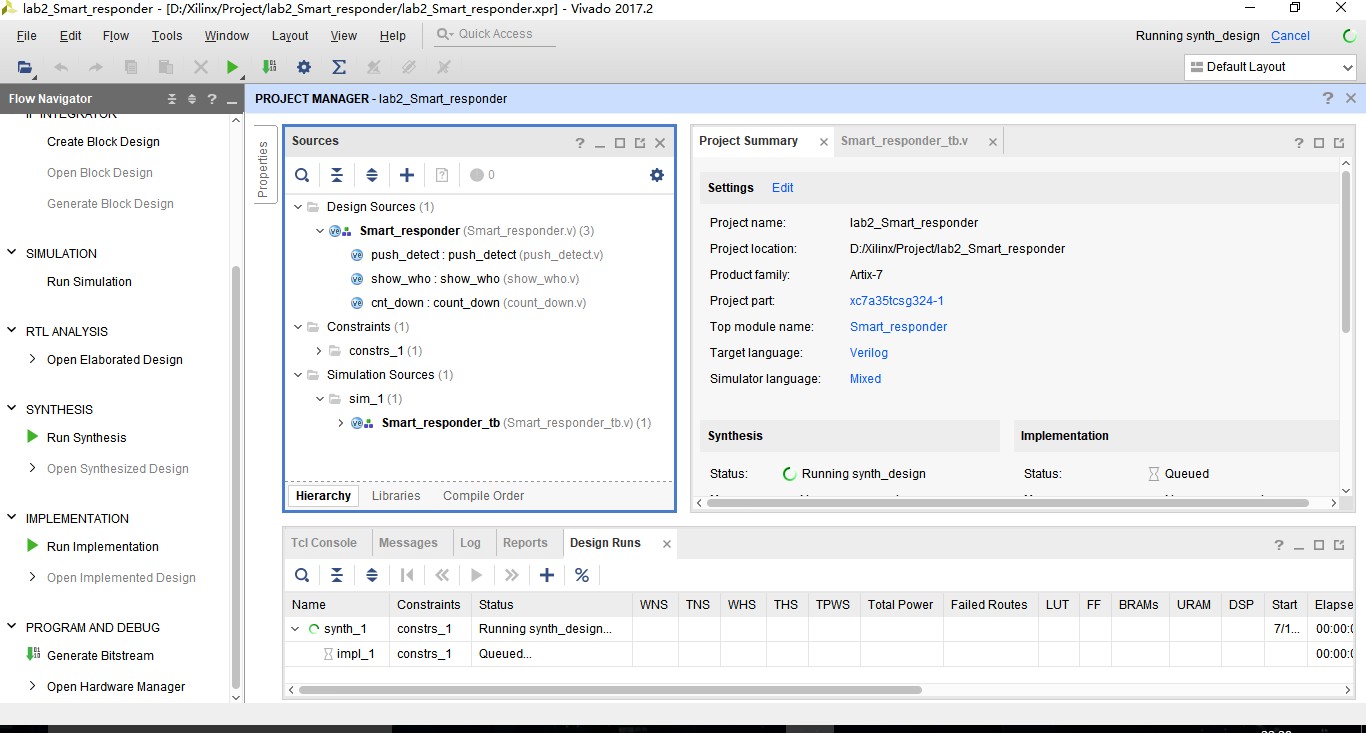
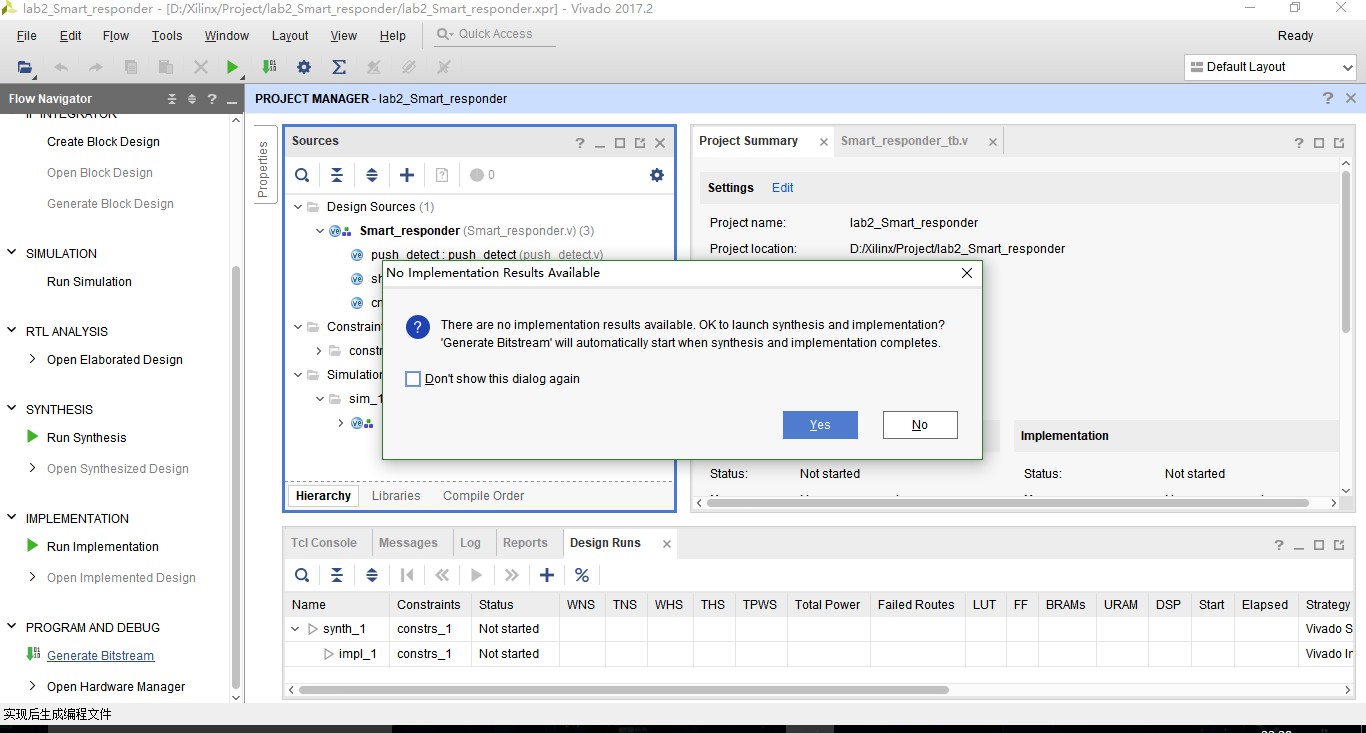




17、点击 “OK”，再点击 “Finish”。

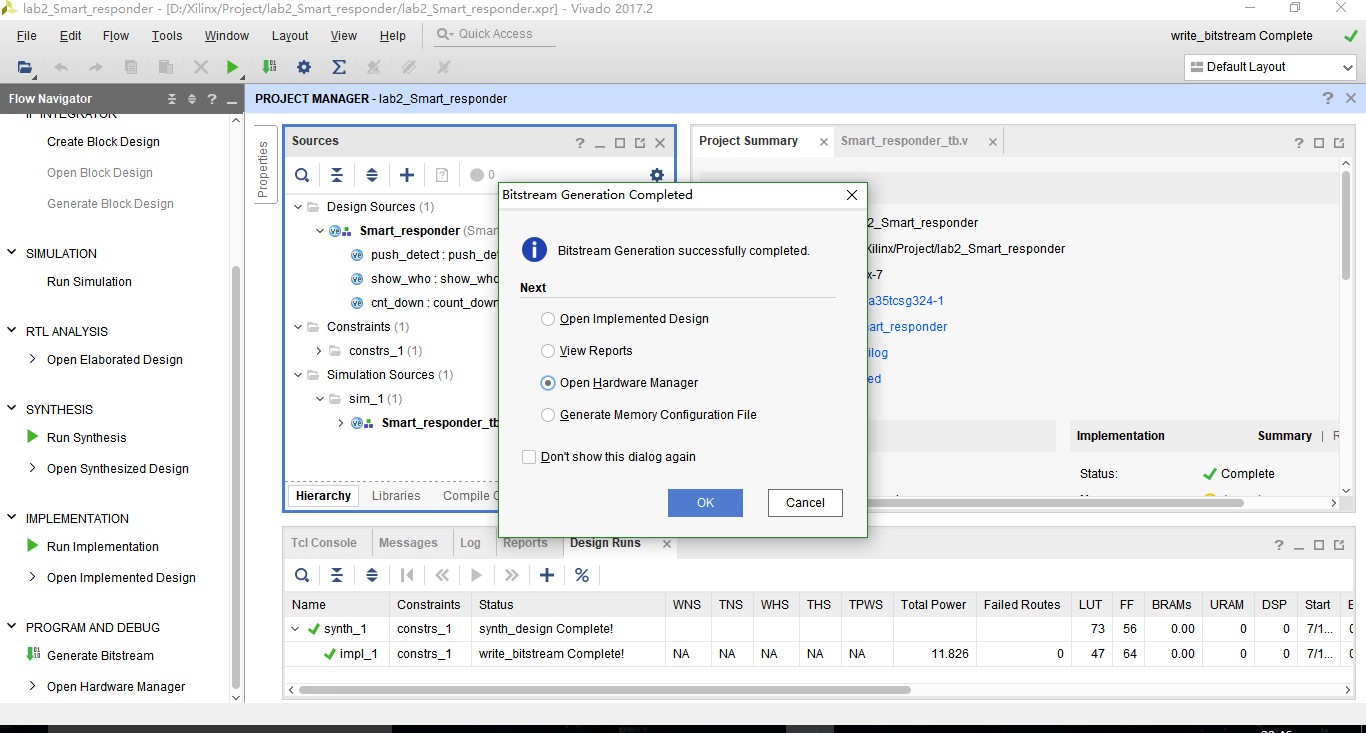


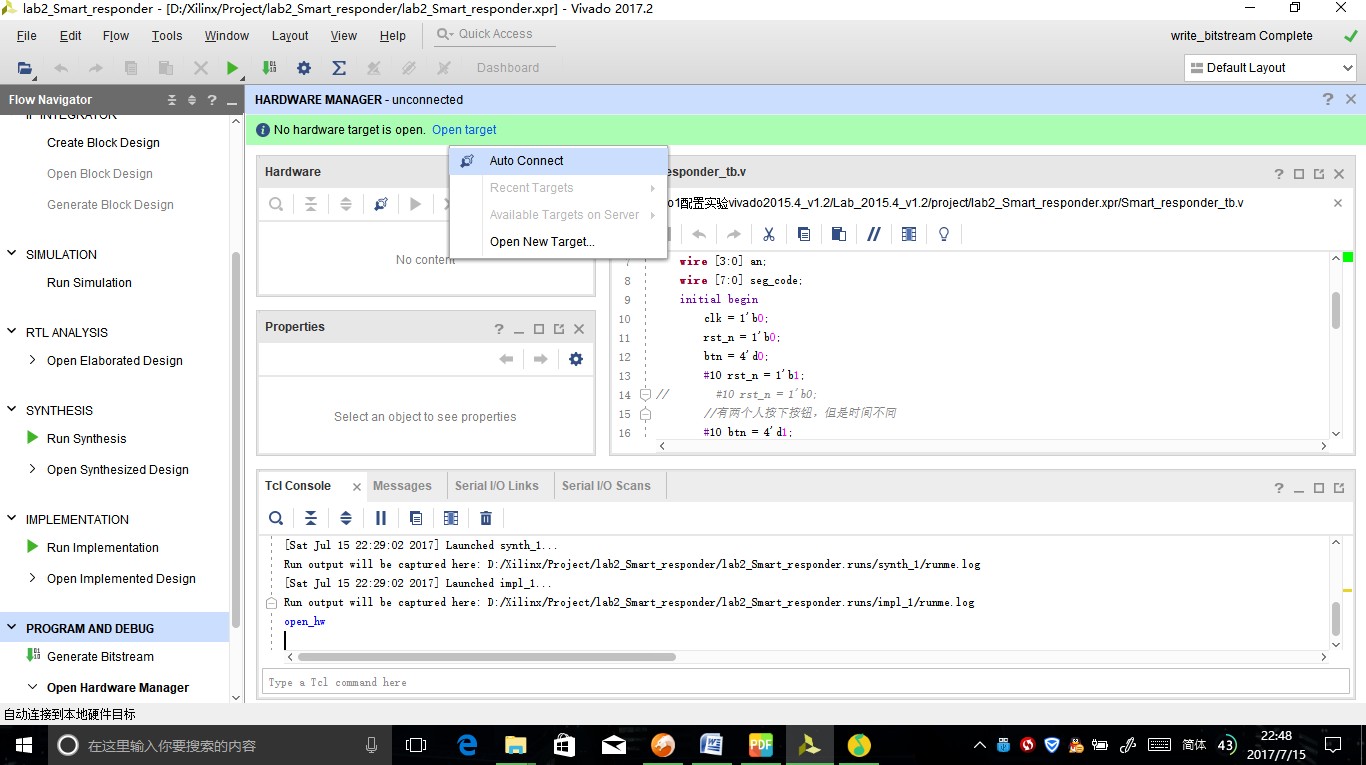
**（五）、生成 bit 文件**

18、在 “Flow Navigator” 一栏中的 “Program and Debug” 下点击 “Generate Bitstream”，此时会提示工程没有实现，点击 “Yes”，会自动执行综合及实现过程。

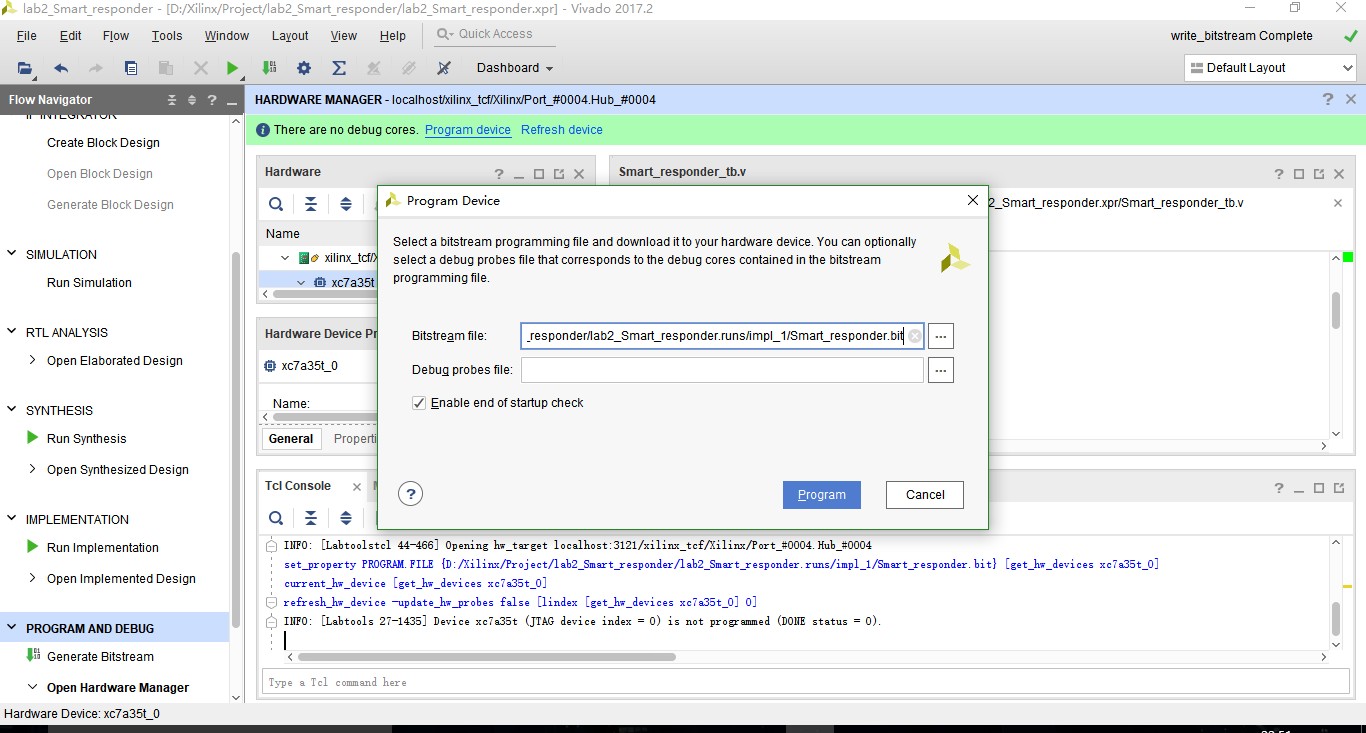
**六、下载 bit 文件到开发板上并观察效果 ( 下载不作要求 )**

19、生成比特流文件完成后，选择 “Open Hardware Manager” 并点击 “OK”。

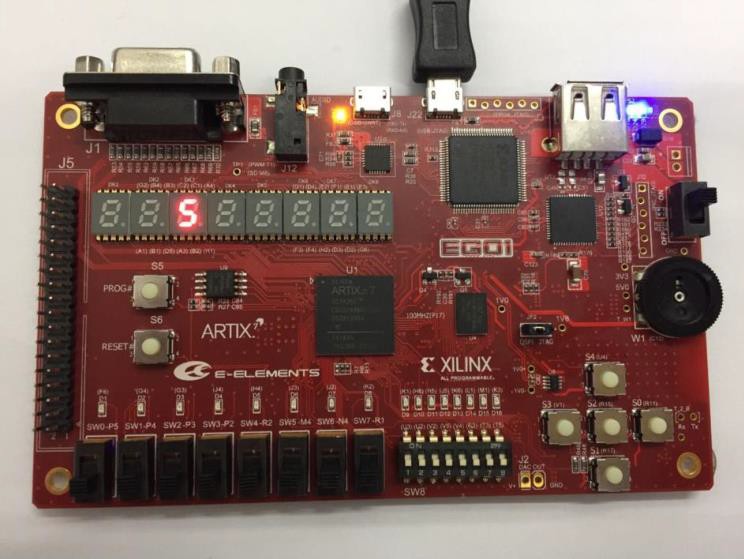


20、用 Micro USB 线连接电脑与板卡上的 JTAG 端口，并打开电源开关。在 “Hardware Manager” 界面点击 “Open target”，选择 “Auto Connect”。

21、连接成功后，在目标芯片上右击，选择 “Program Device”。在弹出的对话框中 “Bitstream File”一栏中已经自动加载本工程生成的比特流文件，点击“Program”对 FPGA芯片进行编程。



22、下载完成后，左边 4 个数码管都显示 9。当 4 个按键（S0,S1,S3,S4）其中一个按键随机按下时，与之对应的数码管开始倒计时 10 秒钟，其他数码管状态为熄灭。下图为按下按键 S3，数码管显示正确。



**五、 实验结果**

**1.智力抢答器**

（1）.给关键代码添加注释，或者给出模块代码的流程图。

（2）.编程与自己的学号有关联的测试程序（也称激励文件），在测试程序中关键代码后给出注释。可以将延迟时间，对应于自己的学号，或者将学号\*2作为延迟时间，或者将学号的后6位作为延迟时间……

（3）.对电路进行仿真，根据仿真波形，验证电路功能是否正确。将仿真后获得的波形图截图保存后，放到实验报告中。

（4）.在vivado中，通过项目管理窗口中的schematic菜单，生成与verilog代码对应的电路原理图，将该电路原理图放到实验报告中。