****

**计算机组成原理**

**·实验要求·**

# 目 录

[目 录 2](#_Toc160909591)

[实验要求 3](#_Toc160909592)

[前言 5](#_Toc160909593)

**物联网班级\_计算机组成原理\_前4次实验结果收集**

[**https://send2me.cn/YgfZeqIr/RSS0xaGQw5C9SA**](https://send2me.cn/YgfZeqIr/RSS0xaGQw5C9SA)

**计算机1\_2\_3班\_计算机组成\_前4次实验结果收集**

<https://send2me.cn/Exy5KEXT/TbmHAVY986wIrw>

**计算机4\_5班\_计算机组成\_前4次实验结果收集**

<https://send2me.cn/VAmIjk0I/TaO_bIvlPg6L5A>

# 实验要求

1. 前4次实验（实验一~实验四），在自己的电脑上完成，只要在截至日期前，将4次实验（实验一~实验四）对应的激励文件、仿真结果截图和生成的电路图，写入一个word文档中，提交到坚果云的链接里就可以了。该word文档文档用学号和姓名命名，由于这4个实验，不需要存档，word文档排版格式不作要求。

2、中间4次实验（实验五~实验八），需要到实验室里进行。需要现场验收实验结果，然后在截至日期前提交符合排版规范的实验报告，报告里需要有激励输入文件和仿真结果截图和生成的电路图等等。报告提交到坚果云的链接里（要提交另外一个word文档，4个实验对应的报告全部放到这个一个word文档中）。word文档命名时要包含学号和姓名，以方便实验成绩统计。

3、实验九和实验十属于选做实验，感兴趣的同学选做，鼓励选做。实验成绩满分的名额优先分配给选做了实验九或者实验十的同学。选做的实验也需要另外写一个实验报告（word文档）才能实验加分，由于选做实验不需要存档，word文档排版格式不作要求。所有实验（包含选做加分在内）最高分不超过100分。

1. 所有的实验仿真激励文件中最好有参数与自己的学号有关，后面的实验指导书会以XH这个变量代表每个同学的学号的后8位。例如：学号为：20210281896同学在做实验时，对应的变量XH=10281896。也可以用学号的后4位或者学号的后两位作为XH变量的值（大家自己决定），相应的实验结果就以这个变量XH的值，作为仿真输入值。由于每个同学的XH值是不同的，所以每个同学获得的结果截图也是不同的。这点需要大家注意啦。每个同学所选的XH的值，可以在实验报告中备注说明一下，以便区分。

5、实验报告提交截止时间参见QQ群里坚果云链接里设置的提交截止时间；实验报告每迟交一周扣除获得分数的10%，不足一周按一周计算，迟交时间以截止时间为起点计算，最低扣除到获得分数的70%。

6、一个优秀(90-100分)的实验报告（第5~8次实验需要写报告）应该有：

（1）有“”操作方法与实验步骤、“”实验结果与分析、“”心得体会三个板块，且每个板块内容完整。

（2）其中的“操作方法与实验步骤”一节：有所有要求的实验步骤的语言描述，对测试文件进行解释，给出必要的自己绘制图形。或者编程代码截图。

（3）其中的“实验结果与分析”一节：有所有要求的实验步骤对应的结果照片（如波形与下板结果）或者屏幕截图，对波形进行正确充分的解释，对下板结果有正确的解释

（4）其中的“心得体会”一节：能够记录遇到的问题，或对实验提出了三条及以上有意义的建议

实验报告的模板在第五次实验时会发给大家。

7、实验指导书还在不断修订。对实验有任何疑问，欢迎联系ahhfdxq@163.com 。

# 前 言

1. **verilog中元件的例化**

就是利用已有的元件，来例化出和它一模一样的新元件，只是管脚的名字不同。元件的例化类似于由类派生出具体的对象。例如：

module add4（A,B,C,V）; //引脚名字分别为A、B、C、V。

input[3:0] A;

input[3:0] B;

output[3:0] C;

output V;

assign {V,C}=A+B;

endmodule

上面的代码定义了add4这个元件，对应的引脚是A[3:0]、B[3:0] 、C[3:0]和V。现在可以通过元件例化方法，生成多个和add4相同的元件。

例如：add4 addone（X,Y,Z,W）; //或者写成add4 addone（ .A(X) , .B(Y), .C(Z), .V(W) ）;

add4 addtwo（M,N,O,P）; //或者写成add4 addtwo（ .A(M) , .B(N), .C(O), .V(P) ）;

add4 addthree（H,I,J,K）; //或者写成add4 addthree（ .A(H) , .B(I), .C(J), .V(K) ）;

就是用add4这个元件例化出来了3个同add4元件结构完全相同，只是引脚名字不同的元件，对应为addone（X,Y,Z,W），addtwo（M,N,O,P），addthree（H,I,J,K）。

1. **verilog中激励输入文件的创建**

激励输入就是给定义好的电路增加输入激励值。在激励输入文件里，通常需要先对电路元件例化，通过例化元件固定引脚名字，然后在initial语句中来对具体的引脚添加激励输入信号。例如：如果设计的电路的顶层文件是topcircute（A,B,C）。我们可以这样来定义激励输入文件。

`timescale 1ns/1ps //时间单位是1ns，仿真精度可以达到1ps。timescale前的符号是`

module testcircute\_tb（）;

reg X,Y;

wire Z;

topcircute TOPTEST(X,Y,Z); // topcircute是顶层电路文件，对它实例化，固定下来引脚名字。

//或者topcircute TOPTEST( .A(X), .B(Y), .C(Z) ); 效果同上行。这条例化语句通常放在end后面。

initial

X=0;

Y=1;

always #10 //每隔10个时间单位就进行下面的操作。

begin //begin end在此处功能类似于C语言中的大括号{ }。

X<=~X; //将X的值取反后再赋给X。

Y<=~Y; //将Y的值取反后再赋给Y。

end

endmodule

这个激励输入文件就是先对顶层电路进行例化，从而固定下来例化后元件的引脚名字为X,Y,Z。然后在initial语句中给输入量X、Y进行赋值。

# 物联网班级\_计算机组成原理\_前4次实验结果收集<https://send2me.cn/YgfZeqIr/RSS0xaGQw5C9SA>

# 

# 计算机1\_2\_3班\_计算机组成\_前4次实验结果收集

<https://send2me.cn/Exy5KEXT/TbmHAVY986wIrw>



**计算机4\_5班\_计算机组成\_前4次实验结果收集**

<https://send2me.cn/VAmIjk0I/TaO_bIvlPg6L5A>

