

数电客观题解析第 07 周

整理人：学习部 彭宇田

广大读者若发现答案有误欢迎斧正！

问题 1

在组合电路中，若某一个输入变量变化前后电路的输出相同，而在输入变量变化时可能出现瞬时错误输出，称为_____冒险。↵

- A. 动态功能 B. 静态功能 C. 动态逻辑 D. 静态逻辑↵

☐ A

☐ B

☐ C

☐ D

解析：选 D

先来看看逻辑冒险的定义：

1. 逻辑冒险

在组合电路中，若某一个输入变量变化前后的输出相同，而在输入变量变化时可能出现瞬时错误输出，这种冒险称为静态逻辑冒险。下面以图 3.4.2 所示电路为例进一步分析产生冒险的原因。

本题重点是对于动态冒险与静态冒险，逻辑冒险与功能冒险两组概念的辨析。

静态冒险和动态冒险的区别：

静态冒险特点：输入信号变化前、后函数值相同。

动态冒险特点：输入信号变化前、后函数值不同。

逻辑冒险和功能冒险的区别：

逻辑冒险特点：只有一个输入变量变化。

功能冒险特点：若两个以上的输入变量变化。

问题 2

引起组合逻辑电路中竞争与冒险的主要原因是_____。↵

- A. 逻辑关系错 B. 干扰信号 C. 电路延时 D. 电源不稳定↵

- ☐ A
☐ B
☐ C
☐ D

解析：选 C

逻辑电路中之所以会发生竞争与冒险，是因为逻辑门传输时间具有一定的离散性，且其延迟时间是随机不确定的，这就会导致输出的多样性，即逻辑竞争与冒险。

问题 3

稳态时输出为_____，输入变化瞬间出现_____的冒险，称为偏 1 型冒险。↵

- A. 0, 0 B. 0, 1 C. 1, 0 D. 1, 1↵

- ☐ A
☐ B
☐ C
☐ D

解析：选 C

偏 0 型冒险：当稳态的时候输出为 0，输入变化瞬间输出 1，称为偏 0 型冒险。

偏 1 型冒险：当稳态的时候输出为 1，输入变化瞬间输出 0，称为偏 1 型冒险。

问题 4

当二输入与非门输入为_____变化时，输出可能存在静态功能冒险。↵

- A. 01→10 B. 00→10 C. 10→11 D. 11→01↵

- ☐ A
☐ B
☐ C
☐ D

解析：选 A

由问题 1 可知，静态功能冒险的特点是两个以上的输入变量变化引起的冒险。01→10 中 0 变为 1，1 变为 0，两个同时发生变化。

问题 5

函数 $F(A,B,C,D) = \bar{A}\bar{B}\bar{C} + ABC + \bar{A}CD + A\bar{C}D$ 存在静态逻辑冒险，为消除冒险，需加入冗余项_____。↵

- A. BC B. BD C. ACD D. 以上都不对↵

- ☐ A
☐ B
☐ C
☐ D

解析：选 B

为消除冒险，我们要加入冗余项来消除它。方法有二：

一是利用代数法寻找即有原变量形式又有反变量形式的变量，考虑其为偏 1 型冒险、偏 0 型冒险还是不存在冒险，对应于此题较为复杂；

二就是利用卡诺图法，用冗余圈圈出相切项，对于本题，如下：

m5、m7、m9、m11 四个最小项相切，则圈住它们的就是应该加的冗余圈，对应 BC

		AB			
		00	01	11	10
CD	00	0	1	0	0
	01	0	1	1	1
	11	1	1	1	0
	10	0	0	1	0

问题 6

以下方法中，无法消除静态逻辑冒险的方法是_____。↵

A. 增加冗余项 B. 加油 C. 加选通脉冲 D. 加滤波电容↵

- ☐ A
☐ B
☐ C
☐ D

解析：选 B

增加冗余项、加选通脉冲、加滤波电容都可以消除静态逻辑。

其中画冗余圈智能消除逻辑冒险（单变量变化），而不能消除功能冒险（功能冒险）；加滤波电容简单易行，缺点是会使波形变坏；加选通滤波则是特别棒的方法。

光加油是无法消除静态逻辑冒险的！故选 B

问题 7

比较两个二进制数 A 和 B ，当 $A < B$ 时输出 $F=1$ ，则 F 的表达式为_____。↵

A. $F = AB$ B. $F = \bar{A}B$ C. $F = A\bar{B}$ D. $F = \bar{A}\bar{B}$ ↵

- ☐ A
☐ B
☐ C
☐ D

解析：选 B

仅当 $A < B$ 时，输出 $F=1$. 对应最小项 $\bar{A}B$. 故 $F = \bar{A}B$

问题 8

集成数码比较器 74LS85 级联输入端 S' 、 E' 、 G' 分别为 001 时，如输入两个相同的 4 位数，输出端 $F_{A<B}$ 、 $F_{A=B}$ 、 $F_{A>B}$ 为_____。↵

A. 001 B. 010 C. 100 D. 011↵

- ☐ A
- ☐ B
- ☐ C
- ☐ D

解析：选 A

74LS85 只有当两输入完全相同时，其输出才取决于级联输入端的。输出如下：

表 3.5.1 比较器功能表

比较输入				级联输入			输 出		
$a_3 b_3$	$a_2 b_2$	$a_1 b_1$	$a_0 b_0$	G'	S'	E'	$A>B$	$A<B$	$A=B$
$a_3 > b_3$	×	×	×	×	×	×	1	0	0
$a_3 < b_3$	×	×	×	×	×	×	0	1	0
$a_3 = b_3$	$a_2 > b_2$	×	×	×	×	×	1	0	0
$a_3 = b_3$	$a_2 < b_2$	×	×	×	×	×	0	1	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 > b_1$	×	×	×	×	1	0	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 < b_1$	×	×	×	×	0	1	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 = b_1$	$a_0 > b_0$	×	×	×	1	0	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 = b_1$	$a_0 < b_0$	×	×	×	0	1	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 = b_1$	$a_0 = b_0$	1	0	0	1	0	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 = b_1$	$a_0 = b_0$	0	1	0	0	1	0
$a_3 = b_3$	$a_2 = b_2$	$a_1 = b_1$	$a_0 = b_0$	0	0	1	0	0	1

显然，当输入相同四位数时，上表中级联输入的情况有所缺漏，详见下表：

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A_3, B_3	A_2, B_2	A_1, B_1	A_0, B_0	$I_{A>B}$	$I_{A<B}$	$I_{A=B}$	$O_{A>B}$	$O_{A<B}$	$O_{A=B}$
$A_3 > B_3$	X	X	X	X	X	X	H	L	L
$A_3 < B_3$	X	X	X	X	X	X	L	H	L
$A_3 = B_3$	$A_2 > B_2$	X	X	X	X	X	H	L	L
$A_3 = B_3$	$A_2 < B_2$	X	X	X	X	X	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 > B_1$	X	X	X	X	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 < B_1$	X	X	X	X	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 > B_0$	X	X	X	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 < B_0$	X	X	X	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	H	L	L	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	H	L	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	X	X	H	L	L	H
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	H	H	L	L	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	L	L	H	H	L

表 7-2 74LS85 的真值表

问题 9

利用级联输入端可将一片 4 位数码比较器 74LS85 扩展成_____位数码比较器。↵

A. 5 B. 8 C. 10 D. 任意↵

- ☐ A
- ☐ B
- ☐ C
- ☐ D

解析：选 A

解：利用级联输入端可以扩展成 5 位数码比较器。只需要将 a_0 、 b_0 分别接在 G' 、 S' 端， E' 不用即可。当前四位都相同时，若 $A > B$ ，则此时 $P > Q$ 端输出为 1；若 $A < B$ ，则此时 $P < Q$ 端输出为 1；当 $A = B$ 时，同时输出 0 或者 1。

问题 10

编码器用 5 位二进制代码可对_____个信号进行编码。↵

A. 10 B. 32 C. 64 D. 128↵

- ☐ A
- ☐ B
- ☐ C
- ☐ D

解析：选 B

编码器的作用是将十进制数转化为二进制代码。故 5 位二进制代码可以对 2^5 个信号进行编码，即 32 个信号。

问题 11

- 将十进制数 0-9 转换为二进制代码的电路，叫_____编码器。↵
- A. 2 线-4 线 B. 10 线-4 线 C. 10 线-2 线 D. 4 线-2 线↵
- ☐ A
- ☐ B
- ☐ C
- ☐ D

解析：选 B

由问题 10 中对于编码器的定义可知，至少需要二进制码的 4 条输出线。故该编码器电路电路有 0~9 的 10 条输入线以及二进制码的 4 条输出线，可称为 10 线-4 线编码器。

问题 12

- 普通编码器同时有两个输入信号有效时，将_____。↵
- A. 对高电平信号编码 B. 对低电平信号编码↵
- C. 随机选择一个信号编码 D. 出现编码错误↵
- ☐ A
- ☐ B
- ☐ C
- ☐ D

解析：选 D

对于普通编码器而言，在任意时刻只允许有一条输入线上有信号，否则编码器输出发生混乱。而对于优先译码器而言，若几个输入同时有信号到来，输出端给出优先权较高的那个输入信号所对应的代码。

问题 13

编码器的输出为_____。

- A. 二进制代码 B. 十进制代码 C. ASCII 码 D. 任意进制代码

- ☐ A
☐ B
☐ C
☐ D

解析：选 A

参考问题 10 对于编码器的定义。

问题 14

将两个 8 线-3 线编码器进行级联，可以得到_____编码器。

- A. 8 线-6 线 B. 16 线-3 线 C. 16 线-4 线 D. 8 线-4 线

- ☐ A
☐ B
☐ C
☐ D

解析：选 C

(2) 功能扩展

用两片 74148 可扩展成 16 线-4 线的优先编码器。如图 3.5.8 所示。编码器输入信号为 $\overline{I_0} \sim \overline{I_{15}}$ ，低电平有效，而且 $\overline{I_{15}}$ 优先权最高， $\overline{I_0}$ 最低；编码器输出 F_3, F_2, F_1, F_0 为 4 位二进制反码。

接法：① I 片的 \overline{ST} 作为这个扩展的 16 线-4 线编码器的使能输入端，II 片的 Y_s 作为 16 线-4 线编码器的使能输出端，两片的 $\overline{Y_{EX}}$ 相与作为 16 线-4 线的扩展输出端 F_{EX} ；② I 片的使能输出 Y_s 接至 II 片 \overline{ST} 端；③ I 片扩展输出 $\overline{Y_{EX}}$ 作为 4 位码最高位 F_3 输出，两片对应位 $\overline{Y_2} \sim \overline{Y_0}$ 相与作为低 3 位 $F_2 \sim F_0$ 输出。

工作过程：① I 片 $\overline{ST}=0$ ，允许编码。当 $\overline{I_{15}} \sim \overline{I_8}$ 中有信号时，I 片正常编码，由于 I 片 $Y_s=1$ ，则 II 片 $\overline{ST}=1$ 禁止编码，II 片输出全为 1，不影响 I 片的编码，且 I 片 $\overline{Y_{EX}}=0$ （即最高位），此时输出 $F_3 \sim F_0$ 就是 I 片有效输入的优先编码。② I 片 $\overline{I_{15}} \sim \overline{I_8}$ 均无信号输入时， $Y_s=0$ ，II 片允许编码，当 $\overline{I_7} \sim \overline{I_0}$ 中有信号时，II 片正常编码，I 片除了 $\overline{Y_{EX}}=1$ （即最高位），其

余输出为 1, 不影响 II 片的编码, 此时输出 $F_3 \sim F_0$ 就是 II 片有效输入的优先编码。例如, $\overline{I_{15}} = \overline{I_{14}} = 1, \overline{I_{13}} = 0$, 其余输入任意, I 片编码输出 $\overline{Y_4} \sim \overline{Y_0} = 010$, 且 I 片的 $\overline{Y_{EX}} = 0$, 同时由于片 I 的 $Y_8 = 1$, 则 II 片不工作, 输出 $F_3 F_2 F_1 F_0 = 0010$ 是 $\overline{I_{13}}$ 的编码。故完成了 16 线-4 线优先编码器的功能。

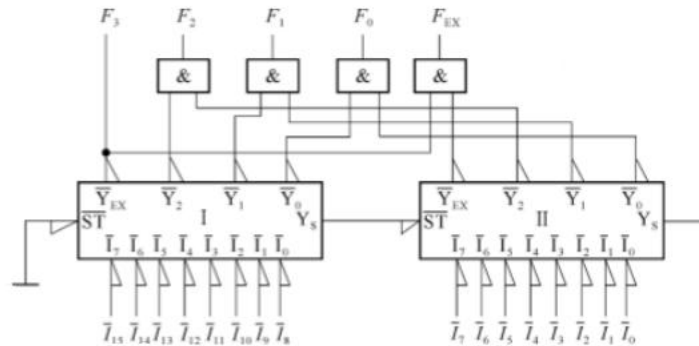


图 3.5.8 编码器扩展连接图

需要注意，输入为低电平有效且输出为反码形式。

问题 15

n 位编码器有 2^n 个输入, 有 n 个输出, 这样的编码过程叫_____。

A. 二进制编码 B. 二-十进制编码 C. BCD 编码 D. 奇偶校验编码

- ☒ A
☐ B
☐ C
☐ D

解析：选 A

对于有 m 个输入, n 个输出的编码器而言, 若满足 $m=2^n$, 则该编码过程称为二进制编码。

问题 16

4 位输入的二进制译码器，输出应有_____位。↵

A. 2 B. 4 C. 8 D. 16↵

☐ A

☐ B

☐ C

☐ D

解析：选 D

二进制译码器满足关系 $m=2^n$. (m 为输出, n 为输入)。则 $2^4=16$.

问题 17

对于输出高电平有效的译码器，每个输出都对应输入一个输入地址的_____。

A. 最小项 B. 最小项的非 C. 最大项 D. 最大项的非↵

☐ A

☐ B

☐ C

☐ D

解析，选 A

若输出 1 有效，称为高电平译码，一个输出就是一个最小项。若输出是 0 有效，则称为低电平译码，一个输出对应一个最小项的非。

问题 18

用 74LS138 实现全加器，需要再增加两个_____。

- A. 2 输入与非门 B. 3 输入或非门 C. 4 输入与非门 D. 以上都不对

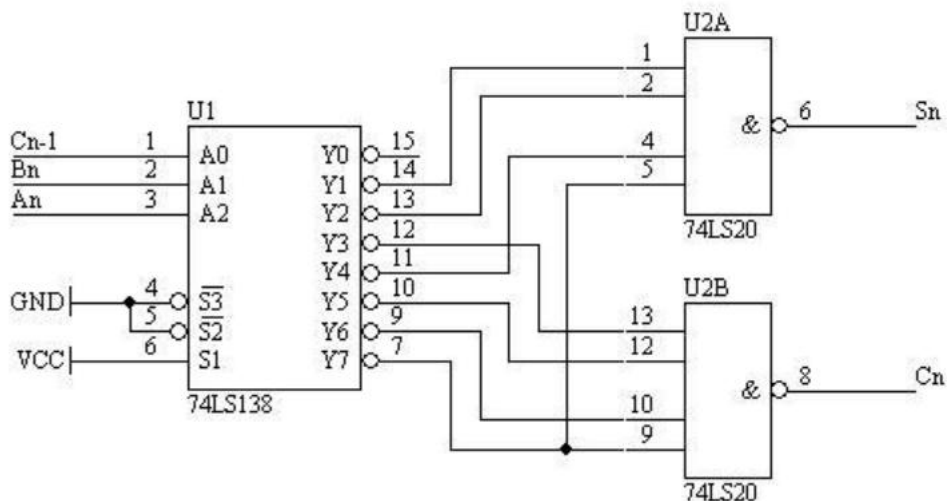
- ☐ A
☐ B
☐ C
☐ D

解析：选 C

74LS138 为 3 线-8 线译码器，其逻辑电路图和真值表如下所示：

74LS138(2)真值表

A/a	B/b	C/ci	Out	S	Co
0	0	0	0	0	0
0	0	1	1	1	0
0	1	0	2	1	0
0	1	1	3	0	1
1	0	0	4	1	0
1	0	1	5	0	1
1	1	0	6	0	1
1	1	1	7	1	1



而对于全加器来说大家应该很熟悉了，sum 对应 1、2、4、7，进位输出对应 3、5、6、7，所以有 3/8 译码器的输出 OUT (1, 2, 4, 7) 作为一个四输入与非门的输入，将 3/8 译码

器的输出 OUT (3, 5, 6, 7) 作为一个四输入的与非门的输入作为加法器的进位输出。

问题 19

对于输出低电平有效的译码器，每个输出都对应输入一个输入地址的_____。

- A. 最小项 B. 最大项 C. 最小项的非 D. 最大项的非

- ☐ A
☐ B
☐ C
☐ D

解析：选 C

问题 17 中输出高电平有效时每个输出对应输入地址的最小项，则低电平有效时对应最小项的非。

问题 20

对于输出高电平有效的 4 线-16 线译码器，当输入地址 $A_3A_2A_1A_0=1011$ 时，输出 $Y_{15}-Y_0$ 为_____。

- A. 0000000000100000 B. 0000100000000000
C. 0000000000001011 D. 1011000000000000

- ☐ A
☐ B
☐ C
☐ D

解析：选 B

(1011)₂ = (11)₁₀ 高电平有效则 $Y_{11}=1$. 所以 $Y_{15}-Y_0=0000100000000000$.

问题 21

下列电路中，不属于组合逻辑电路的是_____。

- A. 计数器 B. 译码器 C. 数据选择器 D. 数码比较器

- ☐ A
☐ B
☐ C
☐ D

解析：选 A

由于计数器的输于它的历史有关，故其属于时序逻辑电路。

问题 22

数据选择器不能做为_____使用。↵

A. 数码比较器 B. 多路数据开关 C. 函数发生器 D. 译码器↵

- ☐ A
- ☐ B
- ☐ C
- ☐ D

解析：选 A

如下：

3. 数据选择器的应用

数据选择器通用性较强,除了能从多路数据中选择输出信号外,还可以实现并行数据到串行数据的转换,作函数发生器等。

问题 23

能实现从多个输入端中选出一路作为输出的电路称为_____。↵

A. 数码比较器 B. 全加器 C. 数据选择器 D. 译码器↵

- ☐ A
- ☐ B
- ☐ C
- ☐ D

解析：选 C

数据选择器又称多路选择器，它能从多路输入数据中选择一路输出。

问题 24

八路数据分配器，其地址输入端有_____个。↵

A. 1 B. 3 C. 6 D. 8↵

- ☐ A
- ☐ B
- ☐ C
- ☐ D

解析：选 B

数据分配器于译码器类似，结构上还多出一个数据输入用于数据分配输出。

想要输出八路数据，需要 3 个输入端（ $2^3=8$ ）。

问题 25

数据分配器和_____的电路结构形式类似。↵

A. 数据选择器 B. 编码器 C. 译码器 D. 加法器↵

☐ A

☐ B

☐ C

☐ D

解析：选 C

详见问题 24

问题 26

当输入变量中“1”的个数为奇数时，奇校验器的输出为_____。

A. 1 B. 0 C. 10 D. 以上都不对↵

☐ A

☐ B

☐ C

☐ D

解析：选 A

奇校验器进行的是异或运算。

奇校验器是奇数个 1 结果为 1；偶校验器是偶数个 1 结果为 1，其均与 0 的个数无关。

问题 27

下面的 Verilog 代码实现了_____功能。↵

- A. 半加器 B. 全减器 C. 乘法器 D. 以上都不对↵

```
module SomeModule(a, b, C1, C2, S);↵  
    input a, b, C1;↵  
    output C2, S;↵  
    wire x, y, z;↵  
    xor xor1(x, a, b);↵  
        xor2(S, x, C1);↵  
    and and1(y, a, b);↵  
        and2(z, C1, x);↵  
    or or1(C2, y, z);↵  
endmodule↵
```

- ☐ A
☐ B
☐ C
☐ D

解析：选 D

本题首先先要明确输入输出变量：其中 **a, b, C1** 是输入，**C2, S** 是输出变量。

事实上，输入输出变量的命名就给我们提供了很大的提示，可以联想到可能是全加器。

接下来进行具体功能分析：

S 输出的是三个变量的异或运算结果，

而 **C2** 输出的是输入中两个及两个以上为高电平的情况，

功能与全加器符合！

问题 28

以下 Verilog 代码是按键消抖程序的一部分，实现了按键信号的跨时钟域同步，其中 PB 为按键信号输入，在以下理解中，正确的是_____。

- A. 在数字电路中按键消抖只是一种传说，无法实现
- B. 按键消抖完全可以使用组合逻辑实现
- C. PB_sync_1 永远比 PB_sync_0 滞后一个 clk 周期
- D. 可以使用 event 信号识别按键信号 PB 的下降沿

```
reg PB_sync_0, PB_sync_1;
always @(posedge clk)
begin
    PB_sync_0 <= PB;
    PB_sync_1 <= PB_sync_0;
end
wire event = PB_sync_0 & ~PB_sync_1
```

- ☐ A
- ☐ B
- ☐ C
- ☐ D

解析：选 C

A 选项，按键消抖不是传说，相信很多同学都通过小脚丫实现了按键消抖！

B 选项，按键消抖通过时序逻辑实现；

C 选项，注意到是非阻塞赋值，即该赋值语句不会影响下面语句执行，在模块结束后再执行赋值操作，故在 PB 输入后 PB_sync_1 永远比 PB_sync_0 滞后一个 clk 周期。

D 选项，识别的目的在于若输入信号在 clk 一个周期后保持不变，则确认为按键按下。若用 event 来识别下降沿，假设 PB_sync_0 先变为低电平，此时 PB_sync_1 还为高电平，则输出为低电平；当一个 clk 周期后 PB_sync_1 变为低电平时，输出仍不变为低电平（无论 PB_sync_1 变不变输出均为低电平）。

问题 29

在进行逻辑仿真时，某同学使用 Verilog HDL 实现了模块“testbench0”，用来测试现有模块“blackbox”的逻辑功能，对该代码正确的理解是_____。

- A. 模块 testbench0 可用于仿真，不可综合
- B. 模块 testbench0 描述了或门，其中 a 和 b 为输入，c 为输出
- C. 仿真时，clk 信号的频率为 100MHz
- D. 仿真条件过于理想，与现实情况不符，没有必要进行仿真

```
`timescale 10ns / 1ns
module testbench0;
  reg a, b, clk;
  wire c;
  initial begin
    a = 0; b = 0;
    #10 a = 1;
    #10 a = 0; b = 1;
    #10 a = 1;
    #10 $finish;
  end
  always #1 clk = ~clk;
  blackbox bb(clk, a, b, c);
endmodule
```

解析：选 A

选项 A，与可综合 Verilog 代码所不同的是，testbench 是在计算机主机上的仿真器中执行的，其只能用于仿真而不能综合。

选项 B，别人都是 blackbox 了，实现什么功能我们无从得知。

选项 C，对于`timescale 10ns/1ns 而言，前面的 10ns 描述的单位时间延迟，即#1 进行时延的单位是 10ns，而后面的 1ns 是指时间精度，可达到 1ns，clk 信号是 0101 不断变化，周期为 2*10ns，频率为 50MHz。

选项 D，对于一个问题的研究往往是由浅入深，从理想到复杂，大跃进般的思想在数电学习中一定是行不通的！

问题 30

某 Verilog HDL 代码如下，则该模块的逻辑功能为_____。

- A. 比较器 B. 数据选择器 C. 译码器 D. 以上都不对

```
module ex02 (out, a, b, sel);  
    output out;  
    input a, b, sel;  
    reg out;  
    always @(a or b or sel)  
    begin  
        case (sel)  
            1'b0: out = a;  
            1'b1: out = b;  
            default: out = 'bx;  
        endcase  
    end  
endmodule
```

- ☐ A
☐ B
☐ C
☐ D

解析：选 B

由 Verilog 代码所示功能，当 sel 为 0 时，out=a；当 sel=1 时，out=b，实质上代表的是一个数据选择器。

问题 31

1. 多输出函数的设计过程中，利用公用项不但可以使得总体电路所用的门数减少，还可以使得每个函数表达式最简。

- ☐ 对
☐ 错

解析：错误

总体最简，部分可能会为了总体的利益牺牲自己，变得复杂！详解见下：

应一种输入组合下，有多个函数输出，如编码器、译码器、全加器等。多输出函数电路的设计以单输出函数设计为基础，但目的是达到总体电路的简化，而不是局部简化，所以设计原则为：

尽可能利用公用项，虽然每个函数表达式可能不是最简的，但由于利用公用项，可使总体电路所用的门数减少，电路最简单。

问题 32

稳态时输出为 0，输入变化瞬间输出 1 的冒险，称为偏 1 型冒险。

- ☐ 对
☐ 错

解析：错误

问题 33

增加冗余项或冗余圈只能消除静态功能冒险，而不能消除静态逻辑冒险。

- ☐ 对
☐ 错

解析：错误

画冗余圈只能消除逻辑冒险（单变量变化），而不能消除功能冒险（功能冒险）

问题 34

静态功能冒险无法通过增加冗余项的方式消除。

- ☐ 对
☐ 错

解析：正确

见问题 33

问题 35

若输入变量按照循环码的规律变化，则不会产生静态功能冒险。

- ☒ 对
☐ 错

解析：正确

静态功能冒险是指两个及以上变量同时变化，而循环码的特点就是相邻的代码只有一位不同

问题 36

6. 优先编码器各个输入端的优先权是不同的, 若几个输入同时有信号到来, 输出端给出优先权最高的那个输入端所对应的编码。↵

- ☐ 对
☐ 错

解析: 正确

对于优先译码器而言, 若几个输入同时有信号到来, 输出端给出优先权较高的那个输入信号所对应的代码。

问题 37

二进制译码器的每一个输出信号就是输入地址变量的一个最小项。

- ☐ 对
☐ 错

解析: 错误

仔细审题, 必须是输出高电平有效时才是地址变量的最小项。相反, 若是低电平有效, 是最小项的非

问题 38

3 位二进制编码器是 3 位输入、8 位输出。

- ☐ 对
☐ 错

解析: 错误

输出的是 3 位二进制代码

问题 39

数据分配器的功能相当于多个输入一个输出的数据开关。

- ☐ 对
☐ 错

解析: 错误

判断题就是喜欢正话反说, 应该是多输出才能进行数据分配嘛!

问题 40

汉明码是既具有检错功能又具有纠错功能的一种可靠性编码。

- ☐ 对
- ☐ 错

解析：正确

来看看汉明码的定义：

2. 汉明码

奇偶校验码只能检测出一位错,而不能纠正错误。汉明码是既具有检错功能又具有纠错功能的一种可靠性编码。汉明码校验的基础也是奇偶校验,但它是多重的奇偶校验码。

问题 41

奇偶校验码是最基本的检错码, 这种码具有一定的检错和纠错能力。

- ☐ 对
- ☐ 错

解析：错误

奇偶校验码不具有纠错能力

问题 42

数据分配器的功能相当于多个输入的数据开关。

- ☐ 对
- ☐ 错

解析：错误

见问题 39

问题 43

三八译码器 74LS138 可以作为数据分配器使用。

- ☒ 对
☐ 错

解析：正确

把译码器的使能端当作数据端输入，则译码器就可以当作数据分配器使用了。

② 作数据分配器

具有使能端的译码器，可将数据按要求分配到不同地址的通道上去。如图 3.5.17 所示，其中 $\overline{Y_i}$ 为输出，地址输入作控制信号，决定此时将输入数据 D 分配到哪一路输出。

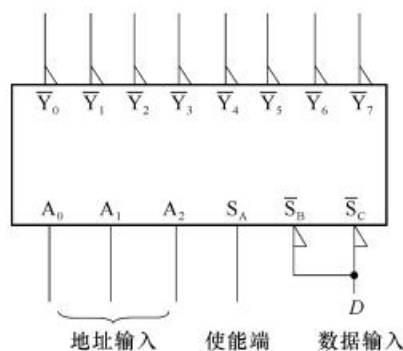


图 3.5.17 译码器用做数据分配器

令 $S = S_A \cdot \overline{S_B} + \overline{S_C}$ ，则 $\overline{Y_i} = S \cdot m_i$ ，若使能 $S_A = 1$ ，可得 $\overline{Y_i} = \overline{D} \cdot m_i$ 。

显然当 $m_i = 1$ 时， $\overline{Y_i} = D$ 。

即选中哪一路，输入数据 D 就送到哪一路，而其余路保持 1。

问题 44

用双四选一数据选择器 74LS153 可以构成输出低电平有效的 38 译码器。

- ☐ 对
☐ 错

解析：错误

74LS153 仅有两个输出端口，无法实现 8 输出的 38 译码器

问题 45

用八选一数据选择器 74LS151 可以实现 4 个变量的函数。

- ☐ 对
- ☐ 错

解析：正确

通过将某一变量作为输入，可以用八选一数据选择器实现 4 个变量的函数。逻辑电路如下：

