

数电客观题解析第 12 周

整理人：学习部 彭宇田
广大读者若发现答案有误欢迎斧正！

问题 1

异步计数器74LS92可以实现的最大计数模值是__。

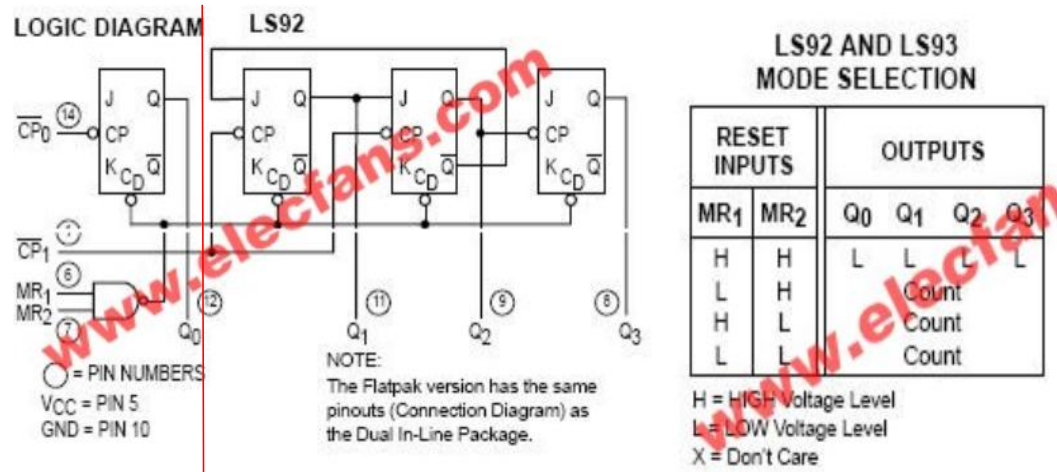
- ☐ A. 5
- ☐ B. 6
- ☐ C. 12
- ☒ D. 10

解析：选 C

74LS92 由模 2+模 6 计数器构成，所以最大计数模值为 $M=2*6=12$ 。

下面对 74LS92 进行介绍，下图展示的分别是其逻辑电路、模式选择、真值表。

电路图中左边部分是一个由 JK 触发器构成模 2 计数器(J、K 均接高电平，有效沿来临时输出翻转)；而右边部分是一个模 6 的计数器(感兴趣的同学可以自行验证：根据每级 J、K 输入和特征方程写出状态方程，从 000 开始直至出现循环)。MR1、MR2 为输出控制端，当同时为高电平时输出低电平。



LS92 TRUTH TABLE				
COUNT	OUTPUT			
	Q0	Q1	Q2	Q3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	L	L	H
7	H	L	L	H
8	L	H	L	H
9	H	H	L	H
10	L	L	H	H
11	H	L	H	H

问题 2

74LS93逻辑图和功能表如图6-1所示，则74LS93为4位_____计数器。

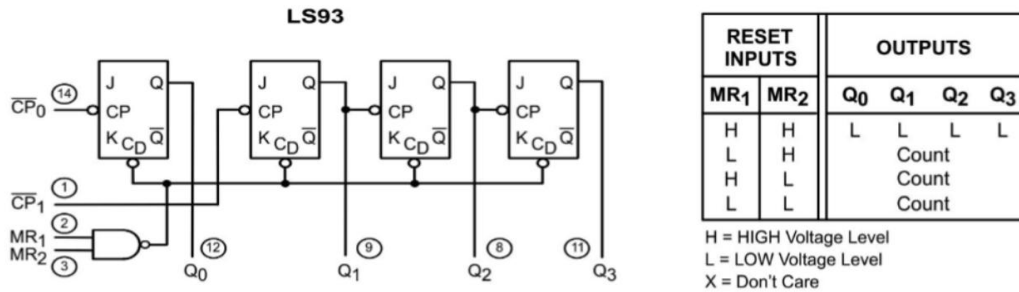


图 6-1 74LS93 逻辑图和功能表

- ☐ A. 同步计数器
☒ B. 异步计数器

解析：选 B

显然，没有统一时钟，这是因为第一第二级的 JK 触发器时钟取自不同时钟信号且第三第四级触发器时钟信号取自前一级，所以为异步计数器。

问题 3

74LS93 的逻辑图和功能表如图 6-1 所示，当 Q_0 连接到 $\overline{CP_1}$ 时，计数器模值为_____。

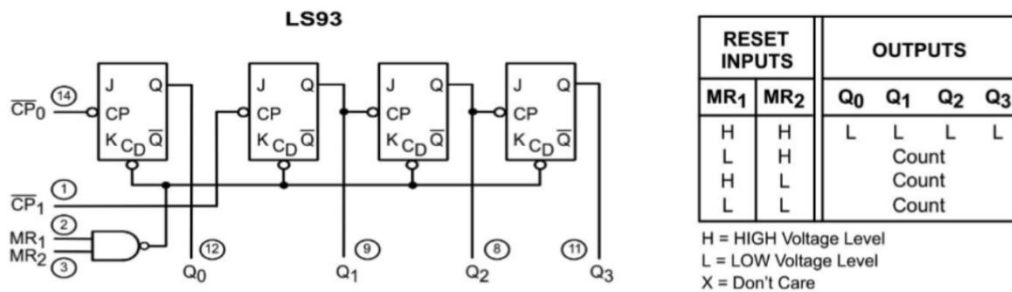


图 6-1 74LS93 逻辑图和功能表

- ☐ A. 4
☐ B. 8
☒ C. 16
☐ D. 32

解析：选 C

Q_0 连接到 $\overline{CP_1}$ 后，每级 JK 触发器的时钟信号均取自上一级的输出，即为典型的移位寄存器构成的计数循环从 0000 到 1111 的模 16 计数器。

问题 4

74LS93 的逻辑图和功能表如图 6-1 所示, 当 $\overline{CP_0}$ 无效, $\overline{CP_1}$ 有效时, 计数器模值为_____。

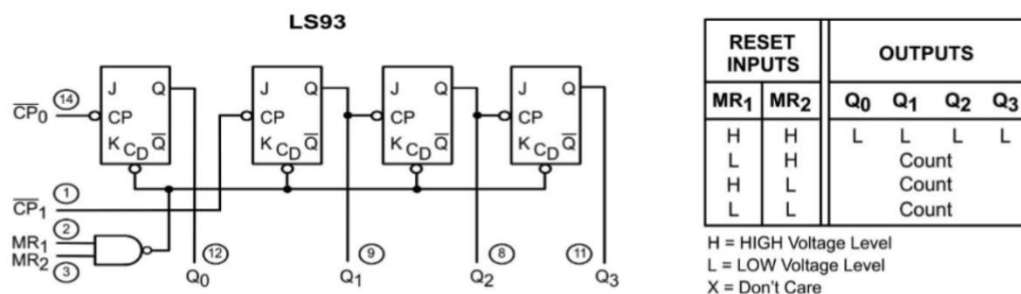


图 6-1 74LS93 逻辑图和功能表

- ☐ A. 4
- ☒ B. 8
- ☐ C. 16
- ☐ D. 32

解析：选 B

当 $\overline{CP_0}$ 无效时后面三个 JK 触发器构成三位的移位寄存器，其模值为 $2^3=8$ 。

问题 5

图6-2是一种修改计数器模值的方法，下列描述中正确的是_____。

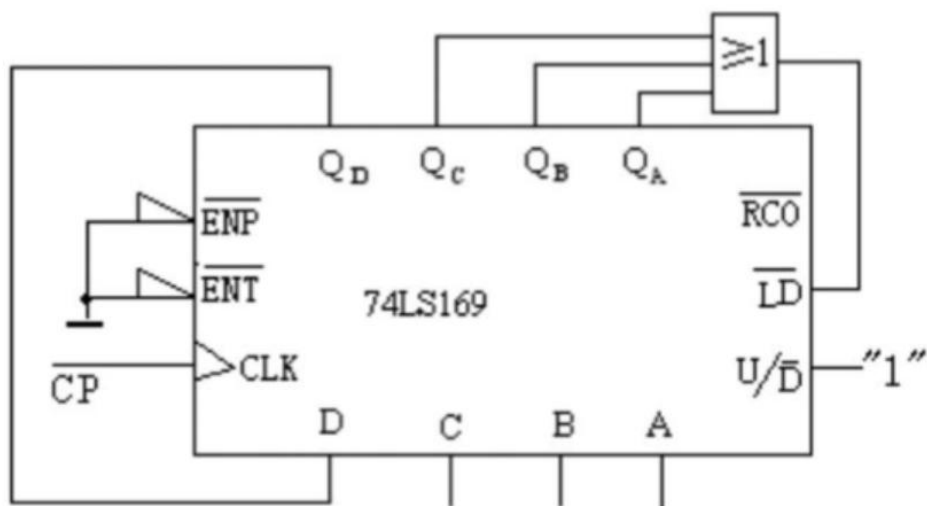


图 6-2

- ☐ A. 该电路采用异步预置
- ☐ B. 该电路可以实现的最小模值为2
- ☐ C. 该电路可以实现的最大模值为16
- ☒ D. 该电路能实现2-16之间的偶数模值

解析：选 C

首先，我们先来看一下 74LS169 器件，它是一个可预置 4 位二进制可逆计数器。“4 位二进制”意味着其技术循环从 0000 到 1111，共有 16 中状态，模值为 16；D、C、B、A 为同步预置 4 位二进制数(上升沿)，由 LD 端口控制，且为低电平有效；“可逆”是因为该器件有一个 U/\overline{D} 端口，用于控制计数器的加计数或减计数，本题由于该端输入为“1”，故为加计数； \overline{ENT} 和 \overline{ENP} 为输入控制端； \overline{RCO} 为输出进位或借位输出；时钟信号上升沿有效。

基于此，本题展示的是一种修改计数器模值的方法。D 与 QD 相连，保证的是 QD 不会预置时发生变化；其中 QA、QB、QC 通过一或门接入 LD，即当三者均为低电平输出时开始预置。

选项 A，74LS169 为同步预置；

选项 B，若模值为 2，则低三位需要一直保持均为低电平才能使之进入预置，而此时最高位因为与 D 相连，也不会发生变化，故其模值应该为 1(0000 或 1000)，B 错误，同时排除选项 D。

选项 C，不妨想一想，要是初始值为 0000，预置值设置为 CBA=001，则此时即为一般的 74LS169 器件，完成模值为 16 的计数器功能，C 正确。

事实上，为了探寻所有情况，可以对预置值进行一一列举，下展示同学们的做法：

Handwritten diagram of a 74LS169 counter circuit. The circuit shows the 74LS169 chip with inputs \overline{ENT} , \overline{ENP} , CLK, D, C, B, A, \overline{LD} , U/\overline{D} , and \overline{RCO} . The output QD is connected to D. The outputs QA, QB, and QC are connected to an OR gate, which is connected to \overline{LD} . The U/\overline{D} input is connected to 1. The \overline{RCO} output is connected to a logic 1. The CLK input is connected to a clock source (CP).

Handwritten notes next to the diagram:

- 设初始值为 0000.
- QC、QB、QA 同时为 0 时，预置

Handwritten analysis of pre-set values and moduli:

- 1° 预置 CBA = 000 时，在 0000 或 1000 循环， $M=1$
- 2° CBA = 001, 0001 → 0010 → 0011 → 0100 → 0101 → 0110 → 0111 → 1000
预置 → 1001 ~ 1111 → 0000 预置 → 0001, $M=16$.
- 3° CBA = 010, 0010 ~ 1000 预置 → 1010 ~ 1111 → 0000, $M=14$
- 4° CBA = 011, 0011 ~ 1000 预置 → 1011 ~ 1111 → 0000, $M=12$.
- 5° CBA = 100, 0100 ~ 1000 → 1100 ~ 1111 → 0000, $M=10$.
- 6° CBA = 101, 0101 ~ 1000 → 1101 ~ 1111 → 0000, $M=8$
- 7° CBA = 110, 0110 ~ 1000 → 1110 ~ 1111 → 0000, $M=6$.
- 8° CBA = 111, 0111 → 1000 → 1111 → 0000, $M=4$

综上，可构成 $M=1, 4, 6, 8, 10, 12, 14, 16$ 的计数器。

问题 6

十进制计数器74LS160的连接方式如图6-3所示，则74LS160的工作状态为_____

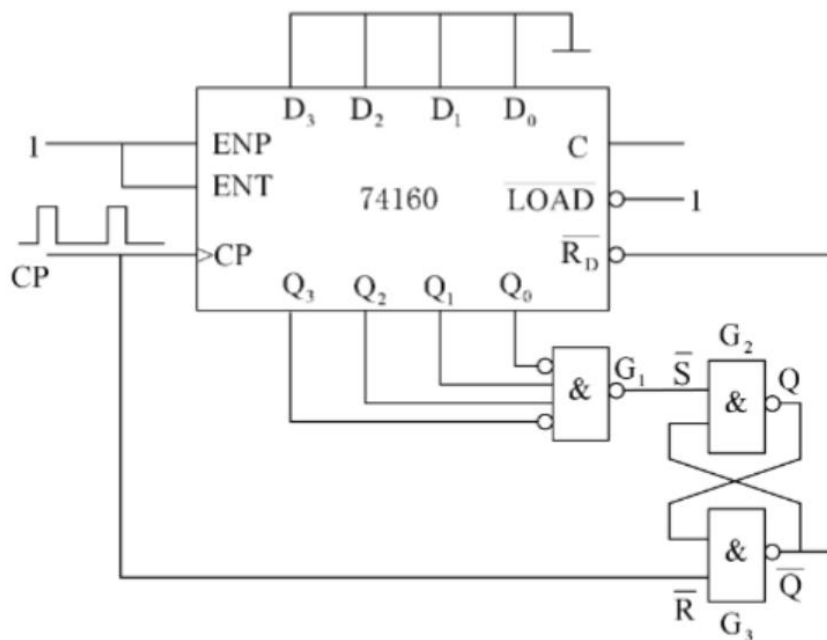


图 6-3 74LS160 组成的电路

- ☐ A. 异步复位
- ☐ B. 同步复位
- ☐ C. 异步预置
- ☐ D. 同步预置

解析：选 A

预置端无效不工作，74LS160 工作原理和 74LS161 类似，为异步清零。

分析电路结构可知，当输出 $Q_3Q_2Q_1Q_0=0110$ 时，RS 触发器输出 Q 置为高电平，进而进行清零(RS 触发器分为两类：两级或非门和两级与非门构成的 RS 触发器，注意其对应输入形式与位置，本体采用的是两级与非门)，对于此题 RS 触发器的作用是：由于复位信号随着计数器置零立即消失，且触发器的复位有快有慢，不是同步进行的，所以存在当复位信号消失时仍有部分触发器未来得及复位的情况，此时计数发生错误，而本题中的触发器可以解决这个问题。当复位信号消失时，若 \bar{R} 输入为高电平，则输出仍保持，使得复位信号的长度与输入时钟信号高电平持续时间相同。

另外，相信不少同学疑惑：题目中给的 74LS160，图里面又画个 74160,没区别吗？事实上，“LS” stands for “Low Power Schottky”，即低功耗肖特基，其特点是功耗低，工作速度更快。

问题 7

电路如图 6-3 所示，与非门 G_2 和 G_3 构成 RS 触发器，当计数器从 0 开始计数到_____时 \bar{Q} 端输出低电平。

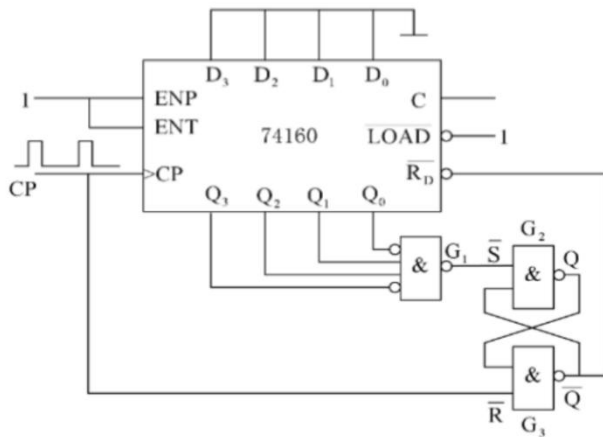


图 6-3 74LS160 组成的电路

- ☐ A. 1001
- ☐ B. 1111
- ☐ C. 0000
- ☐ D. 0110

解析：选 D
详见问题 6.

问题 8

电路如图 6-3 所示， \bar{Q} 端输出低电平时，低电平持续时间为_____。

- A. 时钟低电平时长
- B. 时钟高电平时长
- C. 时钟下降沿时长
- D. 时钟上升沿时长

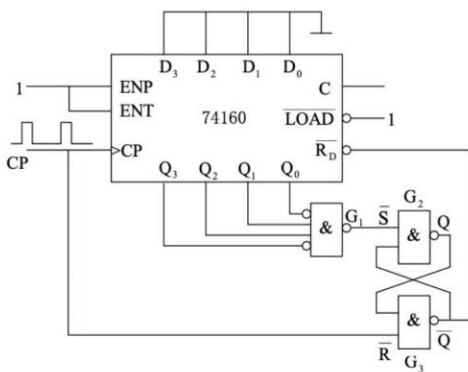


图 6-3 74LS160 组成的电路

解析：选 B
详见问题 6.

问题 9

如图6-3所示，该计数器的模值为_____。

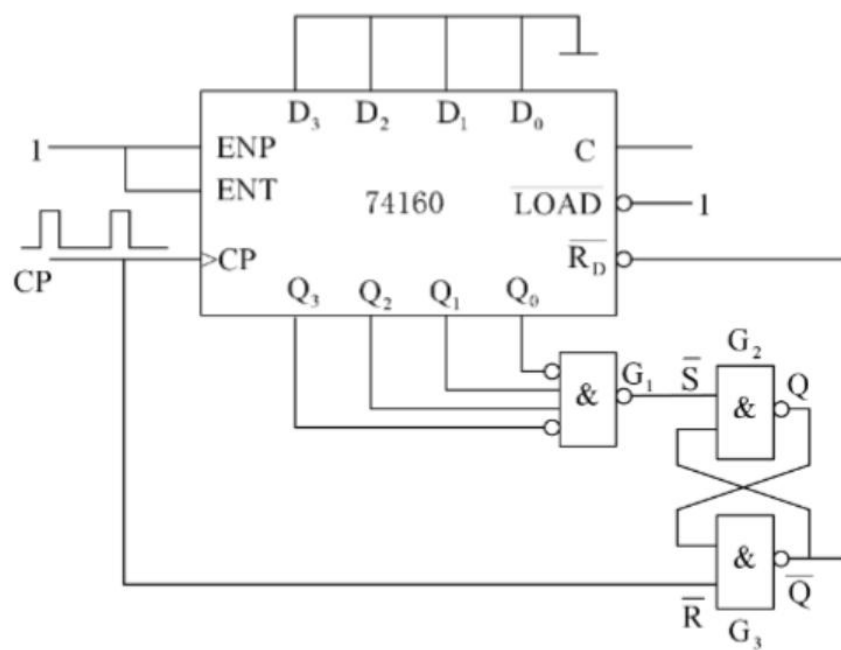


图 6-3 74LS160 组成的电路

- ☐ A. 5
- ☐ B. 6
- ☐ C. 8
- ☐ D. 10

解析：选 B

注意，74160 为异步复位，故达到复位条件值与初始值 0000 是重叠的，即 0000-0101，M=6.

问题 10

由74LS160构成的计数器如图6-4所示, 该计数器的模值为_____。

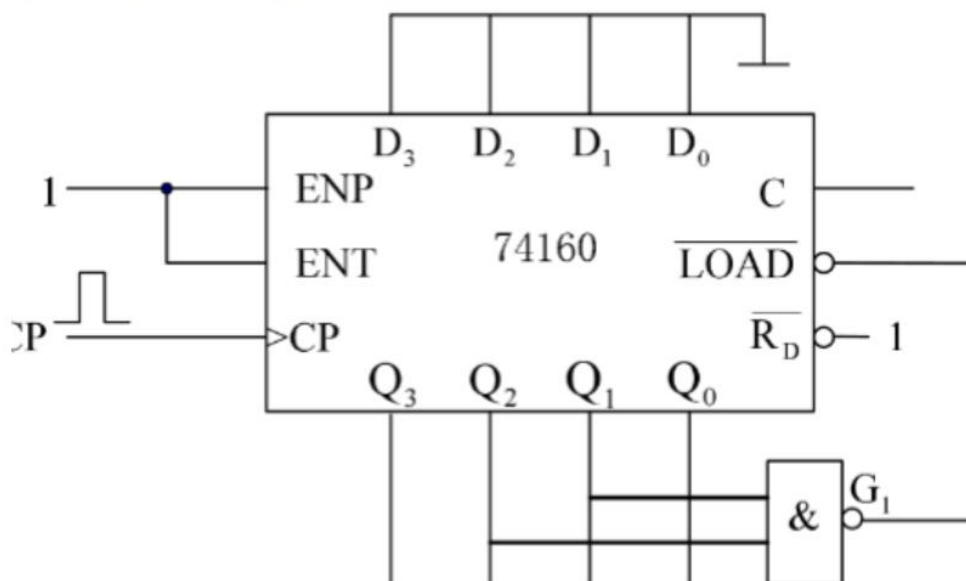


图 6-4 74LS160 组成的电路图

- ☐ A. 5
- ☐ B. 6
- ☐ C. 7
- ☐ D. 8

解析：选 C

注意区分问题 9 与本题。判断终值相同均为 0110(加计数)，不同的是本题采用的预置复位，对于 74160 来说，其预置是同步的，而清零是异步的，故当输出到达判断终值 0110 时还需要等待一个有效上升沿到来才会进行预置操作，故计数由 0000-0110，M=7。

问题 11

在异步计数器电路中，所有触发器受同一个时钟的同一个边沿来控制。

- ☐ 对
- ☐ 错

解析：错误

概念问题，所谓异步即各触发器的时钟不来自于同一脉冲源。

问题 12

异步计数器74LS90的输入端R₉₍₁₎和R₉₍₂₎的同时为'1'时，无论采用何种编码方案，计数器都会被异步置9。

- ☐ 对
☐ 错

解析：错误

对于一部计数器 74LS90 而言，当两个置 9 端输入均为 1 时输出 1001：对于 8421 十进制计数(clkA 输入外部时钟，clkB 接入 QA)，计数器异步置 9；对于 5421 十进制计数(clkB 输入外部时钟，clkA 接入 QD)，计数器异步置 6。

问题 13

74LS90也可以用作同步计数器，只是计数模值会减小。

- ☐ 对
☐ 错

解析：正确

将 74LS90 所有时钟均连接于同一脉冲源构成同步计数器，可以构成模 8 计数器（除此之外利用异步置 0 置 9 的四个输入端可将 74LS90 构成从 2 到 10 所有模值的计数器且无需外加逻辑电路）。

问题 14

修改中规模计数器的模值，采用异步方式能够得到更好的输出波形。

- ☐ 对
☐ 错

解析：错误

采用异步方式不仅会使得整个电路延时增加(时钟可能来自于上一级的输出)，还可能产生不稳定的情况（也就是之前问题 6 提到要外加电路的原因），采用同步方式可使得输出脉冲宽度与时钟宽保持一致，能得到更好的输出波形。

问题 15

修改中规模计数器的模值时，复位法可以看做是预置法的特例，当预置值为零时，预置法就变为复位法。

- ☐ 对
☐ 错

解析：正确

去预置值为 0 时就变为了复位法。值得注意的是，当涉及计数器模值计算时，预置的同步异步和复位的同步异步会导致结果的不同。

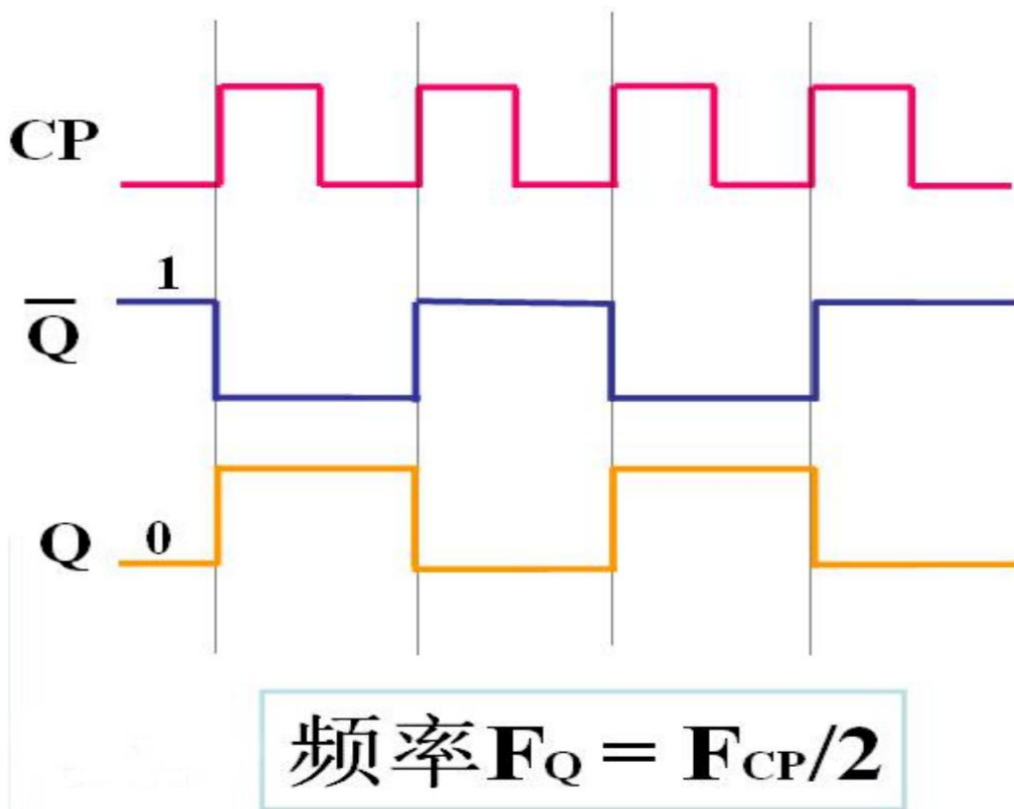
问题 16

模2计数器就是一个翻转触发器，它可以用来对时钟信号二分频。

- ☐ 对
☐ 错

解析：正确

首先明确分频的概念：将单一频率信号的频率变为原来的 $1/n$ ，就称为 n 分频。
从波形的角度来看 n 分频就是时钟信号每出现 n 个周期，输出波形才出现 1 个周期。（下图即二分频的波形图）



问题 17

模M计数器是一个M分频电路，但输出时钟必须从最高位或进（借）位信号处获得。

- ☐ 对
☐ 错

解析：正确

当最高位由 1 变为(下降沿)或(借)进位信号有效时，计数器完成了一个技术周期，此时可与进行 M 分频信号的翻转。

问题 18

中规模移位寄存器和计数器是两种不同的器件，因此中规模移位寄存器不能构成计数器。

- ☐ 对
- ☐ 错

解析：错误

因为 A 和 B 不同，所以 A 不能构成 B，因果关系明显错误。事实上，应用移位寄存器 SH/LD 控制端，选择合适的并行输入数据值和适当的反馈网络，可以实现任意模值 M 的同步计数器。

问题 19

使用集成中规模地址译码器可以构成数据分配器，使用中规模集成数据分配器可以构成地址译码器

- ☐ 对
- ☐ 错

解析：正确

地址译码器和数据分配器可以通过输入的连接互相构成。

问题 20

使用中规模同步计数器级联而成的计数器，整体看来仍为同步计数器

- ☐ 对
- ☐ 错

解析：错误

同步计数器定义为统一时钟，多个同步计数器级联显然不满足要求。