

问题 1

4 分

保存答案

在不影响逻辑功能的情况下，CMOS 与非门多余的输入端可以_____。

- A. 通过大电阻接地（例如电阻值大于 $10\text{K}\Omega$ ） B. 悬空
C. 通过小电阻接地（例如电阻值小于 100Ω ） D. 通过电阻接电源 V_{DD}

- ☐ A. A
☐ B. B
☐ C. C
☐ D. D

解析：

本题答案选 D。

对于 CMOS 管来说，其输入端是不允许悬空的，通过电阻接电源 V_{DD} 等效于输入高电平，而 A、C 选项均等效于输入低电平。

对于 TTL 晶体管来说，A、D 选项均等效于接入高电平，而通过电阻接地等效于低电平。

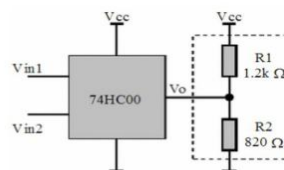
问题 2

4 分

保存答案

某 74HC 系列与非门的输出参数为 $V_{OH}=3.84\text{V}$ ， $V_{OL}=0.33\text{V}$ ， $I_{OLmax}=4\text{mA}$ ， $I_{OHmax}=4\text{mA}$ ，电路连接如下图所示， $V_{CC}=5\text{V}$ ，则该电路_____。

- A. 能正常工作 B. 不能正常工作 C. 无法确定 D. 画的很好



- ☐ A. A
☐ B. B
☐ C. C
☐ D. D

解析：

本题答案选 A。

主要思路是讨论输出为高电平和输出为低电平两种情况时电路的工作状态。当输出为高电平时，流过 R_2 的电流应该小于 I_{OHmax} ，当输出为低电平时，流过 R_1 的电流应该小于 I_{OLmax} 。过程如下：

输出高电平时：

$$V_{CC} \frac{R_2}{R_1 + R_2} + I_{OHmax} R_2 = 5.3V > V_{OH}$$

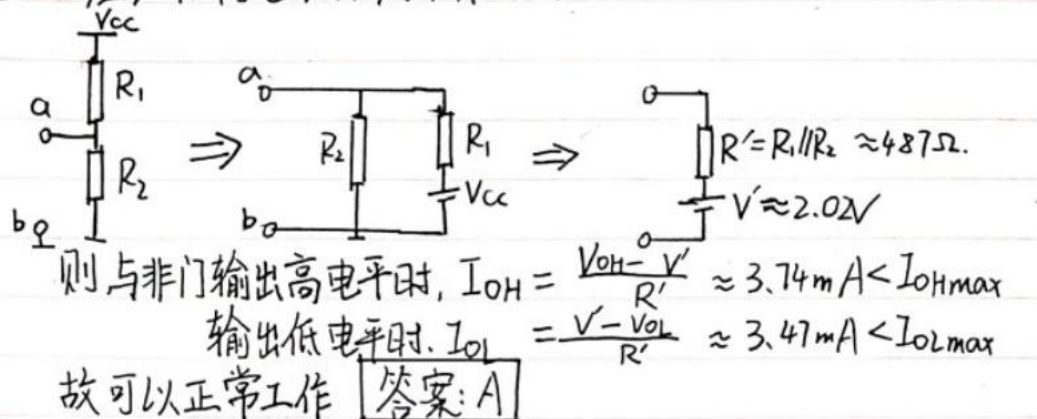
输出低电平时：

$$\frac{V_{CC} - V_{OL}}{R_1} - \frac{V_{OL}}{R_2} = 3.49A < I_{OLmax}$$

故能正常工作

除了上述思想，事实上，本题还可以利用上学期模电戴维南定理等效电路解答，来看看咱们同学的解法：

② 将虚线框内电路用戴维南等效：



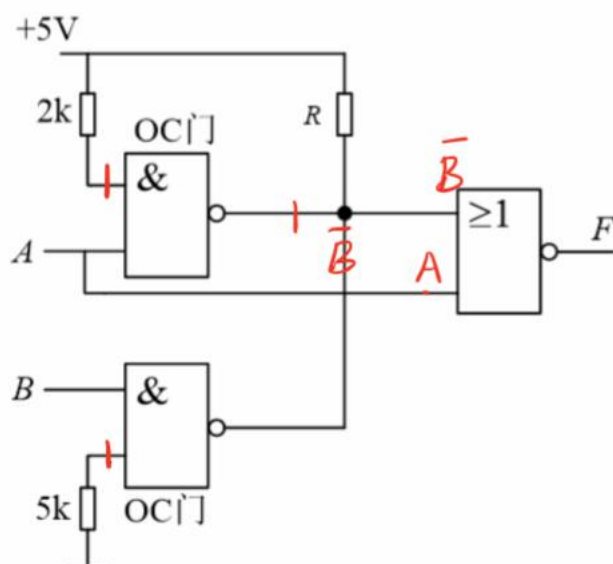
可以发现，用戴维南等效的方法对于本题也不乏为一种好的解法，但是其算等效电阻和等效电动势是复杂的，所以掌握基本方法对于大多数同学来说是必要的！

对于答案 D，虽然其为正确的语言描述，但明显属于答非所问，错误！

问题 3

在下图所示的 TTL 门电路中， A 、 B 为输入，则输出 $F=$ _____。

- ☒ A. $A + \bar{B}$ B. AB C. $\bar{A}\bar{B}$ D. 以上都不对

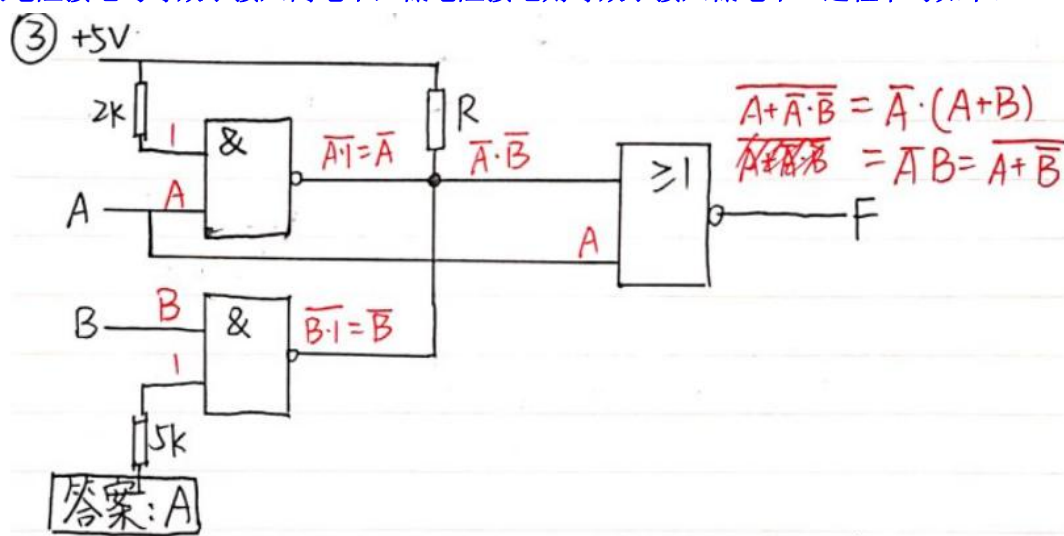


- ☐ A. A
☐ B. B
☐ C. C
☐ D. D

解析：

本题答案选 A。

本题的关键是明确电阻接电源和接地的输入情况。对于 TTL 电路而言，通过电阻接电源和大电阻接地均等效于接入高电平，低电阻接地则等效于接入低电平。过程书写如下：



问题 4

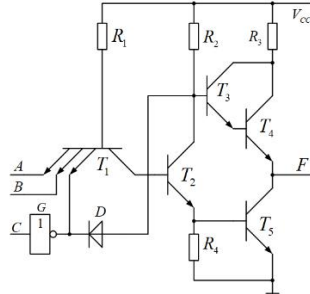
4 分

保存答案



某 TTL 器件的内部结构如下图所示，其中 ABC 为输入，当 $C=1$ 时， $F=$ _____。

- A. $\overline{A+B}$ B. AB C. \overline{AB} D. 高阻



- ☐ A. A
- ☐ B. B
- ☐ C. C
- ☐ D. D

解析：

本题答案选 D。

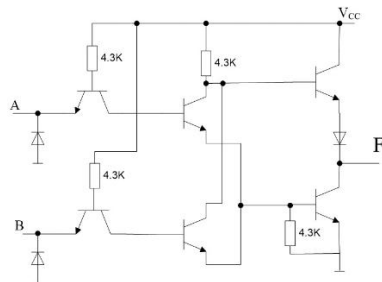
此图为低电平有效三态门，即当 C 输入为 1 时， D 导通， $T3$ 基极电位为低电平， $T3$ 、 $T4$ 管截止，同时 $T1$ 管导通， $T5$ 管截止， F 输出为高阻态。

问题 5

4 分

保存答案

某 TTL 器件的内部结构如下图所示，其中 AB 为输入，输出 $F=$ _____。



- A. $\overline{A+B}$ B. AB C. \overline{AB} D. 以上都不对

解析：

本题答案选 A。

本题重点为熟悉典型逻辑门构造。如基极、集电极相接，发射极输入则构成与门，集电极、发射极相接，基极输入则构成或非门（或门）。

问题 6

4 分

保存答案

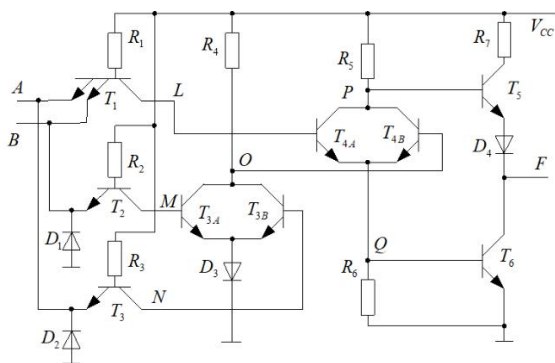
某 TTL 器件的内部结构如下图所示，其中 AB 为输入，则输出 $F=$ _____。

A. $\overline{A+B}$

B. $AB + \overline{AB}$

C. \overline{AB}

D. $\overline{AB} + A\overline{B}$



☐ A. A

☐ B. B

☐ C. C

☐ D. D

解析：

本题答案选 A。解析参考问题 5，解答如下：

⑥图中： $L = AB$, $N = A$, $M = B$

$\therefore O = \overline{M+N} = \overline{A+B}$

$P = \overline{L+O} = \overline{(A+B) \cdot \overline{A+B}} = \overline{(A+B) \cdot (A+B)} = \overline{A+B} + \overline{A+B}$

$F = P = \overline{A+B} + \overline{A+B}$

答案：D

问题 7

4 分

保存答案

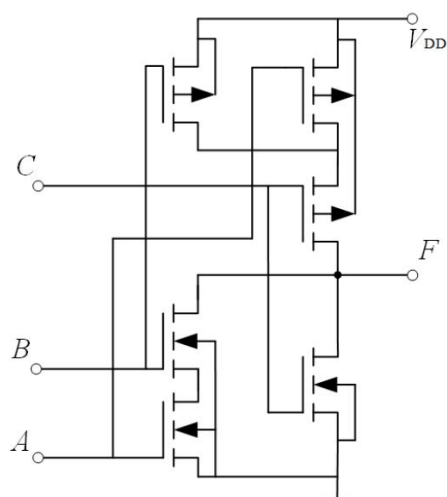
CMOS 门电路内部结构如下图所示，其中 ABC 为输入，则输出 $F=$ _____。

A. $\overline{A+B+C}$

B. ABC

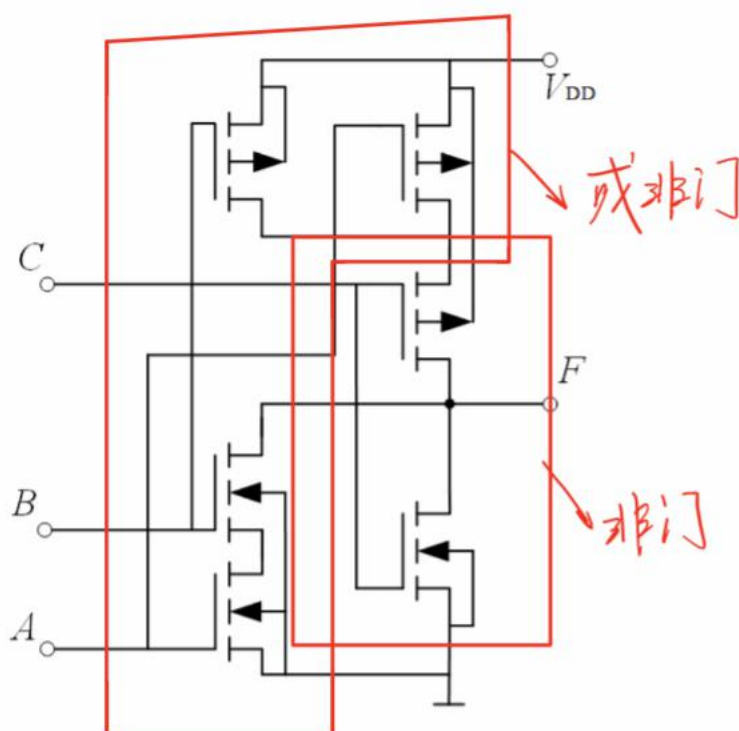
C. $\overline{AB+C}$

D. \overline{ABC}



解析：

本题答案选 C。重点是识别典型 CMOS 逻辑门电路，题目分析如下：



其在输出端进行“线与”操作，故答案选 C。

问题 8

4 分

保存答案

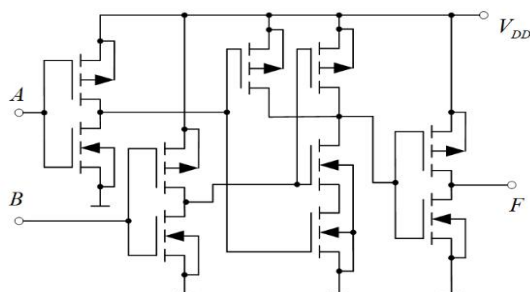
CMOS 门电路内部结构如下图所示，其中 AB 为输入，则输出 $F=$ _____。

A. $\overline{A+B}$

B. AB

C. \overline{AB}

D. 以上都不对



☐ A. A

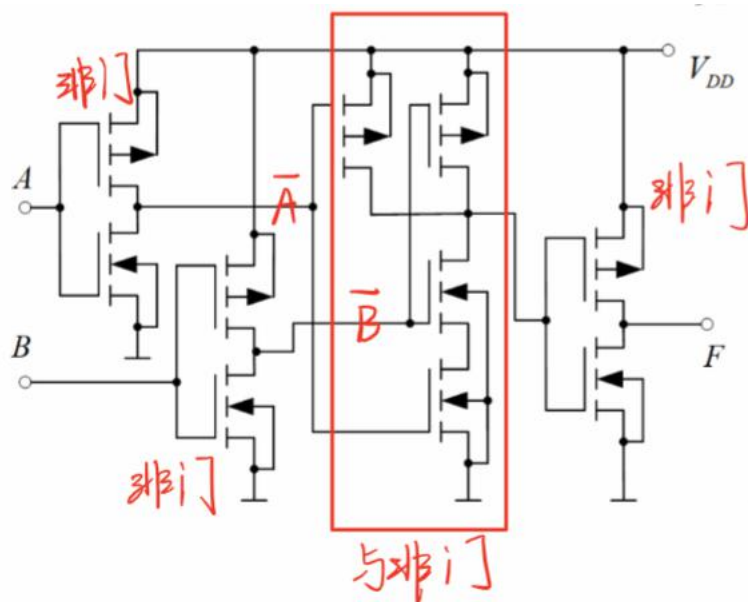
☐ B. B

☐ C. C

☐ D. D

解析：

本题答案选 A。解答过程如下：



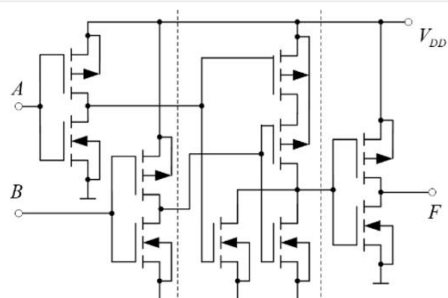
问题 9

4 分

保存答案

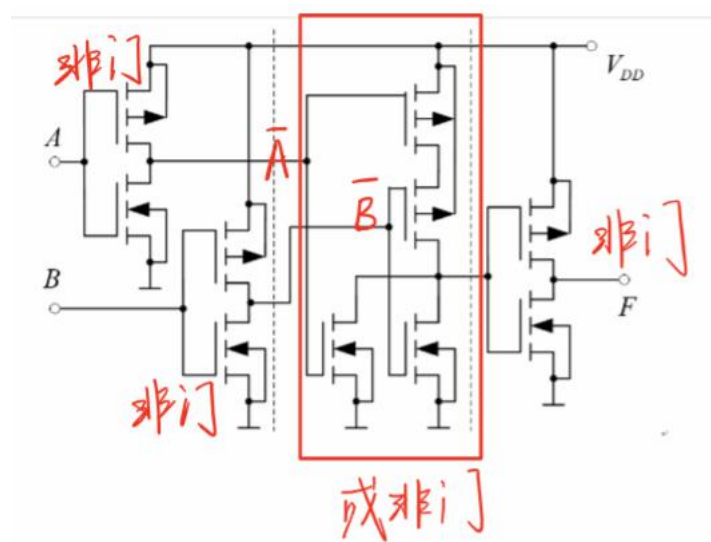
CMOS 门电路内部结构如下图所示，其中 AB 为输入，则输出 $F=$ _____。

- A. $\overline{A+B}$ B. AB C. \overline{AB} D. 以上都不对



解析：

本题答案选 C。解答过程如下：



问题 10

4 分

保存答案

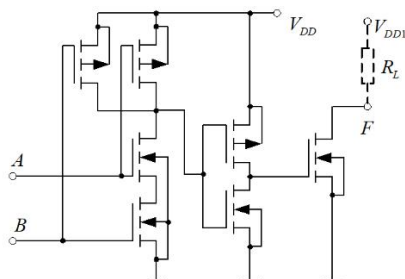
下图为 CMOS 漏级开路门电路，其中 A 、 B 为输入，则输出 $F=$ _____。

A. $\overline{A+B}$

B. AB

C. \overline{AB}

D. 以上都不对。



☐ A

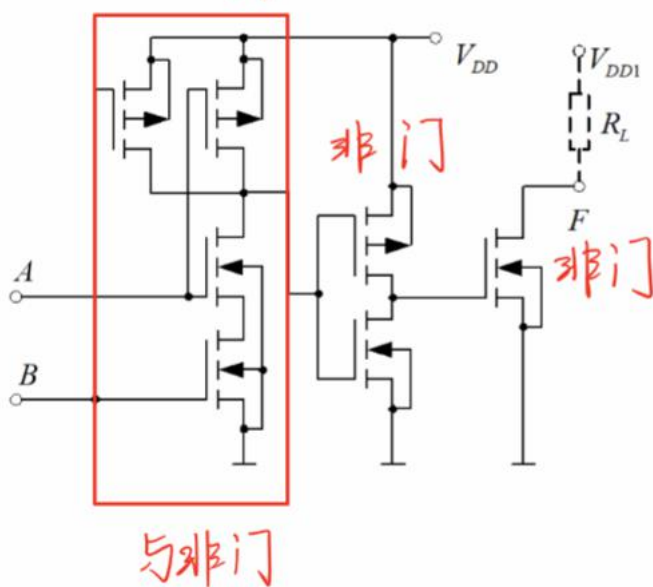
☐ B

☐ C

☐ D

解析：

本题答案选 c。需要注意的是这是一个漏极开路 OD 门电路，输出与 OC 门一样可以实现“仙与”逻辑。解答过程如下：



问题 11

4 分

保存答案

在 Verilog HDL 中, “a=4'b1001, b=4'bx110”选出正确的运算结果_____。

- A. a&b=0 B. a&&b=1 C. b&a=x D. b&&a=x

- ☐ A. A
- ☐ B. B
- ☐ C. C
- ☐ D. D

解析:

本题答案选 B。在 Verilog HDL 语言中, &代表的是按位与, &&代表的是逻辑与。故本题中, a&b 的结果为 4'bx000 (x 与 1 逻辑与运算结果为 x), a&&b 的结果为逻辑 1 (只要不为 0, 均视为逻辑 1), 综上 B 为正确选项。

问题 12

4 分

保存答案

串口通信中可以使用偶校验检错, 方法是在要发送的字节中加入校验位, 使输出的 9 位数据中出现 1 的次数永远为偶数。可以实现该校验的 Verilog 描述为_____。

- A. assign output[8:0] = {1'b1, input[7:0]};
- B. assign output[8:0] = {1'b0, input[7:0]};
- C. assign output[8:0] = {~input[7:0], input[7:0]};
- D. assign output[8:0] = {^input[7:0], input[7:0]};

- ☐ A. A
- ☐ B. B
- ☐ C. C
- ☐ D. D

解析:

本题答案选 D。由题描述, 偶校验检错是指当输出数据中有奇数个 1 时校验码为 1, 而当输出数据中有偶数个 1 时校验码为 0, 其中校验码加在数据末尾。显然 A、B 选项的描述是有失偏颇的。对于 C, ~是取反操作, 拼接之后会形成 16 位数, 赋值操作将报错。D 中^为缩减运算符异或操作, 偶数个 1 异或为 0, 奇数个 1 异或为 1, 与题目描述功能符合!

问题 13

4 分

保存答案

数据发送端使用偶校验发送 9 位数据字段，在该字段中，若 1 的出现次数是偶数次，则数据有效，valid 信号输出 1，则判断数据是否有效的正确 Verilog 实现是_____。

- A. `assign valid = ~&input[8:0];`
- B. `assign valid = ~input[8:0];`
- C. `assign valid = ^input[8:0];`
- D. `assign valid = ~^input [8:0];`

☐ A. A

☐ B. B

☐ C. C

☐ D. D

解析：

本题答案选 D。此题在问题 12 的基础上需要着重注意操作符顺序选取。对于 A，只要 input 中存在一个 0 则 valid 就被赋值为 1，而 B 中右端是一个九位二进制数，赋值操作会出错。D 中~^并不是指同或，而是先对 input 缩减运算异或运算，再取反操作！

问题 14

4 分

保存答案



低密度 FPGA 常使用四输入查找表实现可编程组合逻辑，其原理用 Verilog 描述如下：

```
module lut4(in, table, out)
    input [3:0] in;
    input [15:0] table;
    output out;
    assign out = table[in];
```

endmodule

若想实现四输入与门，in 为输入，out 为输出，则 table 应该输入_____。

A. 16'b0000000000000001

B. 16'd1024

C. 16'hF000

D. 16'h8000

☐ A. A

☐ B. B

☐ C. C

☐ D. D

解析：

本题答案选 D。四输入查找表实现的功能是通过 4 为 input 输入，通过一定映射关系在 table 表中输出查找值。要想实现四输入与门，即有当且仅当输入全为 1 时 table 值为 1，即 table[15]=1。故 table 应输入 2'b1000 0000 0000 0000=16'd32768=16'h8000。

问题 15

4 分

保存答案

以下 Verilog 代码可实现 USB 传输中的循环冗余校验，其生成多项式为： $x^{16} + x^{15} + x^2 + 1$ 。

```
module crc16(data, crc, newcrc);  
    input data;  
    input [15:0] crc;  
    output [15:0] newcrc;  
    wire d = data;  
    wire c = crc;  
    assign newcrc[15:0] = {d^c[14]^c[15], c[13:2], d^c[1]^c[15], c[0], d^c[15]};  
endmodule
```

对于该模块，以下理解中正确的是_____。

- A. 该模块输入数据 data 是以字节为单位的
- B. 该模块是组合逻辑，不需要时钟信号驱动即可输出结果
- C. newcrc 是输出信号，默认是 reg 类型
- D. 该模块复杂冗余，不可综合

解析：

本题答案选 B。对于 A 选项，1 字节=8bit，1bit 代表的是一位二进制数，数据 data 是以比特为单位的。B 项正确，任意时刻输出只与对应时刻的输入有关。C 选项 newcrc 默认是 wire 类型，只有在 always 等模块中变量赋值需要定义为 reg 类型。

问题 16

4 分

保存答案

晶体管饱和越深，带灌电流负载的能力越强，但工作速度越慢。

- ☐ 对
- ☐ 错

解析：正确

由以上分析可知，要提高反相器带灌电流负载能力，关键在于加大晶体管的饱和深度（增加 I_B ，增大 R_C ，减小 I_{RC} ），饱和越深，带负载能力越强。同时也要注意，饱和越深，工作速度越慢。

问题 17

4 分

保存答案

COMS和TTL门的输入端通过10K Ω 电阻接 V_{CC} 时等效为输入逻辑“1”。

- ☐ 对
- ☐ 错

解析：错误

见问题 3

问题 18

4 分

✓ 已保存

两个反相器并联使用，可以增加驱动能力。

- ☒ 对
- ☐ 错

解析：正确

(2) 当某一个门的输出需要驱动负载电流较大的单一负载时，实现方法举例如下。方法一是逻辑门并联使用。例如，TTL 门的 $I_{OLmax} = 8 \text{ mA}$ ，现需要驱动 5 V、12 mA 的继电器，可用两个门并联，使总的输出 $I_{OLmax} \approx 16 \text{ mA}$ ，

问题 19

4 分

✓ 已保存

TTL与非门的开门和关门电平越接近阈值电压 V_T ，噪声容限越大。

☐ 对

☒ 错

解析：正确

④ 开门电平 V_{ON}

开门电平 V_{ON} 是保证 VT_1 饱和导通，与非门达到稳定输出低电平时的最小输入高电平（参见图 2.3.3）。一般器件 $V_{ON} \leq 1.8 \text{ V}$ ， V_{ON} 越接近 V_{TH} ，器件噪声容限越大，抗干扰能力越强。

⑤ 关门电平 V_{OFF}

关门电平 V_{OFF} 是保证 VT_1 截止，使与非门的输出为高电平的最小值时，对应允许输入低电平的最大值（参见图 2.3.3）。一般器件产品要求 $V_{OFF} \geq 0.8 \text{ V}$ ， V_{OFF} 越接近 V_{TH} ，器件噪声容限越大，抗干扰能力越强。

问题 20

4 分

✓ 已保存



反相器的拉电流负载电阻过小时，主要对输出的高电平产生影响。



☒ 对

☐ 错

解析：正确

(20) 拉电流主要影响高电平，灌电流主要影响低电平。

问题 21

4 分

✓ 已保存

ECL门工作速度快的原因是晶体管不进入饱和状态，输出还能实现线与功能。

- ☐ 对
- ☒ 错

解析：错误

ECL(Emitter Coupled Logic,射极耦合逻辑)是一种非饱和双极型晶体管的逻辑门电路,它和 TTL 逻辑电路不同之处在于 ECL 所含的晶体管只工作在浅截止区和放大区,因而晶体管的基区没有多余的存储电荷,晶体管基本没有存储时间,且电路的输入、输出逻辑幅度小(输入高电平为 -0.8 V ,低电平为 -1.6 V),从而进一步提高了逻辑电路的开关速度。

问题 22

4 分

✓ 已保存

TTL和CMOS与非门的闲置输入端悬空时不影响其逻辑关系。

- ☐ 对
- ☒ 错

解析：错误

CMOS 不允许悬空

问题 23

4 分

✓ 已保存

OC门的输出端可以直接相连实现“线与”逻辑，OD门的输出端可以直接相连实现“线或”逻辑。

- ☐ 对
- ☒ 错

解析：错误

两者均实现线与逻辑

问题 24

4 分  已保存

TTL门输出端的拉电流能力是指输出低电平时，流入输出端的最大允许电流。

- ☐ 对
- ☒ 错

解析：错误

见问题 20

问题 25

4 分  已保存

TTL门的电流驱动能力比CMOS门强，因而，其噪声容限也高于CMOS门。

- ☐ 对
- ☒ 错

解析：错误

CMOS 噪声容限相比更大

(4) CMOS 逻辑门的扇出系数很大，通常输出端可驱动 50 个同类门电路（驱动门过多时，负载电容也较大，延时增加），但是若用 CMOS 门来驱动纯电阻负载或 TTL 门电路，负载能力十分有限，往往需要另加 CMOS 驱动器提供较大的输出电流。

(5) 相对 TTL 门而言，CMOS 逻辑门的传输延迟时间稍大，主要源自 CMOS 的高输入阻抗及寄生电容和负载电容的影响。传输延迟时间还与电源电压有关，例如 4000 系列门如用 5 V 供电时的传输延迟时间为 125 ns，使用 15 V 供电时的传输延迟时间为 45 ns。