

数电客观题解析第 10 周

整理人：学习部 彭宇田

广大读者若发现答案有误欢迎斧正！

问题 1

下列属于时序逻辑电路的是_____。

- ☐ A. 译码器
- ☐ B. 比较器
- ☐ C. 编码器
- ☒ D. RS触发器

解析：选 D

所谓时序逻辑，是指电路的输出由当前输入和历史输入决定，具有记忆功能。RS 触发器是时序逻辑电路的基本单元，由于存在反馈网络，其具有记忆功能。而译码器、比较器、编码器均属于组合逻辑电路的范畴。

问题 2

由 n 个 D 触发器构成的移位寄存器能产生的最大线性序列长度为_____。

- A. 2^n B. 2^{n-1} C. $2^n - 1$ D. n
- ☐ A
 - ☐ B
 - ☐ C
 - ☒ D

解析：选 C

首先明确三组概念：

- ①由 n 个 D 触发器构成移位寄存器的最大计数模值= 2^n ；
- ②由 n 个 D 触发器构成移位寄存器能产生的最大线性序列长度= 2^n-1 ；
- ③模 M 的计数器可以产生长度为 M 及以下的序列。

对于②的解释：最大线性序列长度，不同于最大计数模值，前者对应的是序列信号发生器或者 M 序列发生器；而后者对应的则是一般计数器。序列信号发生器注重序列长度一定且有规律，而一般计数器则只要求一定数目的循环状态。由于序列信号发生器中全 0 状态自己构成非工作状态，不能自启动，故最大线性序列长度要在最大计数模值上-1。

问题 3

米里型同步时序电路的输出_____。

- ☐ A. 只与当前外输入有关
- ☐ B. 只与内部状态有关
- ☒ C. 与外输入和内部状态都有关
- ☐ D. 与外输入和内部状态都无关

解析：选 C

对于问题 3-4，米里型同步时序电路的输出与当前输入与内部状态均有关，而摩尔型同步时序电路的输出仅与内部状态有关，即其不存在输入。

问题 4

摩尔型同步时序电路的输出_____。

- ☐ A. 仅同当前外输入有关
- ☐ B. 仅同电路内部状态有关
- ☐ C. 既与外输入也与内部状态有关
- ☐ D. 与外输入和内部状态都无关

解析：选 B

问题 5

由 n 个触发器构成的扭环计数器中，无效状态有_____个。

- A. n B. $2n$ C. 2^{n-1} D. $2^n - 2n$

- ☐ A
- ☐ B
- ☐ C
- ☐ D

解析：选 D

因为由 n 个触发器构成的扭环计数器 D_0 取的是最后一个状态变量的非，故其有效工作状态为 $2n$ 个，是环形计数器的 2 倍。又由于一共有 2^n 个工作状态，所以无效的有 $2^n - 2n$ 个。值得注意的是，这样的扭环计数器有两个状态循环，通常取包含 0000 或 1111 的循环圈为工作循环，另一个则为非工作循环，即此计数器是不能实现自启动的，为了弥补这一缺点，需要对反馈函数进行修改。

问题 6

同步时序电路和异步时序电路比较，其差异在于后者_____。

- ☐ A. 没有触发器
- ☐ B. 没有统一的时钟脉冲控制
- ☐ C. 没有稳定状态
- ☐ D. 输出只与内部状态有关

解析：选 B

同步时序电路和异步时序电路的区别就在于，前者有统一的时钟脉冲控制，而后者没有。

问题 7

同步计数器和异步计数器比较，同步计数器的显著优点是_____。

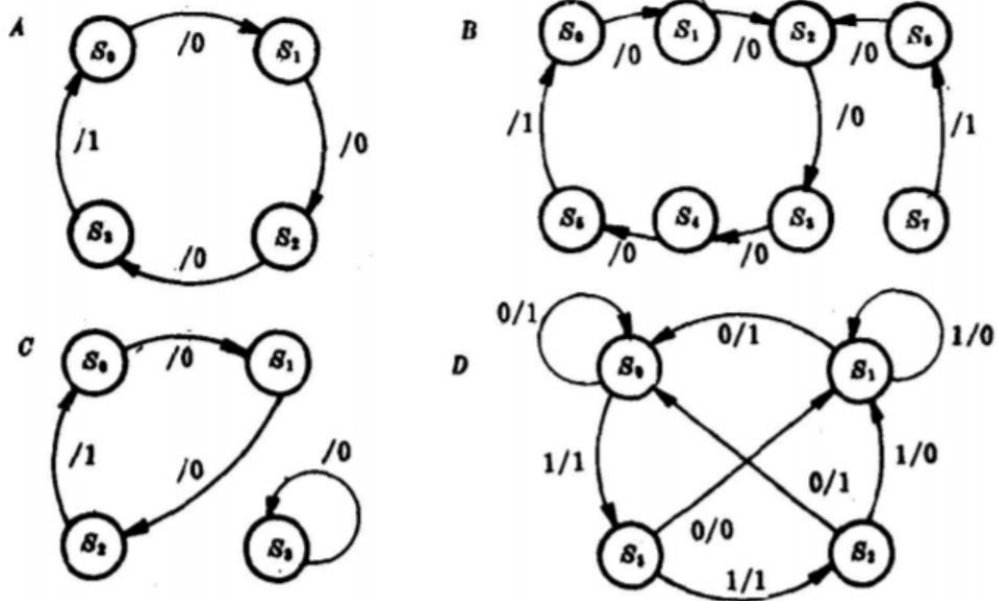
- ☐ A. 工作速度高
- ☐ B. 触发器利用率高
- ☐ C. 电路简单
- ☐ D. 不受时钟CP控制

解析：选 D

由问题 6 我们可以知道对于异步时序电路来说，它是没有统一的时钟控制脉冲的，其每一级触发器的时钟可能取自之前前面任何一级触发器，由于门的延时，信号传输就相对较迟缓，工作速度低。而同步时序电路由于时钟取自同一个，它的工作效率相比就会更高。

问题 8

下面各状态图中，不能自启动的是_____。



解析：选 C

所谓自启动，就是计数器在进入不使用的状态（非有效工作状态）时能在经过有限个周期的时钟后进入有效的技术循环。显然，对于选项 C 中状态 3 就不满足自启动的条件。

在常用时序电路的设计当中，由于一般设计要求中指定了工作状态的转移关系，所以要将所有状态的转移关系表示清楚，这就涉及到电路自启动的验证。检验方法有二：一是将要检查的状态代入状态方程得到下一状态；二是通过卡诺图观察法得出。若不能自启动，必须寻找方法打破非工作循环。比如当进入某非工作状态后产生输出信号进行复位或是置位或是改变画卡诺图时的画法进而打破非工作循环。

问题 9

一位8421BCD码计数器至少需要_____个触发器。

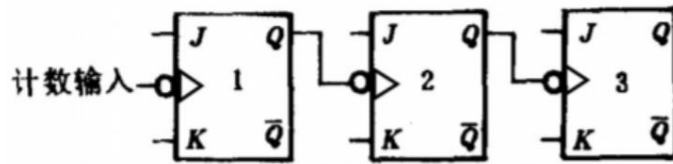
- ☐ A. 3
- ☐ B. 4
- ☐ C. 5
- ☐ D. 10

解析：选 B

8421BCD 码是从 0000 计数到 1001 共 10 个数，而 3 个触发器计数最大模值只有 8，故至少需要 4 个触发器。

问题 10

下图所示时序电路的逻辑功能是_____。



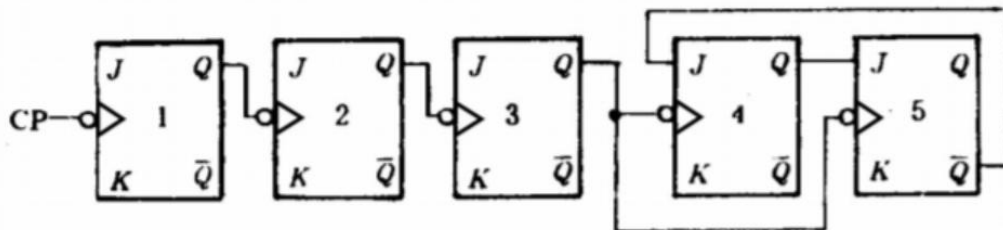
- ☐ A. 模8同步加法计数器
- ☐ B. 模8异步减法计数器
- ☐ C. 模8异步加法计数器
- ☐ D. 模8双向(可逆)异步计数器

解析：选 C

对于如图计数器由 3 个下降沿触发 JK 触发器构成，其计数最大模值为 $2^3=8$ ，由于 $J_i=K_i=1$ (悬空)故下降沿来临时实现功能是翻转。由于后面两个触发器的输入时钟均是前一个触发器状态变量，故为异步计数。由上分析知，当前一个 Q 由高电平到低电平的瞬间触发器有效，实现翻转，显然其实现的是不可逆加计数，因为若想实现减计数由 111→110 是不可能的，其中一个由 1→0 则会产生下降沿导致另外两位翻转而非保持。

问题 11

下图所示电路可作_____分频电路。



- ☐ A. 8
- ☐ B. 16
- ☐ C. 12
- ☐ D. 24

解析：选 D

将电路进行拆分：先看前三级，前三级构成的就是问题 10 中的典型模 8 计数器；再分析最后两级的计数模值，过程见下图：

$$\begin{cases} J_4 = \overline{Q_5^n} \\ K_4 = 1 \end{cases} \Rightarrow Q_4^{n+1} = J_4 \overline{Q_4^n} + \overline{K_4} Q_4^n = \overline{Q_5^n} \overline{Q_4^n}$$

$$\begin{cases} J_5 = Q_4^n \\ K_5 = 1 \end{cases} \Rightarrow Q_5^{n+1} = J_5 \overline{Q_5^n} + \overline{K_5} Q_5^n = Q_4^n \overline{Q_5^n}$$

作状态转移表:

Q_5^n	Q_4^n	Q_5^{n+1}	Q_4^{n+1}
0	0	0	1
0	1	1	0
1	0	0	0

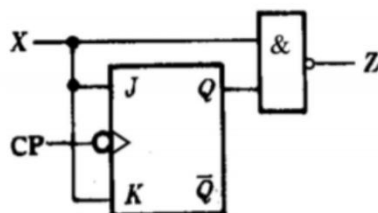
\therefore 计数循环为 00~10, $M=3$.

则对于第 4、5 个 JK 触发器，其构成的就是模 3 的计数器。那何为 k 分频电路呢？就是外部时钟翻转了 k 次，输出的变量只翻转了一次，以此实现 k 分频。则对于电路串联，其模值应相乘，故题图电路实现的是 $3 \times 8 = 24$ 分频电路。

问题 12

下图所示时序电路中，若 $X=1$, $Q^n=0$ ，则电路的次态和输出 Z 为_____。

- A. $Q^{n+1}=1, Z=0$ B. $Q^{n+1}=1, Z=1$
C. $Q^{n+1}=0, Z=0$ D. $Q^{n+1}=0, Z=1$

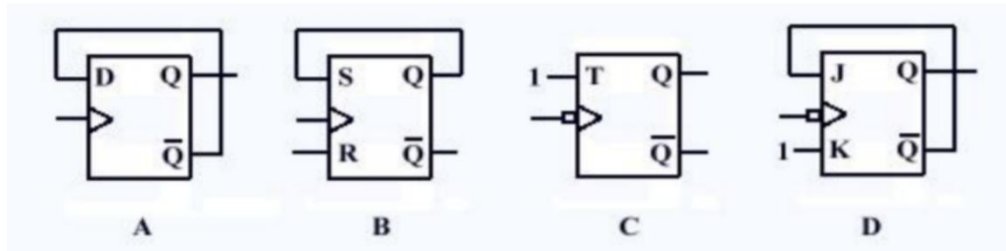


解析：选 A

最基本的 JK 触发器，当 J、K 均接 $X=1$ 时，实现的是翻转功能， $Q^{n+1}=1$ 。

问题 13

下图所示的电路中，不能完成 $Q^{n+1} = \overline{Q^n}$ 逻辑功能的电路有_____。



- ☐ A
☐ B
☐ C
☐ D

解析：选 B

解答如下图：

$A: D$ 触发器 $Q^{n+1} = D = \overline{Q^n}$ ✓
 $B: RS$ 触发器 $Q^{n+1} = S + \overline{R}Q^n = Q^n$ ✗
 $C: T \equiv 1$, T' 触发器, $Q^{n+1} = \overline{Q^n}$
 $D: JK$ 触发器 $Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n = \overline{Q^n}\overline{Q^n} = \overline{Q^n}$

对于本题要做到对各种触发器的特征方程都比较熟悉才行！

问题 14

分析异步时序电路时，因各触发器的时钟可能不同，需把时钟引入触发器的特征方程，对于 JK 触发器，正确的是_____。

A. $Q^{n+1} = (J\overline{Q^n} + \overline{K}Q^n)CP + Q^n\overline{CP}$

B. $Q^{n+1} = Q^n \cdot CP$

C. $Q^{n+1} = (J\overline{Q^n} + \overline{K}Q^n) + CP$

D. $Q^{n+1} = (J\overline{Q^n} + \overline{K}Q^n)CP$

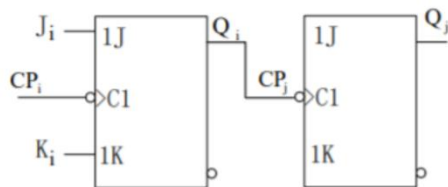
- ☐ A
☐ B
☐ C
☐ D

解析：选 A

显然，对于 JK 触发器而言，当时钟有效沿来到时，状态方程为 JK 触发器特征方程；无效的时钟下，保持原状态不变。

问题 15

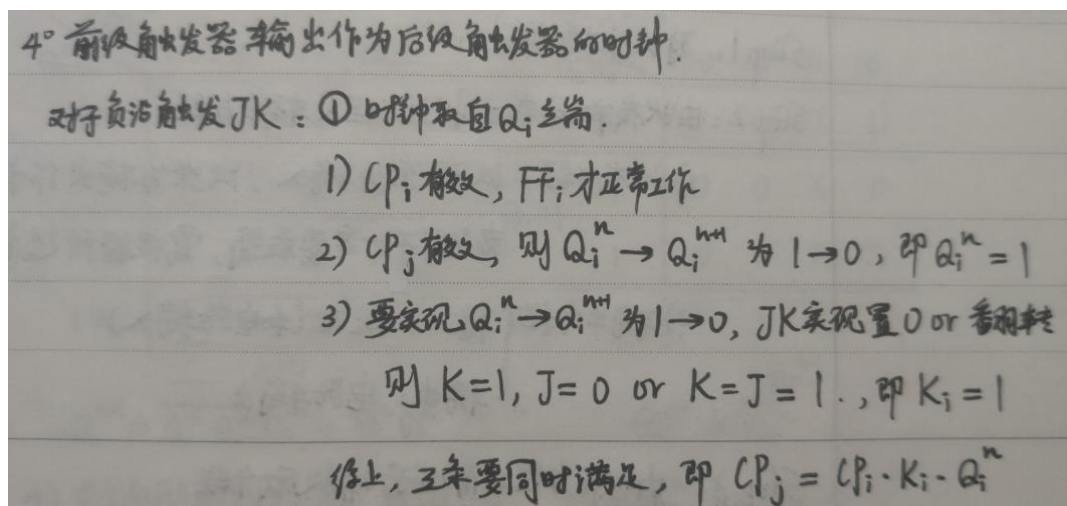
在下图所示的异步时序电路中， CP_j 的时钟表达式为_____。



- A. $CP_j = CP_i$ B. $CP_j = Q_i$ C. $CP_j = Q_i^n K_i CP_i$ D. $CP_j = \overline{Q_i^n} J_i CP_i$

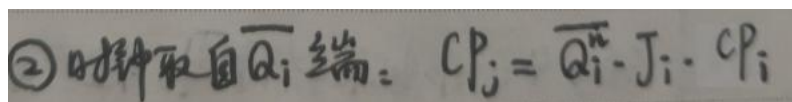
解析：选 C

先来看看同学们的分析：



本题同学们容易陷入这样的疑问： CP_j 都和 Q_i 连一起了，它俩还能不相等吗？事实上，为什么不选 B，是因为这里的 CP_j 描述的是有效的时钟沿(对于后级 JK 触发器来说，即为下降沿)是由高电平到低电平的瞬间，这和状态变量 Q_i 有明显的区别。

下面我们来考虑 $\overline{Q_i}$ 与 CP_j 连接的情况，仿照上面的思路：首先 CP_i 得有效，其次要使 CP_j 有效，Q 应从 0 变为 1，即原状态 Q_n 为 0，且要实现由 0 到 1 的变化，要么翻转，要么置位，即有 $J=1$ 。故最终结果如下图：



问题 16

一个4位的二进制加法计数器，由0000状态开始，经过25个时钟脉冲后，此计数器的状态为_____。

- ☐ A. 1100
- ☐ B. 1000
- ☐ C. 1001
- ☐ D. 1010

解析：选 C

题目描述计数器模值 $M=16$ ，经过 15 个时钟脉冲后到 1111 状态，再经过 1 个时钟脉冲后回到 0000，最后经过 9 个脉冲到 1001 状态。

问题 17

用 n 个触发器构成计数器，可得到最大计数长度是_____。

- A. n B. $2n$ C. 2^n-1 D. 2^{n-1}

- ☐ A
- ☐ B
- ☐ C
- ☐ D

解析：选 C

本题同问题 2

问题 18

时序逻辑电路特点中，下列叙述正确的是_____。

- ☐ A. 电路任一时刻的输出至于当时输入信号有关
- ☐ B. 电路任一时刻的输出只与电路原来状态有关
- ☐ C. 电路任一时刻的输出与输入信号和电路原来状态均有关
- ☐ D. 电路任一时刻的输出与输入信号和电路原来状态均无关

解析：选 C

这不用多说了吧，即存在反馈回路或记忆元件。

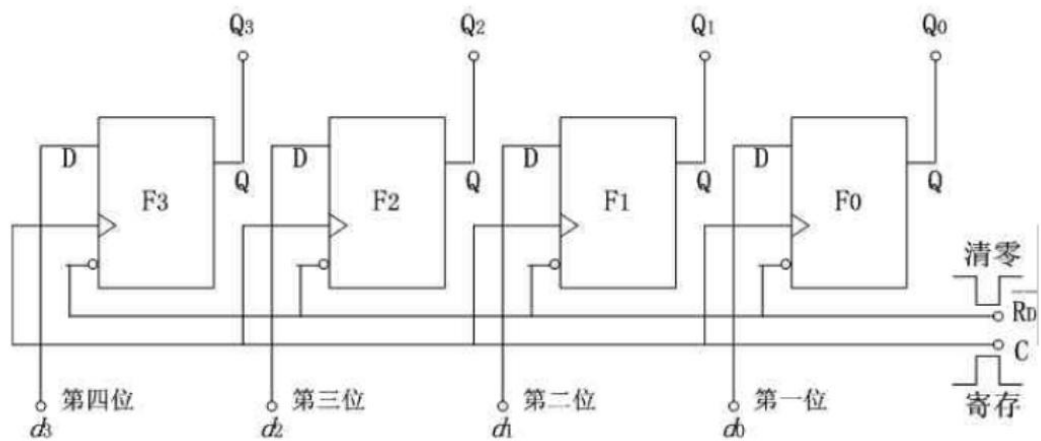
问题 19

数码寄存器采用的输入输出方式是_____。

- ☐ A. 并行输入、并行输出
- ☐ B. 串行输入、串行输出
- ☐ C. 并行输入、串行输出
- ☐ D. 并行输出、串行输入

解析：选 A

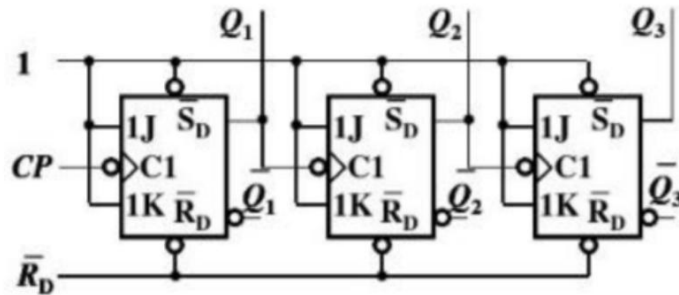
数码寄存器类似于锁存器，对于锁存器而言，其是用一个公共的控制信号来控制，而各个数据端仍然是各自独立地接收数据，即采用并进并出的方法，即下图所示。而锁存器和寄存器的区别在于：前者为电平触发，而后者为边沿触发。不同于 D 触发器有两个互补的输出端，寄存器和锁存器都只有一个输出 Q。



问题 20

如图所示的异步计数器，若触发器当前状态 $Q_3Q_2Q_1$ 为 011，则在时钟作用下，计数器的下一状态为_____。

- A. 100 B. 110 C. 010 D. 000



- ☐ A
☐ B
☐ C
☐ D

解析：选 A

经典的模 8 计数器又出现了，下一状态为 $011+001=100$

问题 21

同步时序电路由组合电路和存储器两部分组成。

- ☐ 对
☐ 错

解析：正确

时序电路输出与当前输入和历史有关，前者对应的是组合电路，后者对应的是存储器部分。

问题 22

时序电路包含记忆器件。

- ☒ 对
☐ 错

解析：正确

废话即真理！

问题 23

同步时序电路具有统一的时钟CP控制。

- ☒ 对
☐ 错

解析：正确

同步时序电路的定义

问题 24

异步时序电路各级触发器类型不同。

- ☐ 对
☒ 错

解析：错误

不要望文生义，异步指的是没有统一时钟。

问题 25

计数器的模是指构成计数器的触发器的个数。

- ☐ 对
☒ 错

解析：错误

模值指的是最大计数个数，触发器个数是在幂指数上的量

问题 26

计数器的模是指对输入的计数脉冲的个数。

- ☐ 对
☒ 错

解析：错误

计数器通过电路状态来反映输入脉冲个数。

问题 27

模16加法计数器的初始状态为 $Q_3Q_2Q_1Q_0 = 1010$ ，经过8个时钟脉冲后，它的状态为0010。

- ☒ 对
☐ 错

解析：正确

$1010+1000=18$ $18-16=2$

问题 28

在模相同的计数器中，扭环计数器所用的触发器最多。

- ☐ 对
☒ 错

解析：错误

能做到最多和最少往往都比较困难。

显然，环形计数器所用计数器就会比扭环多。

问题 29

移位寄存器就是数码寄存器，他们没有区别。

- ☐ 对
☒ 错

解析：错误

所谓移位寄存器，它不仅具有存储功能，还具有移位功能，4种IO方式均存在；而数码寄存器首先不具有移位功能而且只有并入并出型的，再者，若这俩没区别，根据合并原理，就没必要起俩名字。

问题 30

同步时序电路的工作速度高于异步时序电路。

- ☒ 对
☐ 错

解析：正确

参见问题7