

问题 1

6 分

保存答案

在组合逻辑电路中，任一时刻的输出由_____决定。

- ☐ A. 电路的初始状态
- ☐ B. 过去的输入
- ☐ C. 该时刻的输入
- ☐ D. 以上皆是

解析：

本题答案选 C

对于一个组合逻辑电路来说，任意时刻的输出只与该时刻的输入有关，而与电路过去的输入无关，也即电路中没有记忆元件或反馈网络等。

问题 2

6 分

保存答案

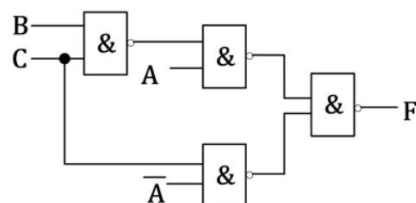
下图所示电路为_____级电路。

A. 1

B. 2

C. 3

D. 4



- ☐ A
- ☐ B
- ☐ C
- ☐ D

解析：

本题答案选 C

n 级电路是指从输入到输出所经过的最多门数为 n。

题图显然为三级电路。

问题 3

6 分

保存答案



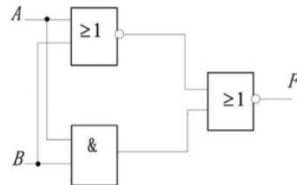
某组合逻辑电路如下图所示，该电路实现的逻辑功能为_____。

A. 半加器

B. 全加器

C. 同或运算

D. 异或运算



☐ A

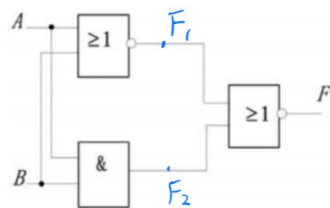
☐ B

☐ C

☐ D

解析：

本题答案选 D。过程如下：



☐ A

☐ B

☐ C

☐ D

$$F_1 = \overline{A+B}$$

$$F_2 = A \cdot B$$

$$F = \overline{F_1 + F_2} = \overline{\overline{A+B} + A \cdot B}$$

$$= \overline{\overline{A+B}} \cdot \overline{(A+B)}$$

$$= (A+B)(\bar{A} + \bar{B})$$

$$= A\bar{B} + \bar{A}B$$

输出即为异或。

问题 4

6 分

保存答案

若输入信号源提供反变量，对于最简与或式，一定可用两级_____电路实现。

- ☐ A. 或非门
- ☐ B. 与门
- ☐ C. 或门
- ☐ D. 与非门

解析：

本题答案选 D

与非的与非是与或。故可以用两级与非门来实现最简与或式

问题 5

6 分

保存答案



或与表达式变换为或非-或非表达式时，只要将该或与式两次求反，再使用_____，就可以得到或非-或非表达式。

- A. 反演律 B. 还原律 C. 结合律 D. 分配律

- ☐ A
- ☐ B
- ☐ C
- ☐ D

解析：

本题答案选 A

反演律即摩根定理，将与或表达式两次取反再使用反演律即可得到或非或非表达式
举例如下：

$$F = (A+B) \cdot (C+D)$$
$$F = \overline{\overline{(A+B)(C+D)}} = \overline{\overline{A+B} + \overline{C+D}}$$

问题 6

6 分

保存答案

4 位二进制数加法运算电路，可以采用 4 个_____级联的方式来实现。

- A. 全加器 B. 半加器 C. 全减器 D. 乘法器

☐ A

☐ B

☐ C

☐ D

解析：

本题答案选 A

全加器主要涉及低位进位以及向高位进位

半加器主要涉及向高位进位

全减器主要涉及低位借位和向高位借位

由题所述功能显然描述的是全加器

问题 7

6 分

保存答案

采用_____设计组合逻辑电路时，往往追求逻辑门数最少。

- A. SSI B. MSI C. LSI D. VLSI

解析：

本题答案选 A

SSI、MSI、LSI、VLSI 分别是小、中、大、超大规模集成电路，其中小规模设计要求逻辑门数最少。

问题 8

6 分

保存答案

以下表达式中，_____为全减器借位 C_i 的逻辑表达式。

A. $A_i \oplus B_i \oplus C_{i-1}$

B. $(A_i \oplus B_i)C_{i-1} + A_i B_i$

C. $A_i \odot B_i \odot C_{i-1}$

D. $\bar{A}_i(B_i \oplus C_{i-1}) + B_i C_{i-1}$

☐ A☐ B☐ C☐ D

解析：

本题答案选 D

基本思路：减数和前借位都为 1，必要进位。

被减数为 0，减数和前借位仅一个为 1，要借位。

化简过程如下：

$$\begin{aligned} C_i &= \bar{A}_i \cdot \bar{B}_i \cdot C_{i-1} + \bar{A}_i \cdot B_i \cdot \bar{C}_{i-1} + \bar{A}_i \cdot B_i \cdot C_{i-1} + A_i \cdot B_i \cdot C_{i-1} \\ &= \bar{A}_i (\bar{B}_i C_{i-1} + B_i \bar{C}_{i-1}) + B_i C_{i-1} \\ &= \bar{A}_i (B_i \oplus C_{i-1}) + B_i C_{i-1} \end{aligned}$$

问题 9

6 分

保存答案

全加器进位 C_i 的逻辑表达式为_____。

A. $A_i \oplus B_i \oplus C_{i-1}$

B. $(A_i \oplus B_i)C_{i-1} + A_i B_i$

C. $A_i \odot B_i \odot C_{i-1}$

D. 以上都不对

☐ A☐ B☐ C☐ D

解析：

本题答案选 B

基本思路：两个加数都为 1，必要进位。

前进位为 1，两个加数仅一个为 1，要进位。化简过程如下：

$$\begin{aligned} C_i &= \bar{A}_i B_i C_{i-1} + A_i \bar{B}_i C_{i-1} + A_i B_i \bar{C}_{i-1} + A_i B_i C_{i-1} \\ &= C_{i-1} (\bar{A}_i B_i + A_i \bar{B}_i) + A_i B_i \\ &= C_{i-1} (A_i \oplus B_i) + A_i B_i \end{aligned}$$

事实上，抛去 A_i 、 B_i 、 C_{i-1} 的实际意义，最终表达式中三者位置是可以随便替换的

问题 10

6 分

保存答案



与串行进位加法器相比，超前进位加法器的优势是_____。

- ☐ A. 电路简单
- ☐ B. 工作速度快
- ☐ C. 能实现减法运算
- ☐ D. 以上皆是

解析：

本题答案选 B

串行进位加法器电路简单，但工作速度较慢

超前进位加法器的优势即工作速度快

问题 11

6 分

保存答案

1 位 8421BCD 码加法器的输入端数为_____个。

- A. 2 B. 3 C. 4 D. 9

- ☐ A
- ☐ B
- ☐ C
- ☐ D

解析：

本题答案选 D

输入进位需要 1 个输入端，两个 4 位 2 进制数需要 8 个输入端，共 9 个。

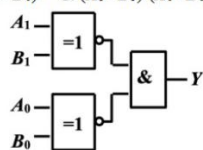
问题 12

6 分

保存答案

下图所示电路对应的逻辑函数为 $Y=$ _____。

- A. $A_1B_1 + A_0B_0$ B. $(A_1 \odot B_1)(A_0 \odot B_0)$ C. $(A_1 + B_1)(A_0 + B_0)$ D. $(A_1 \oplus B_1) + (A_0 \oplus B_0)$

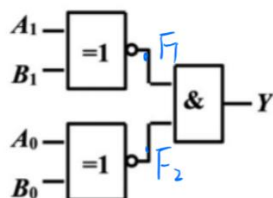


- ☐ A
- ☐ B
- ☐ C
- ☐ D

解析：

本题答案选 B

解答过程如下：



- ☐ A
- ☐ B
- ☐ C
- ☐ D

$$F_1 = \overline{A_1 B_1 + A_1 \overline{B_1}} = (\overline{A_1 + B_1}) \cdot (\overline{A_1 + \overline{B_1}}) = \overline{A_1} \overline{B_1} + \overline{A_1} B_1 = A_1 \odot B_1$$

$$F_2 = \overline{A_0 B_0 + A_0 \overline{B_0}} = (\overline{A_0 + B_0}) \cdot (\overline{A_0 + \overline{B_0}}) = \overline{A_0} \overline{B_0} + \overline{A_0} B_0 = A_0 \odot B_0$$

$$Y = F_1 \cdot F_2 = (A_1 \odot B_1)(A_0 \odot B_0)$$

本题重点是学会反演律的使用

问题 13

6 分

保存答案

在以下的集成电路元件中，无法用 Verilog HDL 语言描述的是_____。

- A. 四或非门 CD4001
- B. 电压比较器 LM311
- C. 单片机 8051
- D. 译码器 74138

☐ A

☐ B

☐ C

☐ D

解析：

本题答案选 B

电压比较器 LM311 为模拟比较器，故无法运用 Verilog HDL 语言实现

问题 14

6 分

保存答案

用组合逻辑可实现一位半加器，a, b 为输入，c 为输出，不正确的 Verilog 描述是_____。

- A. `assign c = a + b;`
- B. `assign c = a ^ b;`
- C. `assign c = {a, b};`
- D. `always @(*) c = a + b;`

☐ A

☐ B

☐ C

☐ D

解析：

本题答案选 C

A 为或运算符，B 为异或运算符，C 为拼接运算符，

D 为一 always 模块，其中*代表所有变量

显然 c 若是作为 a、b 的拼接输出是错误的

问题 15

6 分

保存答案

以下 Verilog 代码可以实现全加器的功能: `assign {m, n} = a + b + cin;`

对该代码理解不正确的是_____。

- A. m 为进位输出, n 是全加器的和
- B. m 和 n 一定是 wire 型变量
- C. `m == a & b & cin`
- D. `n == a ^ b ^ cin`

☐ A

☐ B

☐ C

☐ D

解析:

本题答案选 C

如题所示, assign 实现的是连续赋值语句, 其中 m 代表进位 cout, n 代表全加器加法结果 sum, 即 A 正确。

assign 是对 wire 型变量赋值, 即 B 正确。

C 错误, 详见问题 9。

若 a、b、cin 中有奇数个 1 则 n 输出为 1, 即为异或关系, D 正确。

问题 16

2.5 分

保存答案



对于 TTL 门电路, 加大晶体管的饱和深度可以提高其带灌电流负载的能力。

☐ 对

☐ 错



解析:

本题答案为: 正确

注意灌电流带负载能力不是指的电阻, 而是电流大小。饱和越深, 带负载能力越强

问题 17

2.5 分

保存答案

在 Verilog HDL 中，非阻塞赋值是指在过程块内当前赋值语句不会阻断其后的语句，该操作只能用于"initial"块和"always"块等过程块中 reg 型变量赋值。

- ☒ 对
- ☐ 错

解析：

本题答案为：正确

在"initial"和"always"等模块中给变量赋值，变量类型应为 reg 型，即寄存器类型，非阻塞赋值就是指赋值会在模块运行结束之后再进行，不会阻断其后的语句。

问题 18

2.5 分

保存答案

基于 SRAM 的 FPGA 器件，在每次上电后必须进行一次配置。

- ☒ 对
- ☐ 错

解析：

本题答案为：正确

由于基于 SRAM 的 FPGA 器件不会即使进行保存，所以需要每次上电后进行以此配置。

问题 19

2.5 分

保存答案

一个仅由各种逻辑门构成的数字电路一定是组合逻辑电路。

- ☐ 对
- ☒ 错

解析：

本题答案为：错误

时序逻辑电路也可以仅由各种逻辑门构成。