

Digitaltechnik

Wintersemester 2021/2022

10. Übung



TECHNISCHE
UNIVERSITÄT
DARMSTADT

Prof. Dr.-Ing. Thomas Schneider, M.Sc. Daniel Günther, M.Sc. Amos Treiber
Tablet Version

KW03

Bitte bearbeiten Sie die Übungsblätter bereits im Voraus, sodass Sie Ihre Lösungen zusammen mit Ihren Kommilitonen und Tutoren während der wöchentlichen Übungsstunde diskutieren können.

Mit der angegebenen Bearbeitungszeit für die einzelnen Aufgaben können Sie Ihren Leistungsstand besser einschätzen.

Übung 10.1 Verilog Operatoren

[5 min]

- a) Klammern Sie folgende Ausdrücke entsprechend der Reihenfolge der Evaluation von Teilausdrücken. Bei gleicher Präzedenz werden Operatoren von links nach rechts ausgewertet.

1. $A \& B \neq C$

2. $A \ggg D \gg C$

3. $D \gg C > A \ll B$

4. $A + B \gg C \ll D$

5. $A \&\& \& C \& D \&\& B$

b) Im Folgenden sind verschiedene Aussagen zu SystemVerilog gegeben. Geben Sie ein Beispiel an, falls die jeweilige Aussage stimmt. Korrigieren Sie die Aussage andernfalls.

1. Groß-/Kleinschreibung wird ignoriert.

2. Namen dürfen mit Ziffern anfangen.

3. Anzahl von Leerzeichen sind irrelevant.

c) Geben Sie die Bedeutung der dargestellten Operationen an.

1. $A \ll 2$

2. $\sim \& B$

Übung 10.2 Verhaltens- und Strukturbeschreibung	[15 min]
---	----------

Übung 10.2 Verhaltens- und Strukturbeschreibung	[15 min]
---	----------

Realisieren Sie die nachfolgende Funktion in SystemVerilog: $Y = A \bar{B} + \bar{D} C$

- a) Nutzen Sie die Verhaltensbeschreibung zur Darstellung der Funktion.
- b) Nutzen Sie die Strukturbeschreibung zur Darstellung der Funktion. Erstellen Sie dafür zunächst geeignete Module für die Basisoperationen.



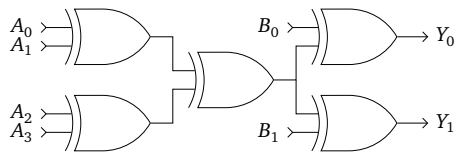
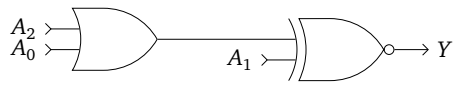
c) Wozu dienen beide Beschreibungsarten?

a) Zeichnen Sie die von folgenden Modulen (m1 und m2) beschriebenen kombinatorischen Schaltungen.

```
1 module m1 (input logic A, B, C, D,  
2           input logic [1:0] S,  
3           output logic Y);  
4  
5     assign Y = S[1] ? (S[0] ? D : C)  
6               : (S[0] ? B : A);  
7  
8 endmodule
```

```
1 module m2 (input logic [3:0] A,  
2           input logic B,  
3           output logic Y);  
4  
5     assign Y = &A | B;  
6  
7 endmodule
```

b) Erstellen Sie aus den gegebenen Schaltungen SystemVerilog-Module.



Übung 10.4 Arithmetisch Logische Einheit (ALU)

[20 min]

Eine ALU ist eine (kombinatorische oder sequentielle) Schaltung, welche ein Ergebnis aus mehreren Operanden berechnet. Die auszuführende Operation kann dabei über ein Selektionssignal (operation code) ausgewählt werden. Die ALU bildet damit das Herzstück der meisten Rechnerarchitekturen (siehe Vorlesung Rechnerorganisation).

Übung 10.4.1 Modul-Schnittstelle

Beschreiben Sie die Modul-Schnittstelle einer ALU mit zwei 32 bit Eingängen (A und B), einem 3 bit Selektionssignal (OPC) und einem 32 bit Ergebnis (R) mit SystemVerilog.

Übung 10.4.2 Operator-Implementierung

Die ALU soll eine Addition von A und B und einen arithmetischen Rechtsshift von A um B Stellen durchführen können. Realisieren Sie diese Operationen als SystemVerilog Module.

Übung 10.4.3 Operator-Auswahl

Implementieren Sie die ALU in SystemVerilog basierend auf den bisher beschriebenen Modulen. Für $OPC == 0$ soll die Addition und für $OPC == 1$ der arithmetische Rechtsshift ausgegeben werden. Für alle anderen Werte des Selektionssignals soll die ALU den Wert 0 ausgeben.

Übung 10.4.4 Operator-Erweiterung

Erweitern Sie die ALU um eine weitere Operation. Für $OPC == 2$ soll $A + B + 1$ berechnet werden.