

Digitaltechnik

Wintersemester 2021/2022

8. Übung



TECHNISCHE
UNIVERSITÄT
DARMSTADT

Prof. Dr.-Ing. Thomas Schneider, M.Sc. Daniel Günther, M.Sc. Amos Treiber
Tablet Version

KW50

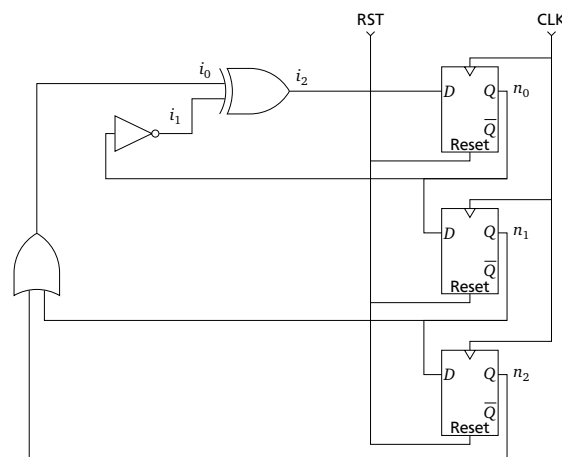
Bitte bearbeiten Sie die Übungsblätter bereits im Voraus, sodass Sie Ihre Lösungen zusammen mit Ihren Kommilitonen und Tutoren während der wöchentlichen Übungsstunde diskutieren können.

Mit der angegebenen Bearbeitungszeit für die einzelnen Aufgaben können Sie Ihren Leistungsstand besser einschätzen. Die mit **“Zusatzaufgabe”** gekennzeichneten Aufgaben sind zur zusätzlichen Vertiefung für interessierte Studierende gedacht und daher nicht im Zeitumfang von 90 Minuten einkalkuliert.

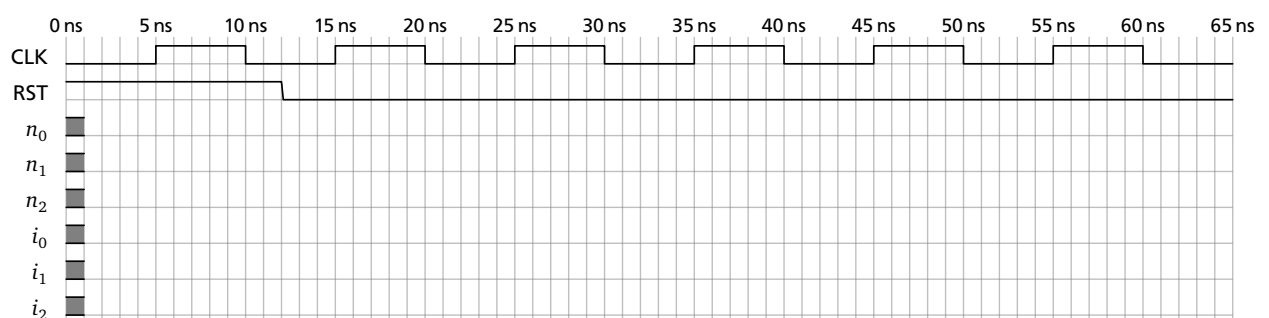
Übung 8.1 Flip-Flops – Wiederholung/Vertiefung

[15 min]

Gegeben ist folgende Schaltung mit synchron zurücksetzbaren D-Flip-Flops und die Verzögerungszeiten $t_{pd,NOT} = t_{cd,NOT} = 1\text{ ns}$, $t_{pd,OR} = t_{cd,OR} = 3\text{ ns}$, $t_{pd,XOR} = t_{cd,XOR} = 3\text{ ns}$, $t_{pd,DFF} = t_{cd,DFF} = 2\text{ ns}$.



a) Vervollständigen Sie das folgende Timing-Diagramm. Markieren Sie dabei auftretende Störimpulse (Glitches):



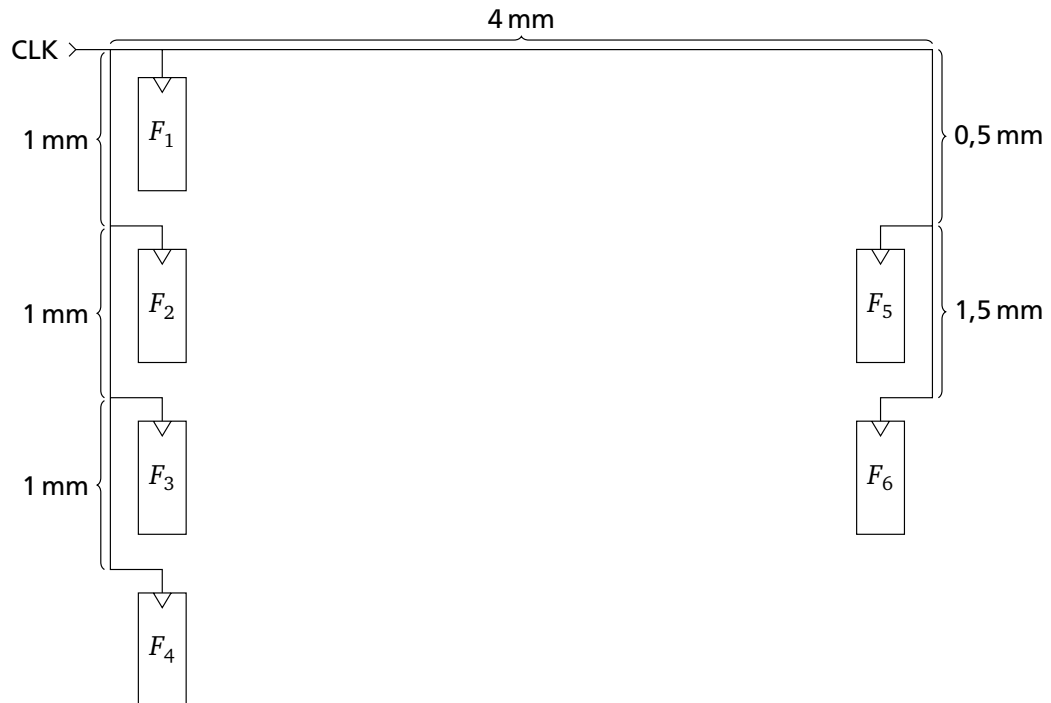
b) Was tut die Schaltung?

c) Müssen die gefundenen Störimpulse verhindert werden, damit die Korrektheit der Schaltung sichergestellt ist?

d) Wäre das Schaltverhalten identisch, wenn man die D-Flip-Flops durch D-Latches ersetzt? Begründen Sie Ihre Antwort.

- a) Setzen Sie zunächst die folgenden Funktionen in der gegebenen Vorlage um. Die D-Flip-Flops F_1, F_2, F_3, F_4 geben dabei A, B, C, D aus; Y ist die Eingabe für F_5 und Z für F_6 . Es stehen hierfür neben AND, OR und NOT auch NAND und NOR Gatter zur Verfügung. Verwenden Sie so wenig Gatter wie möglich.

$$Y = \overline{BC} + \overline{A} \quad Z = \overline{(BC + A)} + D$$



- b) Berechnen Sie, mit welcher Taktrate Ihre Schaltung maximal betrieben werden kann. Benutzen Sie dazu die folgenden Timing-Charakteristiken. Beachten Sie Leitungsverzögerung zunächst nicht.

- | | | | |
|------------------------------------|--------------------------------------|--------------------------------|--------------------------------|
| 1. $t_{cd,NOT} = 10 \text{ ps}$ | 4. $t_{pd,AND/OR} = 25 \text{ ps}$ | 7. $t_{ccq} = 20 \text{ ps}$ | 10. $t_{hold} = 50 \text{ ps}$ |
| 2. $t_{pd,NOT} = 20 \text{ ps}$ | 5. $t_{cd,NAND/NOR} = 25 \text{ ps}$ | 8. $t_{pcq} = 40 \text{ ps}$ | |
| 3. $t_{cd,AND/OR} = 15 \text{ ps}$ | 6. $t_{pd,NAND/NOR} = 40 \text{ ps}$ | 9. $t_{setup} = 50 \text{ ps}$ | |

-
- c) Prüfen Sie, ob die Hold-Bedingung aller D-Flip-Flops erfüllt wird. Erweitern Sie gegebenenfalls Ihre Schaltung, um diese zu garantieren. Benutzen Sie dafür gewöhnliche Buffer, welche hier die selben Timing-Charakteristiken wie NOT Gatter besitzen.

d) Mit welcher maximalen Taktrate kann die Schaltung nun betrieben werden?

e) Beschreiben Sie, was man unter einer sogenannten Taktverschiebung (Clock-Skew) versteht und zu welchen Problemen diese eventuell führen kann. Kann der Clock-Skew als konstanter Wert angenommen werden?

f) Überlegen Sie, wie der Clock-Skew eine Takterhöhung ermöglichen kann.

g) Berechnen Sie die maximale Taktfrequenz unter Berücksichtigung des Clock-Skews. Gehen Sie von einer Signalausbreitungsgeschwindigkeit von $2 \cdot 10^8$ m/s aus.

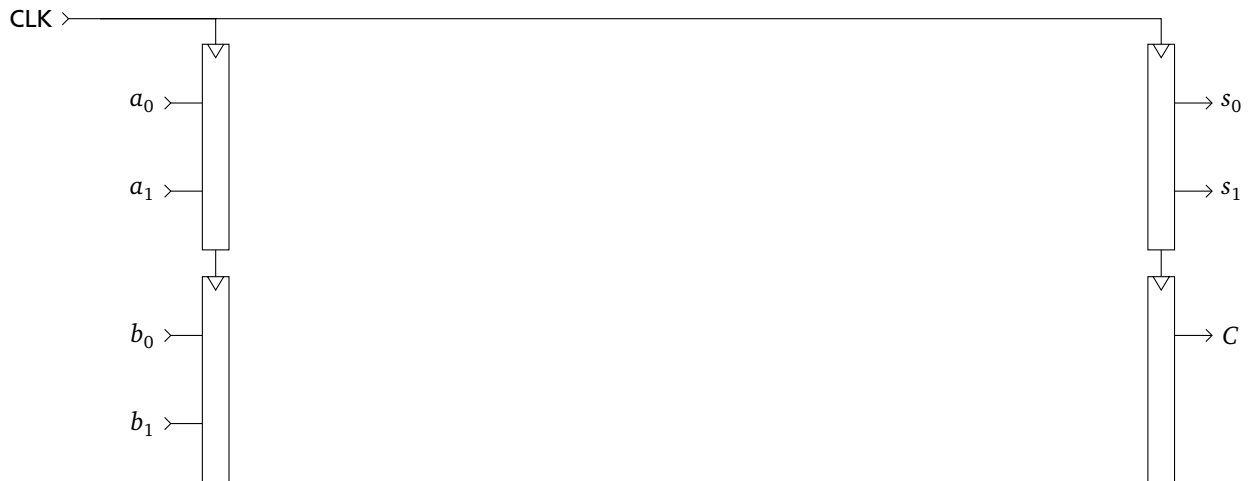
Übung 8.3 Parallelität

[25 min]

- a) Beschreiben Sie zunächst kurz den Unterschied zwischen zeitlicher und räumlicher Parallelität. Nennen Sie auch Vor- und Nachteile des jeweiligen Ansatzes.

- b) Wo begegnen Ihnen die Konzepte von zeitlicher und räumlicher Parallelität im Alltag? Nennen Sie Beispiele.

- a) Konstruieren Sie eine synchrone sequentielle Schaltung, die zwei 2 bit breite Zahlen A und B ($A := a_1a_0, B := b_1b_0$) addiert. Die Ausgabe besteht aus der Summe S ($S := s_1s_0$) und dem Übertrag C . Ergänzen Sie dafür folgende Vorlage mit möglichst wenigen XOR, AND und OR Gattern. Orientieren Sie sich am Vorgehen bei der schriftlichen Addition zur Herleitung der Formeln für s_0, s_1 und C .



- b) Bestimmen Sie den Durchsatz und die minimale Latenz der Schaltung. Gehen Sie dabei von folgenden Timing-Charakteristiken aus:

$$t_{cd,NOT} = 10 \text{ ps}$$

$$t_{cd,AND} = 20 \text{ ps}$$

$$t_{cd,OR} = 20 \text{ ps}$$

$$t_{cd,XOR} = 30 \text{ ps}$$

$$t_{pd,NOT} = 20 \text{ ps}$$

$$t_{pd,AND} = 40 \text{ ps}$$

$$t_{pd,OR} = 40 \text{ ps}$$

$$t_{pd,XOR} = 50 \text{ ps}$$

$$t_{ccq} = 5 \text{ ps}$$

$$t_{pcq} = 10 \text{ ps}$$

$$t_{setup} = 20 \text{ ps}$$

$$t_{hold} = 10 \text{ ps}$$

-
- c) Erweitern Sie die Schaltung mit Hinblick auf zeitliche Parallelität. Fügen Sie dazu zwei Pipeline-Stufen ein.

d) Bestimmen Sie den Durchsatz und die minimale Latenz der Schaltung mit Pipeline-Stufen.

e) Identifizieren Sie ein Problem das sich negativ auf die Latenz von Addierern für breitere Eingaben auswirkt.

Übung 8.5 Metastabilität [20 min]

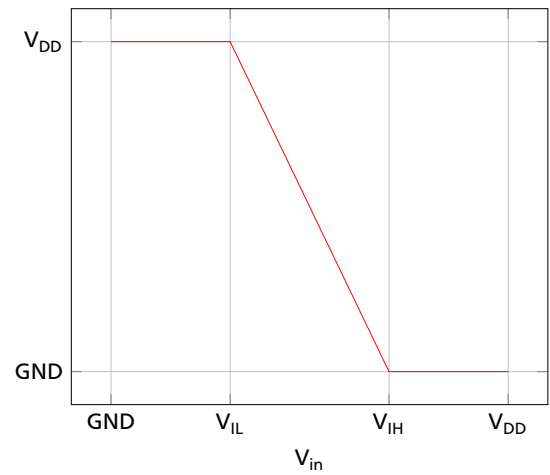
Übung 8.5 Metastabilität [20 min]

In der Vorlesung haben Sie bereits das SR-Latch basierend auf NOR-Gattern kennengelernt. Unter Umständen kann es hier zu Metastabilität kommen. Dies soll nachfolgend weiter untersucht werden.

- a) Erklären Sie kurz, um welches Phänomen es sich bei Metastabilität handelt und unter welchen Umständen dieses auftreten kann.
- b) Geben Sie die Wahrheitstabelle sowie eine Gatterschaltung für ein SR-Latch basierend auf NOR-Gattern an.

- c) Wenn S und R inaktiv sind, verhält sich das SR-Latch wie eine bistabile Grundsaltung. Das Schaltverhalten kann in diesem Fall daher stark vereinfacht durch folgende Transferfunktion für Inverter beschrieben werden, welche üblicherweise für die Konstruktion einer solchen bistabilen Schaltung verwendet werden.

$$V_{\text{out}} = f(V_{\text{in}}) = \begin{cases} V_{\text{DD}} & \text{für } V_{\text{in}} \leq V_{\text{IL}} \\ (V_{\text{IH}} - V_{\text{in}}) \cdot \frac{V_{\text{DD}}}{V_{\text{IH}} - V_{\text{IL}}} & \text{für } V_{\text{IL}} < V_{\text{in}} < V_{\text{IH}} \\ \text{GND} & \text{für } V_{\text{in}} \geq V_{\text{IH}} \end{cases}$$



Nehmen Sie an, dass S und R aktiv sind. Was passiert, wenn S und R exakt zeitgleich inaktiv werden?

-
- d) Sei $V_{DD} = 5\text{ V}$, $V_{IL} = 1\text{ V}$ und $V_{IH} = 2\text{ V}$. Berechnen Sie V_Q und $V_{\bar{Q}}$ der entsprechenden Ausgänge Q und \bar{Q} für den *metastabilen* Zustand der bistabilen Grundsaltung bzw. des SR-Latches.