

Klausur zur Vorlesung Digitaltechnik

Name, Vorname: _____ Matrikelnummer: _____

Aufgabe 1 Verständnisfragen

(10 Punkte)(5 × 2)

Beantworten Sie die folgenden Fragen mit *wenigen kurzen Sätzen*.

- a) Wie unterscheiden sich *Pseudo-nMOS* von CMOS-Schaltungen? Nennen Sie einen Vor- und einen Nachteil von Pseudo-nMOS Schaltungen.

- b) Warum lässt sich jede boole'sche Funktion ausschließlich mit *NAND-Gattern* realisieren?

- c) Wie unterscheiden sich *kombinatorische und sequentielle* Schaltungen?

- d) Welche *Arten der Parallelität* können zur Anwendungsbeschleunigung eingesetzt werden? Wodurch unterscheiden sich diese?

- e) Nennen Sie eine *Alternative zur Ripple-Carry* Implementierungen der binären Addition. Wie versucht diese, den kritischen Pfad zu verkürzen?

Klausur zur Vorlesung Digitaltechnik

Name, Vorname: _____

Matrikelnummer: _____

Aufgabe 2 Zahlendarstellungen und binäre Subtraktion

(10 Punkte)(5 + 5)

- a) Vervollständigen Sie die folgende Tabelle vorzeichenloser Zahlendarstellungen. Alle Einträge einer Zeile sollen dabei den gleichen numerischen Wert repräsentieren. Verwenden Sie möglichst kurze Ziffernfolgen (ohne führende Nullen).

Dezimal	Binär	Hexadezimal
202_{10}		
	$10\ 1101_2$	
		$7E2_{16}$

- b) Wandeln Sie -40_{10} und 77_{10} in 1 Byte breite Zweierkomplement-Zahlen um. Subtrahieren Sie die Binärdarstellungen voneinander. Wandeln Sie das Ergebnis ins Dezimalformat und ins 12 bit Hexadezimalformat um. Der Lösungsweg wird bewertet.

Klausur zur Vorlesung Digitaltechnik

Name, Vorname: _____ Matrikelnummer: _____

Aufgabe 3 Realisierung von logischen Funktionen

(10 Punkte)(2 + 2 + 6)

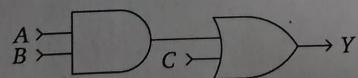
Die folgenden Teilaufgaben hängen *nicht* voneinander ab.

- a) Geben Sie die in folgender Wahrheitstabelle spezifizierte boole'sche Funktion in *konjunktiver Normalform* an.

A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

- b) Formen Sie $Y = \overline{(A+B)}(\overline{A}+C)$ in eine *disjunktive Darstellung* (Summe von Implikanten) um. Geben Sie für jeden Umformungsschritt die angewendete Regel der boole'schen Algebra an.

- c) Realisieren Sie die folgende Gatter-Schaltung in *CMOS*. Verwenden Sie ausschließlich *positive Eingangsliterale*.



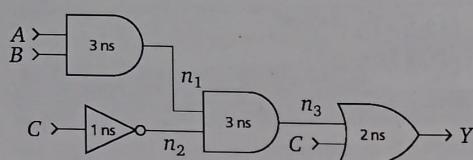
Klausur zur Vorlesung Digitaltechnik

Name, Vorname: _____ Matrikelnummer: _____

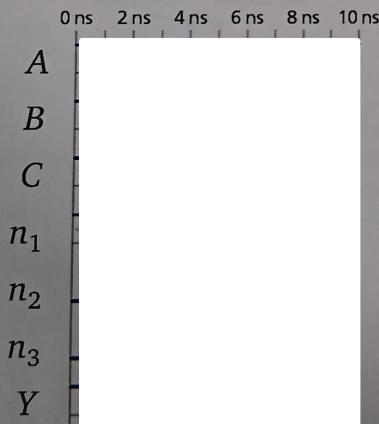
Aufgabe 4 Störimpulse (11 Punkte)(4 + 5 + 2)

Im Folgenden sei $t_{cd,AND} = t_{pd,AND} = 3 \text{ ns}$, $t_{cd,OR} = t_{pd,OR} = 2 \text{ ns}$ und $t_{cd,NOT} = t_{pd,NOT} = 1 \text{ ns}$.

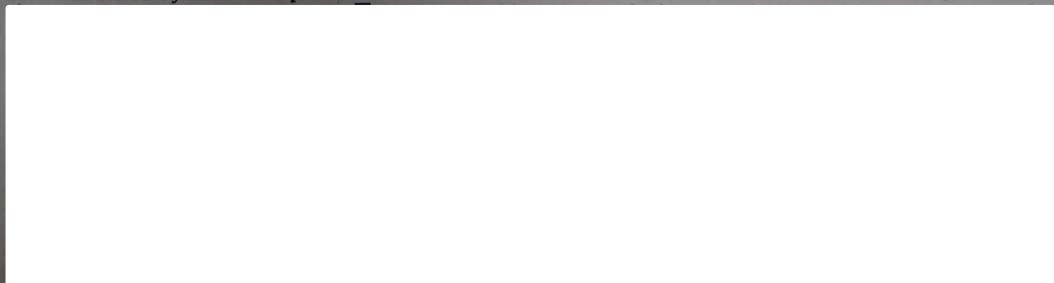
- a) Identifizieren Sie die *kritischen Eingangstransitionen* (mit nur einer geänderten Eingangsvariable) der folgenden Schaltung, bei denen *Störimpulse* auftreten können. Verwenden Sie dazu ein *Karnaugh-Diagramm*.



- b) Überprüfen Sie, ob ein Störimpuls bei der *fallenden Flanke* der identifizierten Eingangstransition auftritt. Füllen Sie dazu das folgende *Timing-Diagramm* aus:



- c) Zeichnen Sie eine *funktional äquivalente* Gatterschaltung ohne Störimpuls. Begründen Sie kurz Ihr Vorgehen.



Klausur zur Vorlesung Digitaltechnik

Name, Vorname: _____ Matrikelnummer: _____

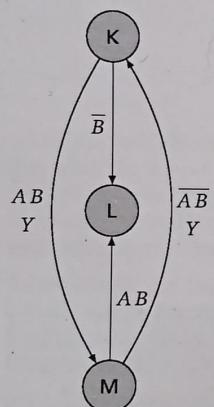
Aufgabe 5 Endliche Automaten

(16 Punkte)(3 + 5 + 4 + 4)

Die folgenden Teilaufgaben hängen *nicht* voneinander ab.

- a) Zeichnen Sie das Diagramm eines Moore-Automaten mit einem Eingang A und einem Ausgang Y , welcher die ungerade Parität der Eingabesequenz aussieht. Verwenden Sie möglichst wenige Zustände.

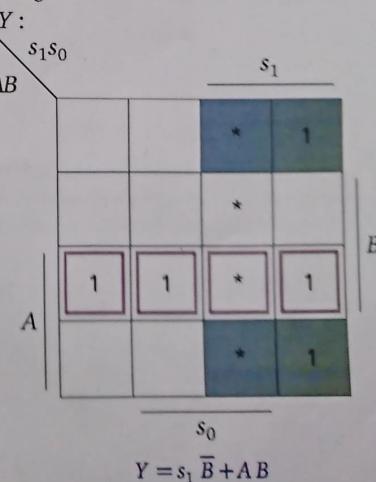
b) Geben Sie die Zustandsübergangs- und die Ausgabetafel für folgenden Automaten mit zwei Eingängen A, B und einem Ausgang Y an. Die Zustände müssen dabei nicht binär codiert werden. Verwenden Sie Don't-Cares für eine kompakte Darstellung. Um welchen Automatentypen handelt es sich?



- c) Geben Sie einen *minimierten* boole'schen Ausdruck für die Ausgabefunktion des durch die folgenden Tabellen spezifizierten Automaten an. Verwenden Sie dafür das vorgegebene Karnaugh-Diagramm.

Zustandsübergänge				Ausgabe			
S	A	B	S'	S	A	B	Y
P	0	0	P	P	0	0	1
P	1	0	Q	P	0	1	0
P	*	1	R	P	1	*	1
Q	0	0	P	Q	0	*	0
Q	1	0	R	Q	1	0	0
Q	0	1	R	Q	1	1	1
Q	1	1	Q	R	0	*	0
R	0	*	Q	R	1	0	0
R	1	*	P	R	1	1	1

Zustandskodierung		
S	s_1	s_0
P	1	0
Q	0	1
R	0	0



Klausur zur Vorlesung Digitaltechnik

Name, Vorname: _____

Matrikelnummer: _____

- d) Zeichnen Sie das *Schaltwerk* eines endlichen Automaten mit zwei Eingängen A, B , zwei Zuständen und einem Ausgang Y . Realisieren Sie dabei die *Zustandsübergangsfunktion* $s' = A(s \oplus B)$ sowie die *Ausgabefunktion* $Y = \bar{s}$. Der Automat soll über einen *synchronen Reset* in den Startzustand $s = 1$ versetzt werden.

Klausur zur Vorlesung
Name, Vorname:

Aufgabe 6
Für die

Klausur zur Vorlesung Digitaltechnik

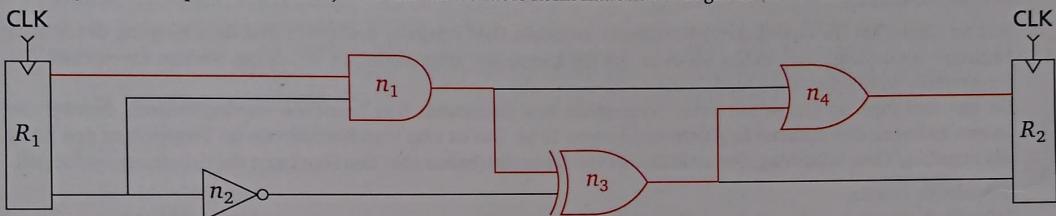
Name, Vorname: _____ Matrikelnummer: _____

Aufgabe 6 Synchrone Sequentielle Schaltungen (10 Punkte)(2 + 2 + 4 + 2)

Für diese Aufgabe werden ausschließlich die wie folgt spezifizierten Logikgatter verwendet:

	XOR	AND	OR	NOT
t_{cd}	3 ns	2 ns	1 ns	1 ns
t_{pd}	4 ns	3 ns	2 ns	1,5 ns

Darüber hinaus sei $t_{ccq} = 100 \text{ ps}$, $t_{pcq} = 300 \text{ ps}$, $t_{\text{setup}} = 700 \text{ ps}$ und $t_{\text{hold}} = 1 \text{ ns}$ für alle Register. Folgendes Schaltwerk soll analysiert und optimiert werden, ohne die verwendete kombinatorische Logik zu vereinfachen:



- a) Geben Sie den *kritischen Pfad* der Schaltung an. Mit welcher Frequenz kann das Schaltwerk *maximal getaktet* werden, ohne die *Setup-Bedingung* von R_2 zu verletzen? Begründen Sie Ihre Antwort.

- b) Wird die *Hold-Bedingung* von R_2 eingehalten? Begründen Sie Ihre Antwort.

- c) Modifizieren Sie das Schaltwerk so, dass dieses mit 200 MHz getaktet werden kann, und dabei weiterhin die *Setup- und Hold-Bedingungen* aller Register erfüllt werden. Entfernen Sie dabei keines der bestehenden Logikgatter. Sie können die notwendigen Komponenten direkt in der gegebenen Grafik ergänzen. Begründen Sie kurz Ihr Vorgehen.

Klausur zur Vorlesung Digitaltechnik

Name, Vorname: _____

Matrikelnummer: _____

- d) Welche *Latenz* hat Ihr modifiziertes Schaltwerk zwischen dem Ausgang des ersten und dem Eingang des letzten Registers mindestens? *Vergleichen* Sie diese mit der Latenz der ursprünglichen Schaltung. Welche Eigenschaft des Schaltwerks wurde durch die Modifikation *verbessert*?

Klausur zur Vorlesung Digitaltechnik

Name, Vorname: _____ Matrikelnummer: _____

Aufgabe 7 SystemVerilog extrem (13 Punkte)(6 + 7)

In dieser Aufgabe soll eine *kombinatorische Schaltung* zur Berechnung des *Maximums oder Minimums* einer Liste von Operanden als *parametrisiertes SystemVerilog-Modul* implementiert und verifiziert werden.

- a) Ergänzen Sie die folgende Modulschnittstelle um die *rekursive (nicht iterative)* Implementierung des **extremum** Moduls. Für MAX==0 soll das Modul das Minimum aller im Eingabevektor A per *flattening* übergebenen Werte ermitteln. Für alle anderen Werte von MAX soll das Maximum ermittelt werden. Achten Sie darauf, dass auch eine ungerade Anzahl von Eingabewerten korrekt unterstützt wird. Organisieren Sie die Rekursion so, dass der resultierende *kritische Pfad* minimiert wird. Kommentieren Sie Ihre Lösung.

```
module extremum #(parameter WIDTH = 8,           // Bitbreite der Eingabewerte
                parameter DEPTH = 4,          // Anzahl der Eingabewerte
                parameter MAX    = 1);        // Wahl des Extremums
  (input logic [DEPTH*WIDTH-1:0] A,   // Eingabewerte (flattening)
   output logic      [WIDTH-1:0] Y); // ermitteltes Extremum
```

Klausur zur Vorlesung Digitaltechnik

Name, Vorname: _____ Matrikelnummer: _____

- b) Ergänzen Sie die folgende Testbench so, dass die Berechnung des Minimums und Maximums für eine konkrete (durch die Parameter W und D spezifizierte) Konfiguration des Eingabevektors erschöpfend verifiziert wird. Es soll ein Eingabevektor pro Nanosekunde getestet werden. Zur besseren Visualisierung soll der Eingabevektor auch in ein Array der einzelnen Eingabewerte (list) konvertiert werden. Kommentieren Sie Ihre Lösung.

```
`timescale 1 ns / 10 ps
module extremum_tb;

localparam W=2;           // Bitbreite der Eingabewerte
localparam D=5;           // Anzahl der Eingabewerte

logic [D*W-1:0] a;        // Eingabevektor (nach flattening)
logic [W-1:0] max,         // Ausgabe von extremum mit MAX=1
            min,          // Ausgabe von extremum mit MAX=0
            list [0 : D-1], // Eingabearray (ohne flattening)
            emax,          // max(list)
            emin;          // min(list)
```

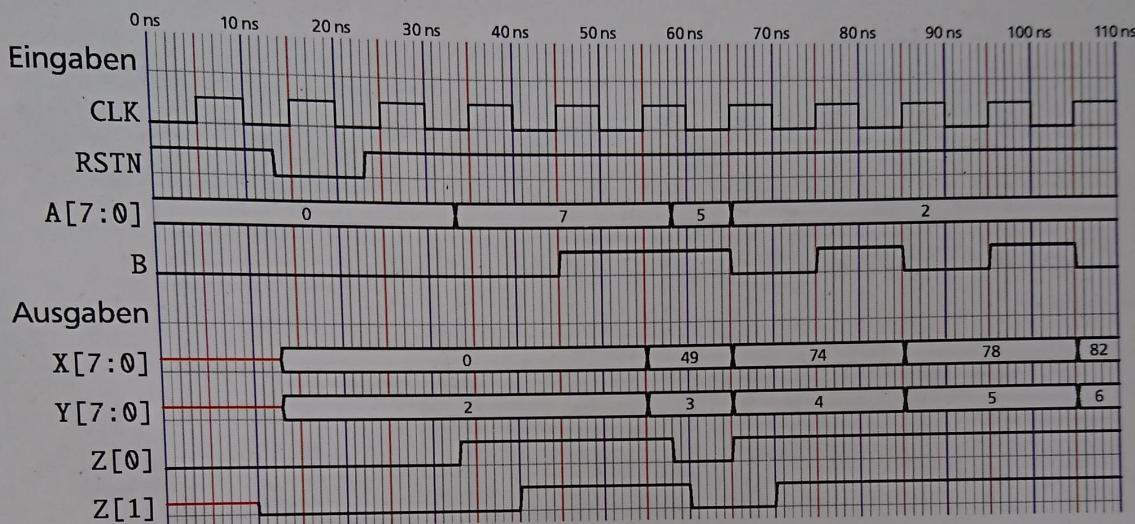
Klausur zur Vorlesung Digitaltechnik

Name, Vorname: _____ Matrikelnummer: _____

Aufgabe 8 Reverse-Engineering

(10 Punkte)(10)

Implementieren Sie ein SystemVerilog-Modul mit folgendem Ein-/Ausgabeverhalten. Kommentieren Sie Ihre Lösung.



```
module rev_eng(input logic CLK, RSTN,  
                input logic [7:0] A,      input logic B,  
                output logic [7:0] X, Y,  output logic [1:0] Z);
```