

Digitaltechnik

Wintersemester 2021/2022

3. Vorlesung



Projekt Teil 1

- ▶ Seit Freitag, 29.10., in Moodle verfügbar
- ▶ Deadline: Sonntag, 05.12., 18:00 Uhr
- ▶ **Einzelabgaben!**
- ▶ Nach heutiger Vorlesung (+ Übung) können Sie alles bis einschließlich Aufgabe 1.3 a) lösen.



	Anmeldungen	Anwesend
Fr, 22.10.	100 / 100	ca. 70%
Fr, 29.10.	92 / 100	ca. 80%
Fr, 05.11.	??? / 100	> 80% ???

- ▶ Unsere Beobachtungen:
 - ▶ Bildung von Lerngruppen
 - ▶ Diskussion von Übungsaufgaben in kleiner Gruppe (auch mit Tutor*in)
- ⇒ Wir freuen uns, dass die DT Präsenzbearbeitung bisher auf durchweg positive Resonanz stieß ☺

Erste Überlegungen zu eventueller DT Hybrid-Vorlesung



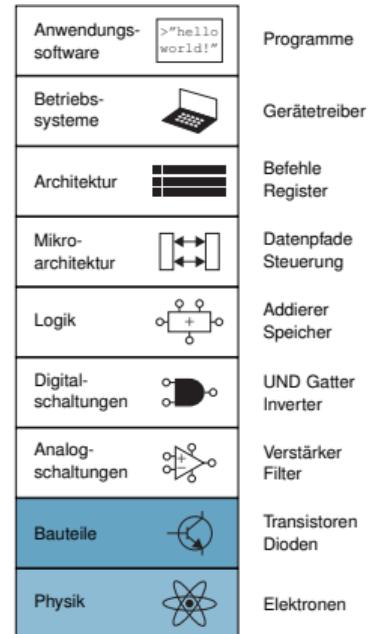
TECHNISCHE
UNIVERSITÄT
DARMSTADT

- ▶ Aktuelle Regelungen erlauben prinzipiell hybride Vorlesung: Mi, 9:50 - 11:30 Uhr am Innenstadtcampus
- ▶ Max. 50% Hörsaalbelegung im Schachbrettmuster unter 3G Bedingungen
- ▶ Erlaubt deutlich bessere Interaktion zwischen Dozent und Studierenden im Hörsaal als Online
- ▶ Vorlesung würde aufgezeichnet (wie bisher)
- ▶ Asynchrone Fragen zur Vorlesung via Moodle (wie bisher)
- ▶ Änderungen:
 - ▶ Falls LAN stabil würden wir versuchen, weiterhin live zu streamen mit Online Fragen im Chat (ohne Garantie)
 - ▶ Falls Regelungen es nicht mehr erlauben, würden wir wieder auf DT Online-Vorlesung wechseln

Umfrage: Wer von Ihnen hätte Stand JETZT prinzipiell Interesse an einer DT Hybrid-Vorlesung und würde in den Hörsaal kommen?

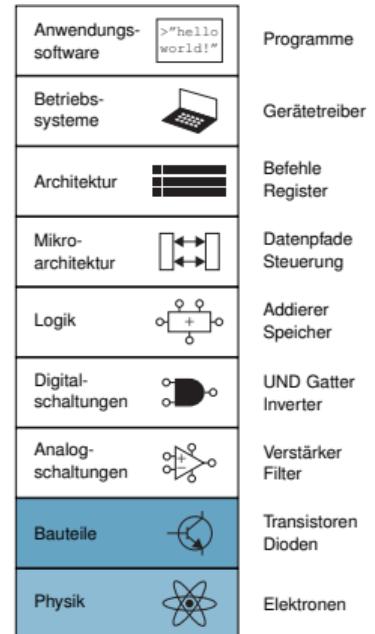


1. XOR Gatter als Paritätsfunktion
2. Physikalische Realisierung von Logikgattern
3. Spannungen als Logikpegel
4. Feldeffekt-Transistoren
5. CMOS-Gatter
6. Leistungsaufnahme
7. Moore'sches Gesetz
8. Zusammenfassung

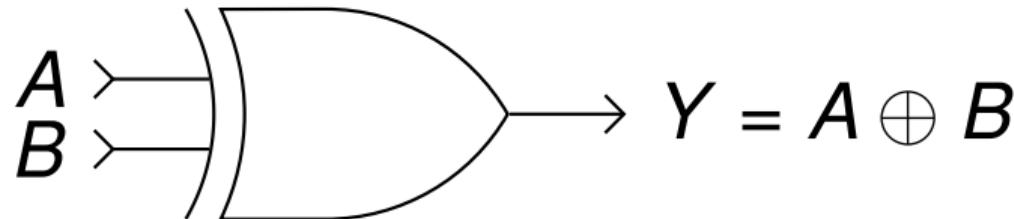


Agenda

1. XOR Gatter als Paritätsfunktion
2. Physikalische Realisierung von Logikgattern
3. Spannungen als Logikpegel
4. Feldeffekt-Transistoren
5. CMOS-Gatter
6. Leistungsaufnahme
7. Moore'sches Gesetz
8. Zusammenfassung

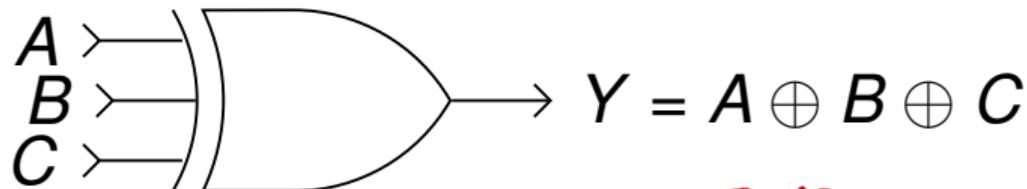


Logikgatter: XOR : $\mathbb{B}^2 \rightarrow \mathbb{B}$



A	B		Y
0	0		0
0	1		1
1	0		1
1	1		0

Logikgatter: XOR3 : $\mathbb{B}^3 \rightarrow \mathbb{B}$



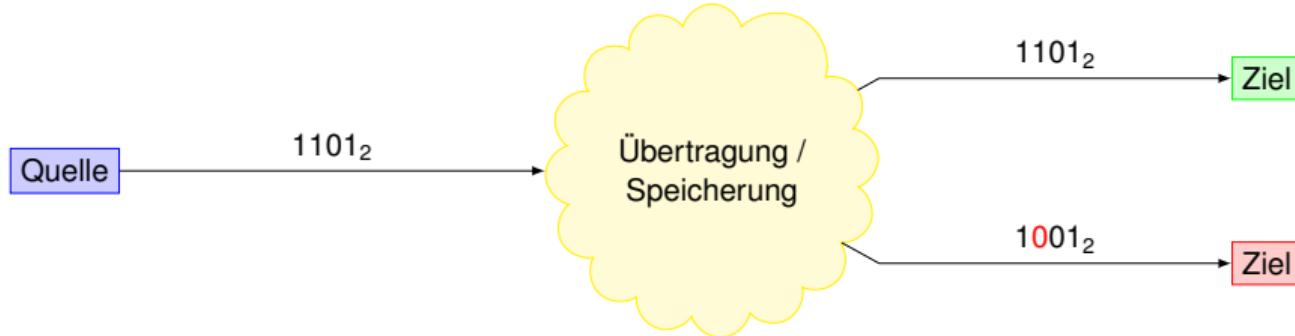
A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1



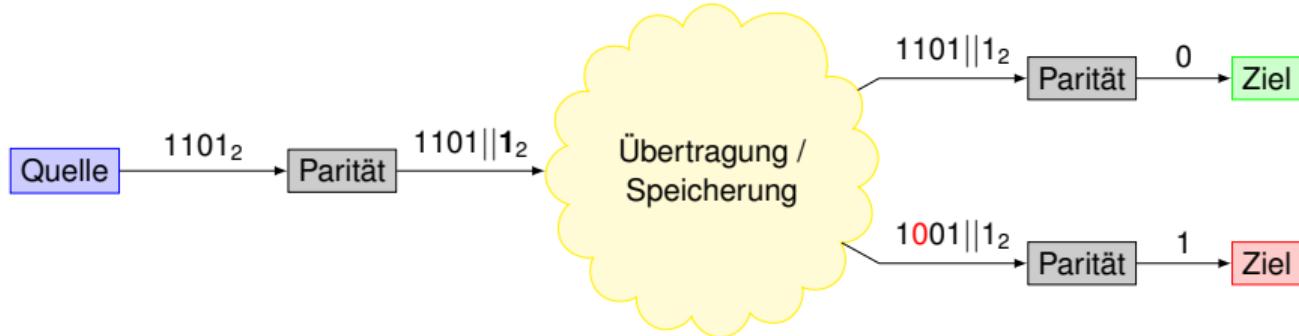
XOR mit mehreren Eingängen

- ▶ “repräsentiert” die Anzahl der Einsen an Eingängen (modulo 2)
- ⇒ Paritätsfunktion $p : (a_{k-1} \dots a_0) \in \mathbb{B}^k \mapsto a_{k-1} \oplus \dots \oplus a_0 \in \mathbb{B}$
 - ▶ $p(a) = 0 \Rightarrow$ Quersumme von a ist gerade
 - ▶ $p(a) = 1 \Rightarrow$ Quersumme von a ist ungerade

Fehlerhafte Datenübertragung



Fehlererkennung mit Paritätsfunktion



- ▶ Paritätsbit $PB = p(a)$ vor der Übertragung von a anhängen
- ▶ Gesamtparität (Nachricht und Paritätsbit) nach der Übertragung berechnen
 - ▶ $p(a \parallel PB) = 0 \Rightarrow$ gerade Anzahl von Übertragungsfehlern
 - ▶ $p(a \parallel PB) = 1 \Rightarrow$ ungerade Anzahl von Übertragungsfehlern

- ▶ Paritätsbit $PB = p(a)$ vor der Übertragung von a anhängen
 - ▶ Gesamtparität (Nachricht und Paritätsbit) nach der Übertragung berechnen
 - ▶ $p(a \parallel PB) = 0 \Rightarrow$ gerade Anzahl von Übertragungsfehlern
 - ▶ $p(a \parallel PB) = 1 \Rightarrow$ ungerade Anzahl von Übertragungsfehlern
- ⇒ einzelnes Paritätsbit ist
- ▶ 1-fehlererkennend
 - ▶ 0-fehlerkorrigierend

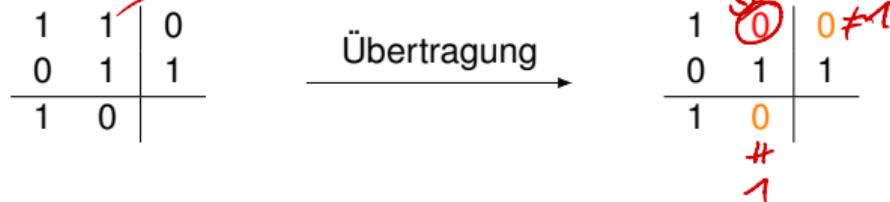
- ▶ mehrere Paritätsbits pro Nachricht für Fehlerkorrektur notwendig
- ▶ bspw. Längs- und Querparität:

1101	1	1	0
	0	1	1
	<hr/>		
	1	0	

1101 0110



- ▶ mehrere Paritätsbits pro Nachricht für Fehlerkorrektur notwendig
- ▶ bspw. Längs- und Querparität:



- ▶ mehrere Paritätsbits pro Nachricht für Fehlerkorrektur notwendig
- ▶ bspw. Längs- und Querparität:

$$\begin{array}{cc|c} 1 & 1 & 0 \\ 0 & 1 & 1 \\ \hline 1 & 0 \end{array} \quad \xrightarrow{\text{Übertragung}} \quad \begin{array}{cc|c} 1 & \color{red}{0} & \color{orange}{0} \\ 0 & 1 & 1 \\ \hline 1 & \color{orange}{0} \end{array}$$

⇒ Verhältnis von Nutzdaten zu Paritätsbits wird schlechter

- ▶ mehrere Paritätsbits pro Nachricht für Fehlerkorrektur notwendig
- ▶ bspw. Längs- und Querparität:

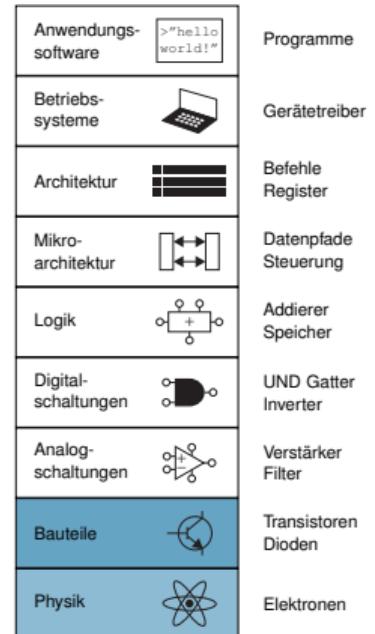
$$\begin{array}{cc|c} 1 & 1 & 0 \\ 0 & 1 & 1 \\ \hline 1 & 0 \end{array} \quad \xrightarrow{\text{Übertragung}} \quad \begin{array}{cc|c} 1 & \color{red}{0} & \color{orange}{0} \\ 0 & 1 & 1 \\ \hline 1 & \color{orange}{0} \end{array}$$

- ⇒ Verhältnis von Nutzdaten zu Paritätsbits wird schlechter
- ⇒ In der Praxis verwendet man bessere fehlerkorrigierende Codes
(z.B. Reed-Solomon Codes für CDs, DVDs, QR codes, DSL, DVB)

Agenda



1. XOR Gatter als Paritätsfunktion
2. Physikalische Realisierung von Logikgattern
3. Spannungen als Logikpegel
4. Feldeffekt-Transistoren
5. CMOS-Gatter
6. Leistungsaufnahme
7. Moore'sches Gesetz
8. Zusammenfassung



- ▶ Spannungen als Logikpegel
- ▶ Feldeffekt-Transistoren
- ▶ CMOS-Gatter
- ▶ Moore'sches Gesetz



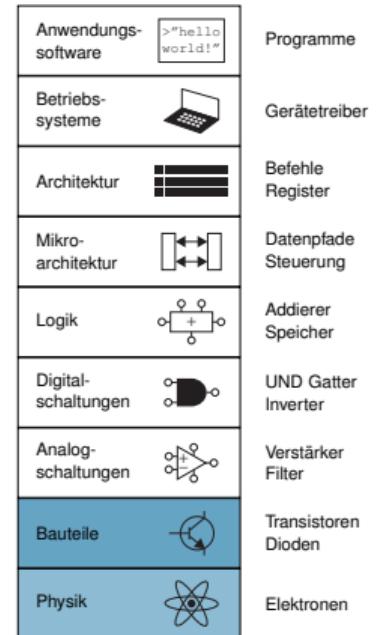
Harris 2013/2016
Kap. 1.6 - 1.9

Agenda



TECHNISCHE
UNIVERSITÄT
DARMSTADT

1. XOR Gatter als Paritätsfunktion
2. Physikalische Realisierung von Logikgattern
3. Spannungen als Logikpegel
4. Feldeffekt-Transistoren
5. CMOS-Gatter
6. Leistungsaufnahme
7. Moore'sches Gesetz
8. Zusammenfassung

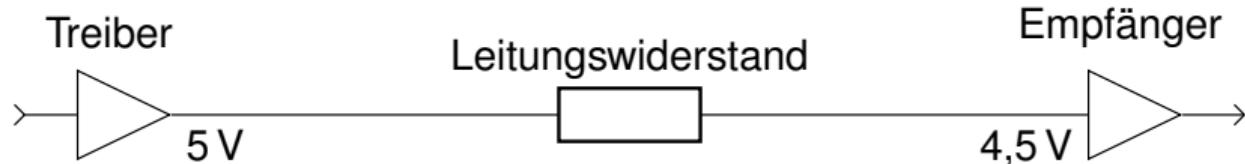


- ▶ definiere Spannungspegel für die Werte 0 und 1
 - ▶ Logikpegel (logic levels)

- ▶ definiere Spannungspegel für die Werte 0 und 1
 - ▶ Logikpegel (logic levels)
- ▶ Beispiel:
 - ▶ $0\text{ V} \mapsto 0$ (Erde, GND, V_{SS} "Voltage Source Source")
 - ▶ $5\text{ V} \mapsto 1$ (Versorgungsspannung, V_{DD} "Voltage Drain Drain")

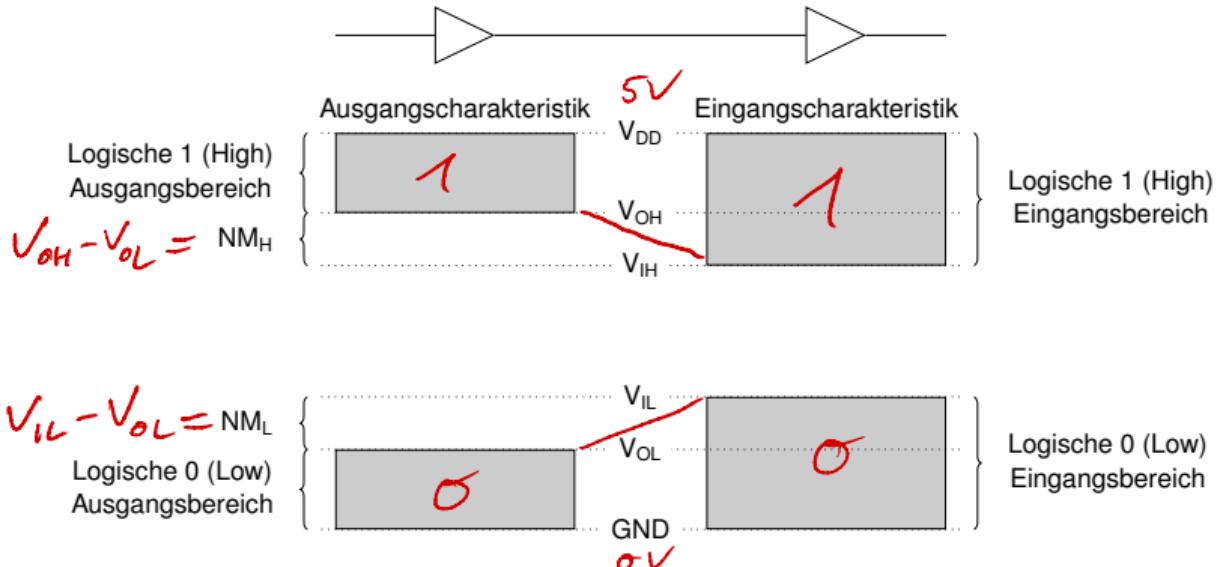
- ▶ definiere Spannungspegel für die Werte 0 und 1
 - ▶ Logikpegel (logic levels)
- ▶ Beispiel:
 - ▶ $0\text{ V} \mapsto 0$ (Erde, GND, V_{SS} "Voltage Source Source")
 - ▶ $5\text{ V} \mapsto 1$ (Versorgungsspannung, V_{DD} "Voltage Drain Drain")
- ▶ aber: reale Spannungspegel unterliegen Rauschen
 - ▶ Temperaturabhängige Widerstände
 - ▶ Instabile Betriebsspannungen
 - ▶ Übersprechen zwischen benachbarten Leitungen

Beispiel für Rauschen



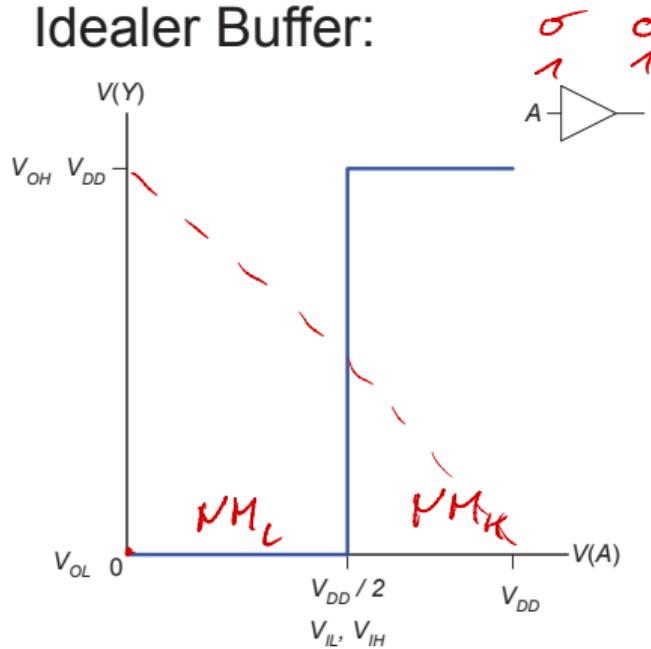
- ▶ Ausgang eines Gatters (“Treiber”) treibt Ausgangsleitung auf 5 V
- ▶ lange Leitung zum nächsten Gatter (“Empfänger”) hat hohen Widerstand
- ▶ Spannungsabfall bspw. 0,5 V
- ▶ Empfänger sieht nur 4,5 V
- ▶ ist das noch eine “Eins”?

- ▶ definiere Spannungsbereiche für die Werte 0 und 1
- ▶ steigere Robustheit durch unterschiedliche Bereiche für Ein-/Ausgänge
 - ▶ V_{OL} : größte Spannung, die Treiber als 0 ausgibt ("Voltage Output Low")
 - ▶ V_{IH} : kleinste Spannung, die Empfänger als 1 interpretiert ("Voltage Input High")
 - ▶ V_{OH} : kleinste Spannung, die Treiber als 1 ausgibt ("Voltage Output High")
 - ▶ V_{IL} : größte Spannung, die Empfänger als 0 interpretiert ("Voltage Input Low")



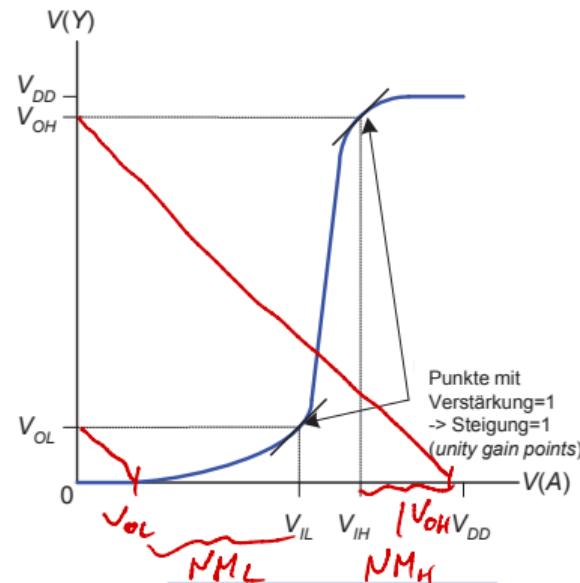
- ▶ oberer Störabstand $NM_H = V_{OH} - V_{IH}$ ("Noise Margin High")
- ▶ unterer Störabstand $NM_L = V_{IL} - V_{OL}$ ("Noise Margin Low")

Idealer Buffer:



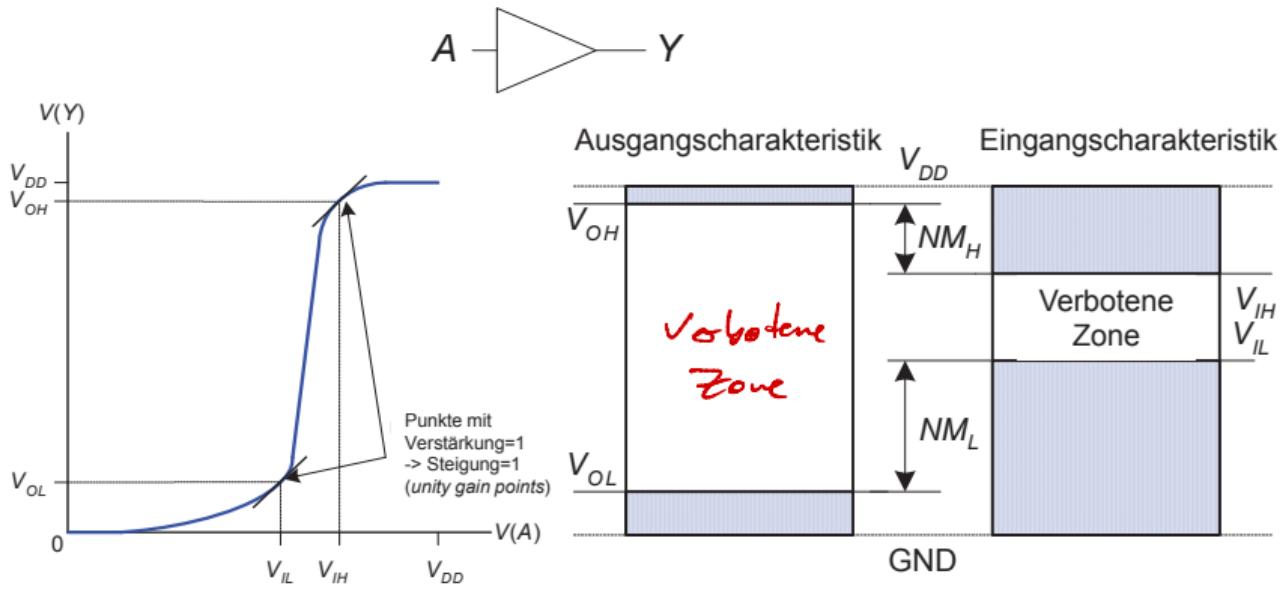
$$NM_H = NM_L = V_{DD}/2$$

Realer Buffer:



$$NM_H, NM_L < V_{DD}/2$$

Gleichstrom-Transferkurve



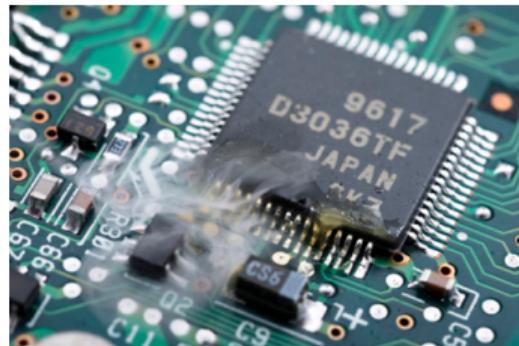
Absenken der Versorgungsspannung V_{DD}



- ▶ $V_{DD} = 5\text{ V}$ in 1970er-80er Jahren
- ▶ Verbesserte Chip-Fertigungstechnologie erfordert/ermöglicht Absenkung
 - ▶ hohe Spannungen würden immer kleinere Transistoren beschädigen
 - ▶ Energiebedarf reduzieren
 - ▶ $3,3\text{ V} \rightarrow 2,5\text{ V} \rightarrow 1,8\text{ V} \rightarrow 1,5\text{ V} \rightarrow 1,2\text{ V} \rightarrow 1,0\text{ V}$



- ▶ $V_{DD} = 5\text{ V}$ in 1970er-80er Jahren
- ▶ Verbesserte Chip-Fertigungstechnologie erfordert/ermöglicht Absenkung
 - ▶ hohe Spannungen würden immer kleinere Transistoren beschädigen
 - ▶ Energiebedarf reduzieren
 - ▶ $3,3\text{ V} \rightarrow 2,5\text{ V} \rightarrow 1,8\text{ V} \rightarrow 1,5\text{ V} \rightarrow 1,2\text{ V} \rightarrow 1,0\text{ V}$
- ⇒ Vorsicht beim Verbinden von Chips mit unterschiedlichen Versorgungsspannungen!



Logikfamilien mit kompatiblen Spannungspegeln



TECHNISCHE
UNIVERSITÄT
DARMSTADT

Logikfamilie	TTL	CMOS	LVTTL	LVCMOS
min V_{DD}	4,75 V	4,5 V	3 V	3 V
typ V_{DD}	5 V	5 V	3,3 V	3,3 V
max V_{DD}	5,25 V	6 V	3,6 V	3,6 V
V_{OL}	0,4 V	0,33 V	0,4 V	0,36 V
V_{IL}	0,8 V	1,35 V	0,8 V	0,9 V
V_{IH}	2,0 V	3,15 V	2,0 V	1,8 V
V_{OH}	2,4 V	3,84 V	2,4 V	2,7 V

TTL: Transistor Transistor Logic

CMOS: Complementary Metal-Oxide Semiconductor Logic

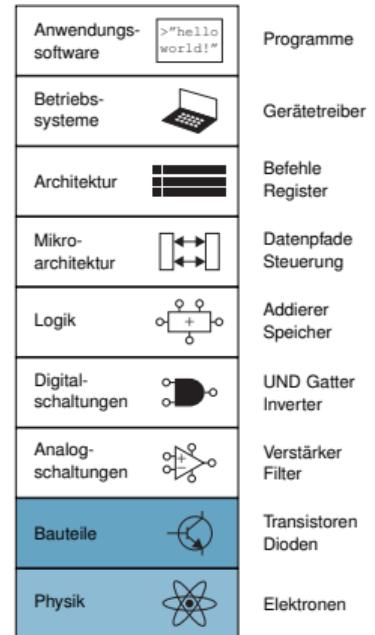
LVTTL: Low Voltage TTL

LVCMOS: Low Voltage CMOS

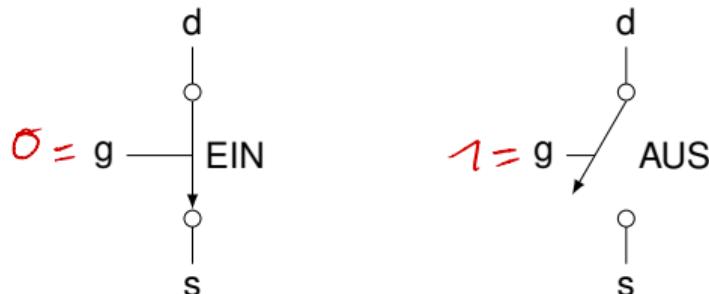
Agenda

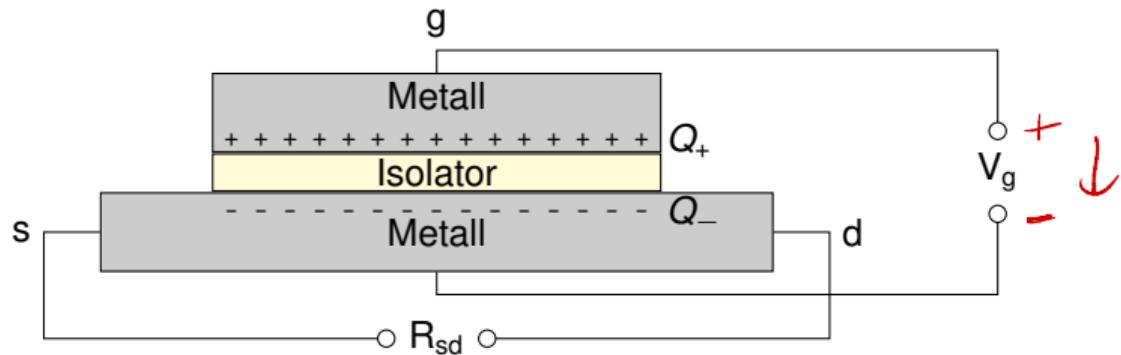


1. XOR Gatter als Paritätsfunktion
2. Physikalische Realisierung von Logikgattern
3. Spannungen als Logikpegel
4. Feldeffekt-Transistoren
5. CMOS-Gatter
6. Leistungsaufnahme
7. Moore'sches Gesetz
8. Zusammenfassung



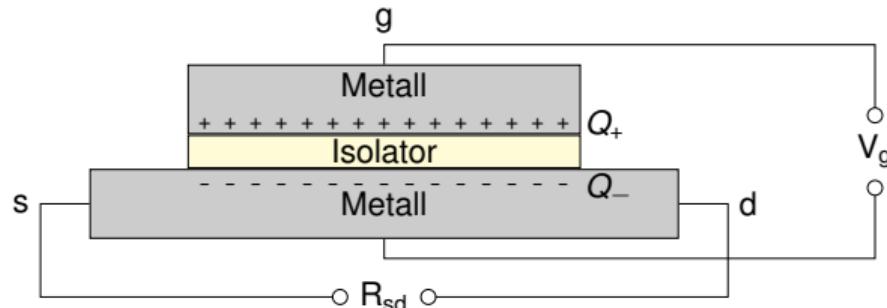
- ▶ Logikgatter werden üblicherweise aus Transistoren aufgebaut
 - ▶ heute überwiegend **Feldeffekttransistor (FET, “Field Effect Transistor”)**
- ▶ Transistoren sind spannungsgesteuerte Schalter
 - ▶ zwei Anschlüsse (Source s & Drain d), werden je nach Spannung am dritten Eingang (Gate g) verbunden oder getrennt



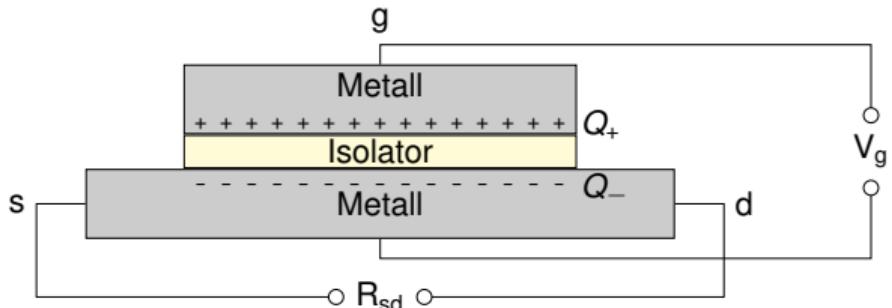


- ▶ zwei metallische Streifen mit dünner isolierender Zwischenlage
- ▶ Streifen bilden Plattenkondensator (Kapazität C)
- ▶ Steuerspannung V_g an Kondensator lädt diesen auf
- ⇒ jeweils Ladung $Q = C \cdot V_g$ auf beiden Streifen (gegensätzliche Ladung)
- ⇒ V_g beeinflusst Menge der freien Ladungsträger, also Widerstand R_{sd}

- ▶ etwa 10^{14} zusätzliche freie Ladungsträger pro Kubikzentimeter bei Steuerspannung $V_g = 1 \text{ V}$
- ▶ etwa 10^{22} freie Ladungsträger pro Kubikzentimeter in Metallen
- ⇒ Ladungsträgeranreicherung durch Feldeffekt in Metallen unerheblich

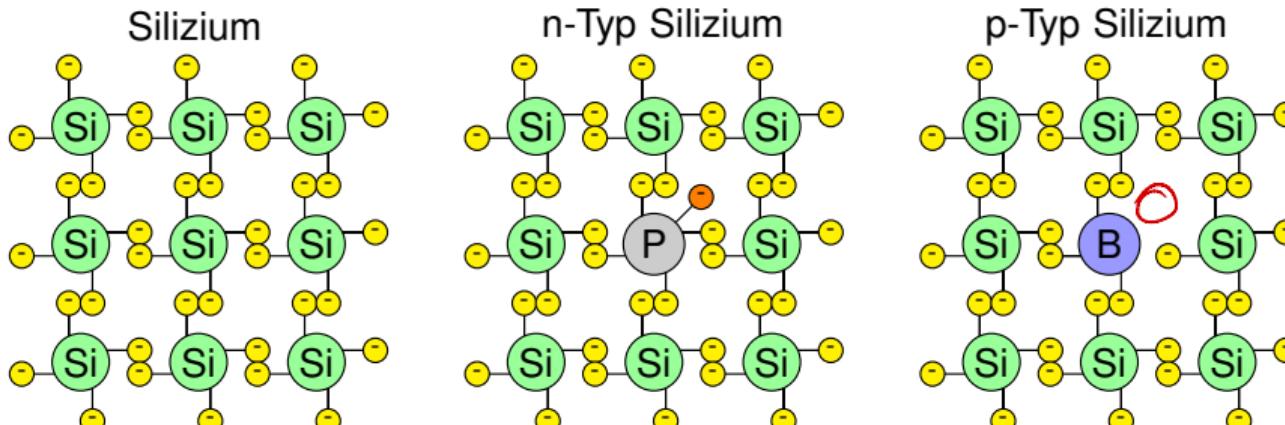


- ▶ etwa 10^{14} zusätzliche freie Ladungsträger pro Kubikzentimeter bei Steuerspannung $V_g = 1 \text{ V}$
- ▶ etwa 10^{22} freie Ladungsträger pro Kubikzentimeter in Metallen
 - ⇒ Ladungsträgeranreicherung durch Feldeffekt in Metallen unerheblich
- ▶ aber etwa 10^{13} freie Ladungsträger pro Kubikzentimeter in *Halbleitern*
 - ⇒ erst mit Halbleitern wird Feldeffekt technisch nutzbar



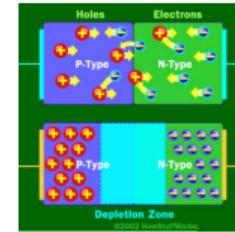
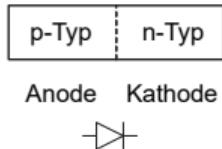
- reines Silizium ist schlechter Leiter (keine freien Ladungsträger)
- Dotierung ermöglicht gezieltes einbringen freier Ladungsträger

Typ	freie Ladungsträger	dotierte Elemente
n	Elektronen (-)	Arsen (As), Phosphor (P)
p	Löcher (+)	Bor (B), Gallium (Ga)



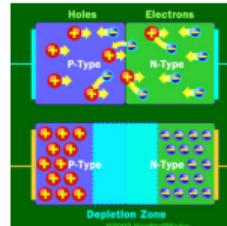
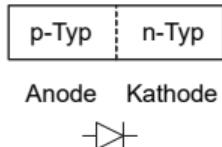
P/N Übergang = Diode

- Übergang zwischen p-Typ und n-Typ Silizium

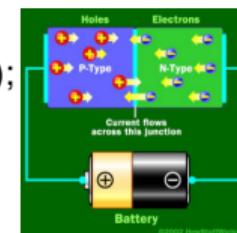


P/N Übergang = Diode

- ▶ Übergang zwischen p-Typ und n-Typ Silizium

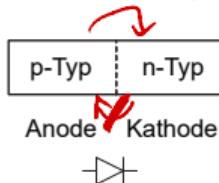


- ▶ Schwellenspannung V_{th} (technologieabhängig, z.B. 0,7 V f. Si); Spannung an Anode V_A ; Spannung an Kathode V_C
- ▶ Vorwärtsspannung
 - ▶ $V_A > V_C + V_{th}$
 - ▶ Stromfluss von Anode zu Kathode



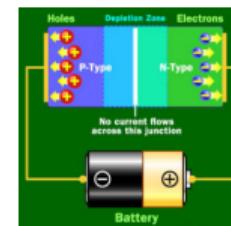
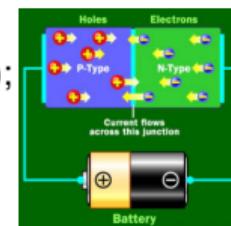
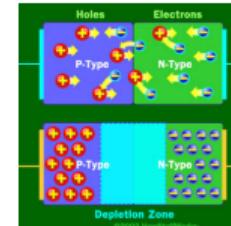
P/N Übergang = Diode

- Übergang zwischen p-Typ und n-Typ Silizium



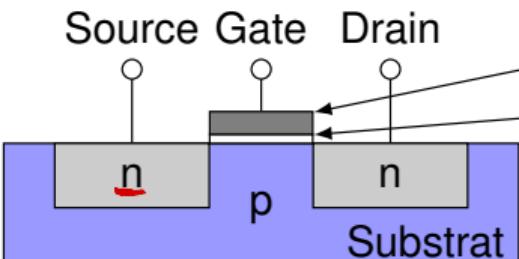
- Schwellenspannung V_{th} (technologieabhängig, z.B. 0,7 V f. Si); Spannung an Anode V_A ; Spannung an Kathode V_C

- Vorwärtsspannung
 - $V_A > V_C + V_{th}$
 - Stromfluss von Anode zu Kathode
- Sperrspannung
 - $V_A < V_C + V_{th}$
 - kein Stromfluss

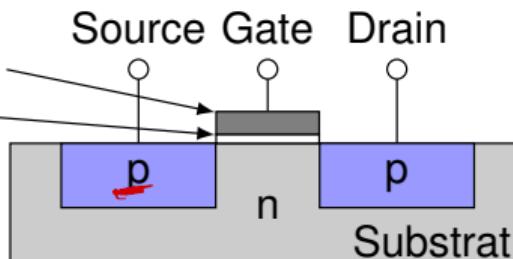


- ▶ Metallocid-Halbleiter (MOS) Transistoren
 - ▶ Undotiertes Silizium (früher Metallschicht) für Gate
 - ▶ Oxid (Siliziumdioxid = Glas) für Isolator
 - ▶ Dotiertes Silizium für Substrat und Anschlüsse (Source, Drain)

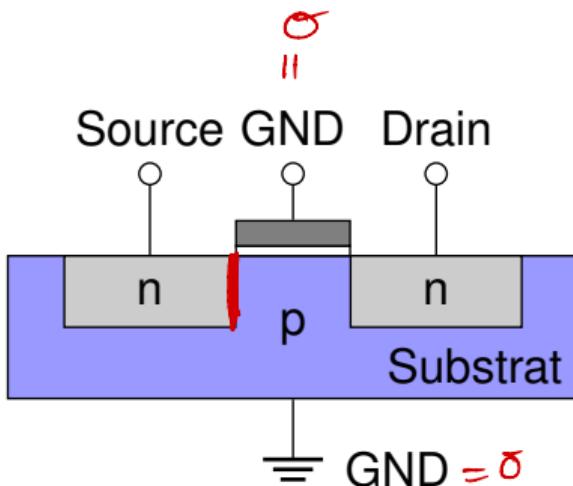
nMOS



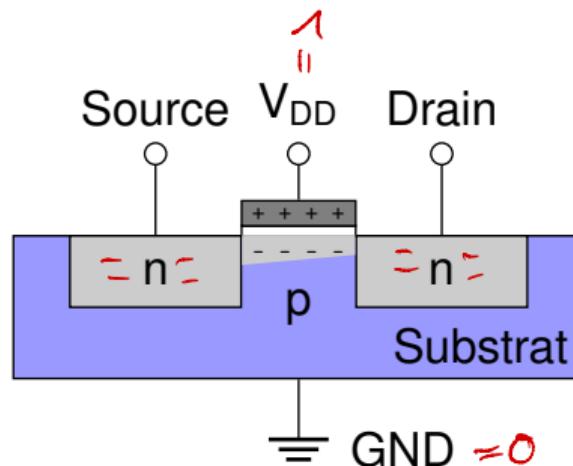
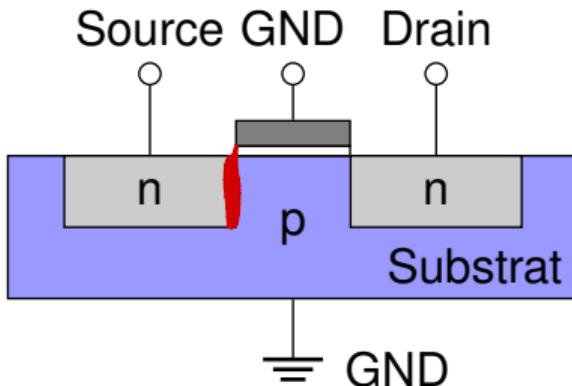
pMOS



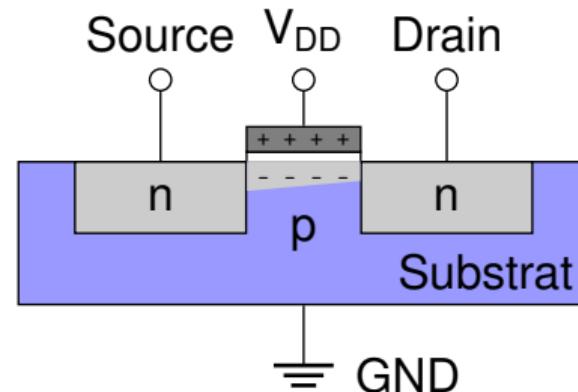
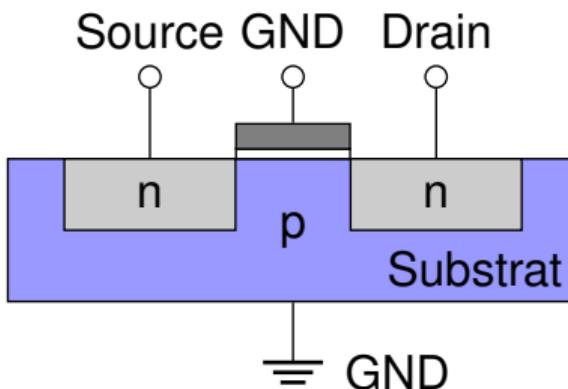
- ▶ Gate = 0, ausgeschaltet (keine Source-Drain Verbindung)



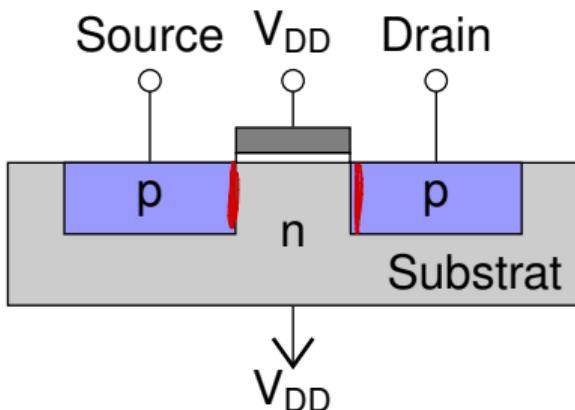
- ▶ Gate = 0, ausgeschaltet (keine Source-Drain Verbindung)
- ▶ Gate = 1, eingeschaltet (leitfähiger Source-Drain Kanal)



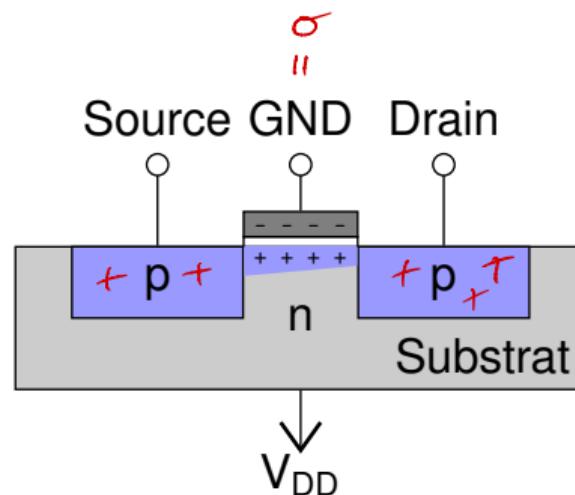
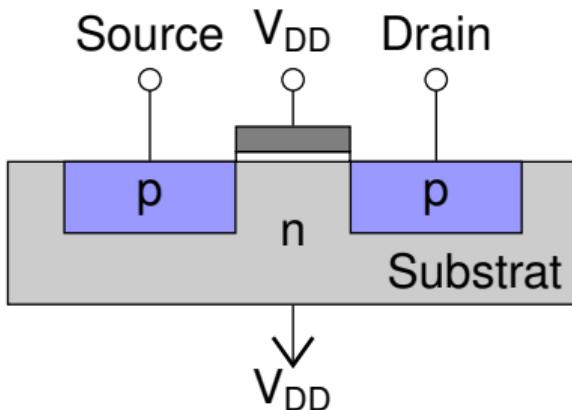
- ▶ Gate = 0, ausgeschaltet (keine Source-Drain Verbindung)
- ▶ Gate = 1, eingeschaltet (leitfähiger Source-Drain Kanal)
- ▶ Majoritätsladungsträger sind Elektronen
- ⇒ leiten 0'en gut von Source nach Drain weiter



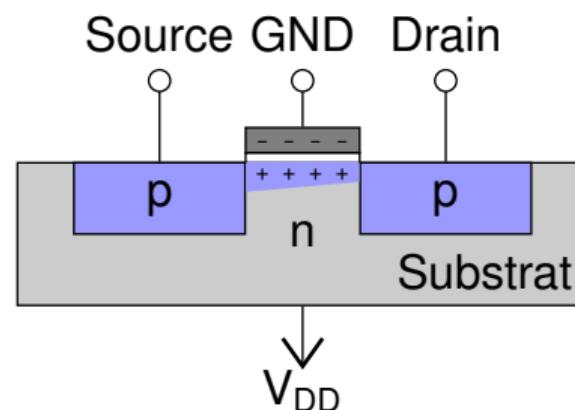
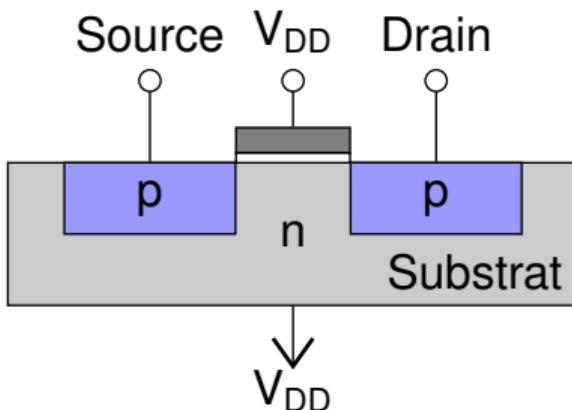
- ▶ Gate = 1, ausgeschaltet (keine Source-Drain Verbindung)



- ▶ Gate = 1, ausgeschaltet (keine Source-Drain Verbindung)
- ▶ Gate = 0, eingeschaltet (leitfähiger Source-Drain Kanal)

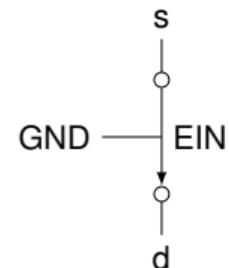
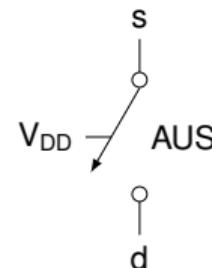
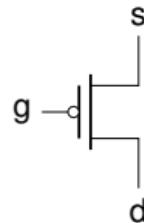


- ▶ Gate = 1, ausgeschaltet (keine Source-Drain Verbindung)
- ▶ Gate = 0, eingeschaltet (leitfähiger Source-Drain Kanal)
- ▶ Majoritätsladungsträger sind Löcher
- ⇒ leiten 1'en gut von Source nach Drain weiter

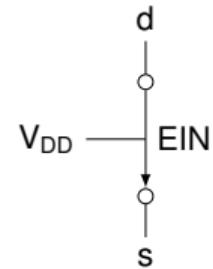
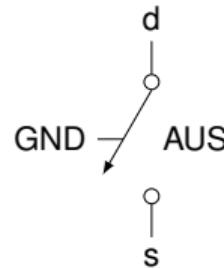
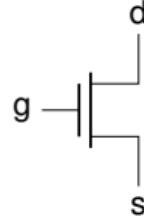


MOSFET Schaltverhalten

pMOS

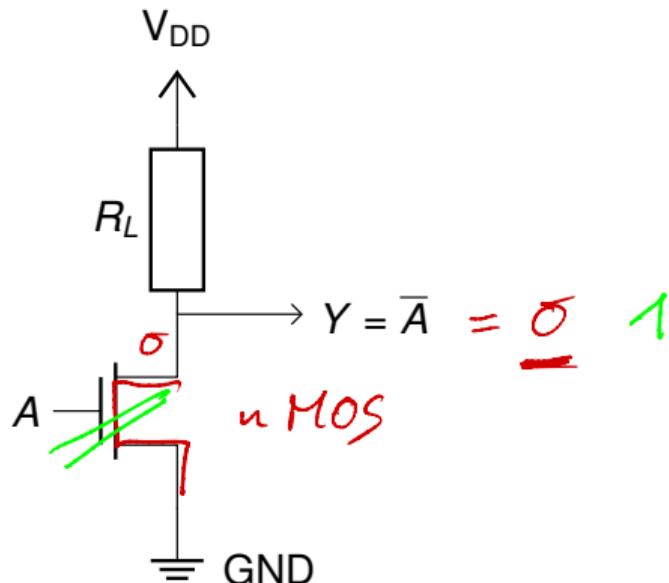


nMOS



Grundschaltung eines MOSFET Inverters

$F=1$ ↑
— ↓
 $F=0$ ↑
— ↓



- ▶ Nachteil: Betriebszustand mit statischem Leistungsumsatz ($A = 1$)

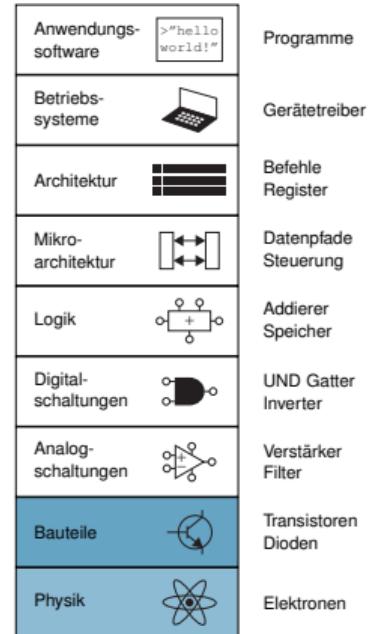
Umfrage

Agenda



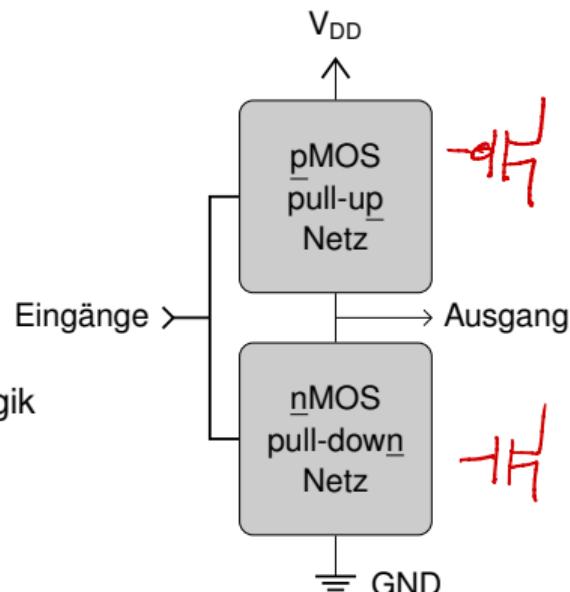
TECHNISCHE
UNIVERSITÄT
DARMSTADT

1. XOR Gatter als Paritätsfunktion
2. Physikalische Realisierung von Logikgattern
3. Spannungen als Logikpegel
4. Feldeffekt-Transistoren
5. CMOS-Gatter
6. Leistungsaufnahme
7. Moore'sches Gesetz
8. Zusammenfassung



CMOS: Kombinieren komplementärer Transistoren

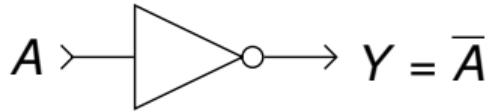
- ▶ pMOS Transistoren leiten 1'en "gut" von Source nach Drain weiter
⇒ Source an V_{DD} anschließen
- ▶ nMOS Transistoren leiten 0'en "gut" von Source nach Drain weiter
⇒ Source an GND anschließen
- ⇒ Complementary Metal-Oxide-Semiconductor (CMOS) Logik



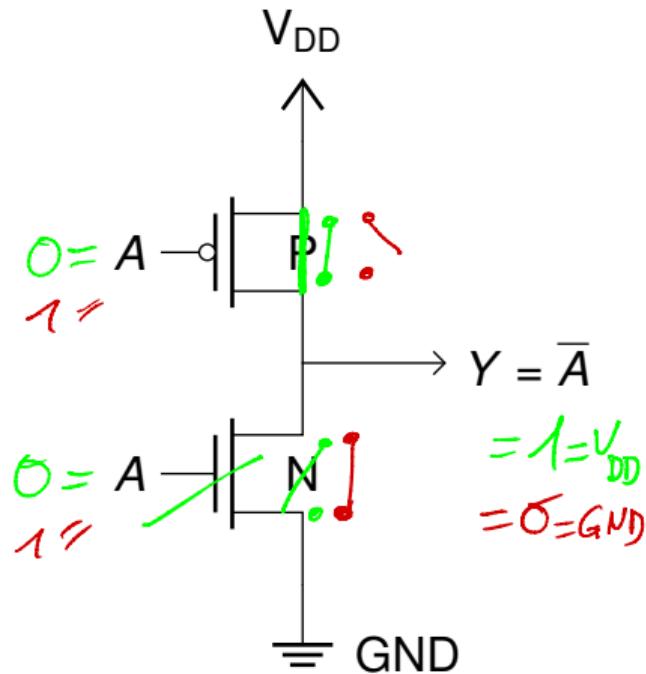
CMOS Gatter: NOT



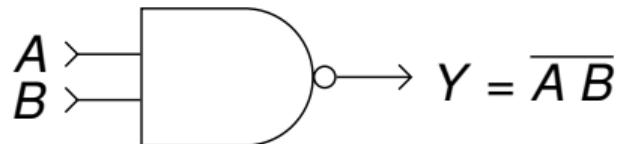
TECHNISCHE
UNIVERSITÄT
DARMSTADT



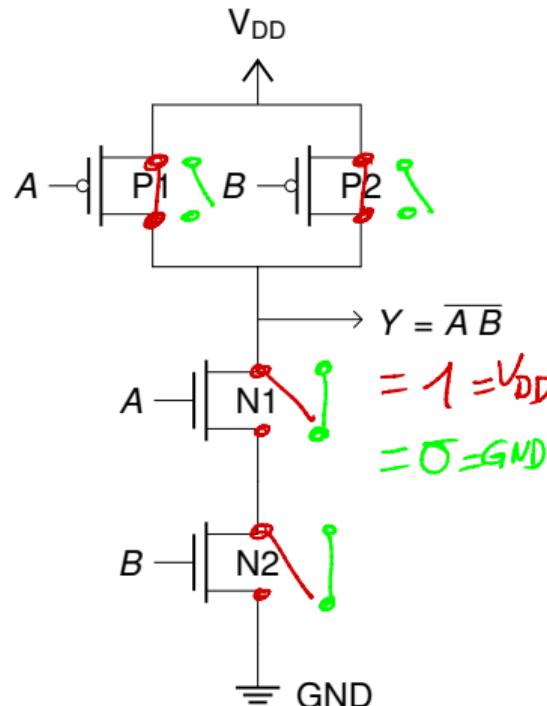
A	P	N	Y
0	EIN	AUS	1
1	AUS	EIN	0



CMOS Gatter: NAND



A	B	P1	P2	N1	N2	Y
0	0	EIN	EIN	AUS	AUS	1
0	1	EIN	AUS	AUS	EIN	1
1	0	AUS	EIN	EIN	AUS	1
1	1	AUS	AUS	EIN	EIN	0



Struktur eines CMOS Gatters



- ▶ pMOS Parallelschaltung



nMOS Serienschaltung

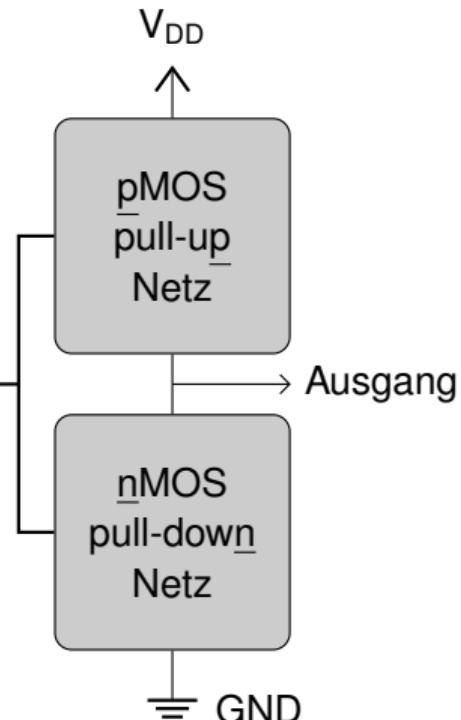
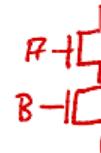


- ▶ pMOS Serienschaltung

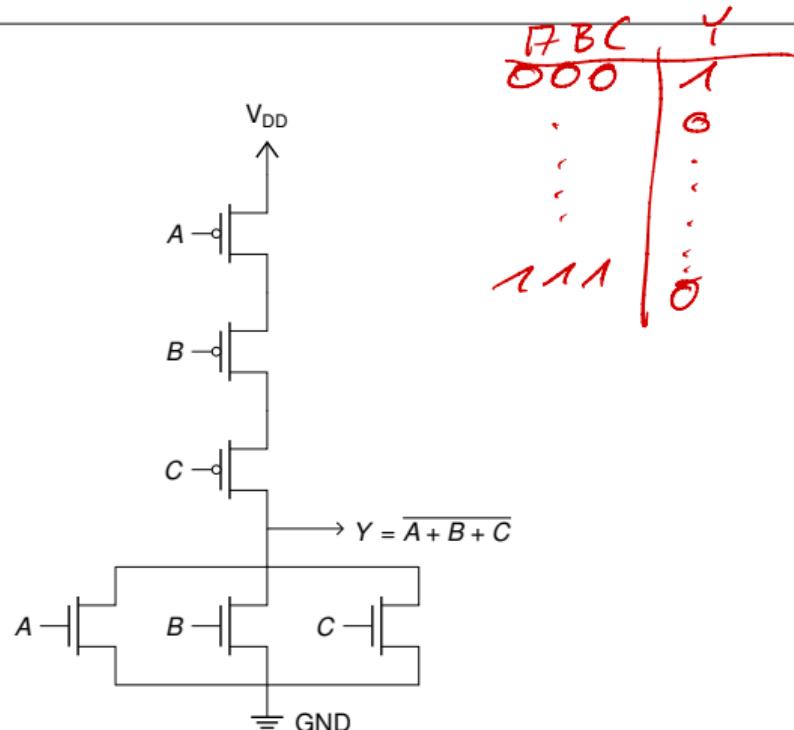


~~pMOS~~ Parallelschaltung

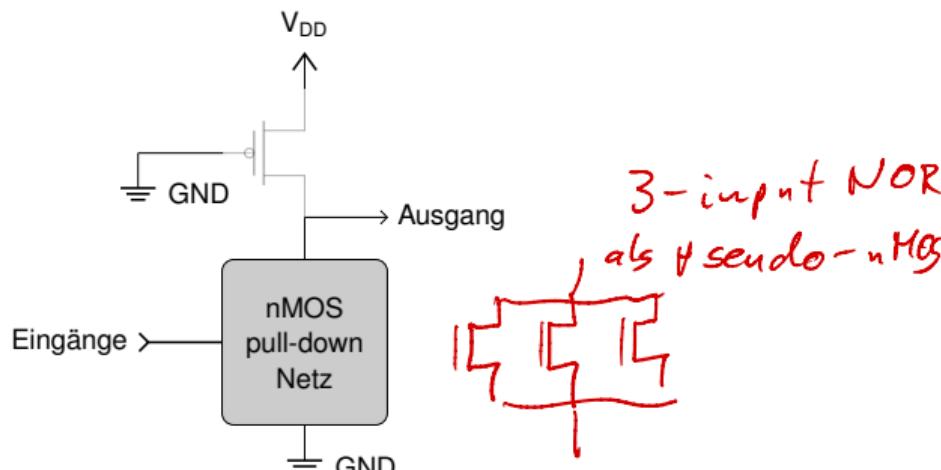
„“



Aufbau eines NOR-Gatters mit drei Eingängen

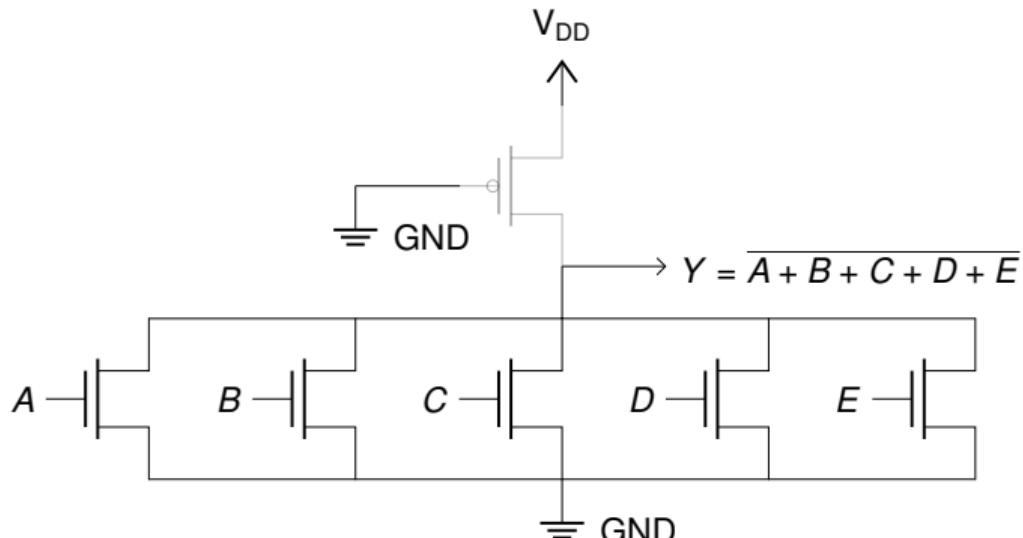


- ▶ Ersetzen des Pull-Up Netzes durch schwachen, immer eingeschalteten pMOS
- ⇒ Pull-Up kann durch das Pull-Down Netz "überstimmt" werden
- ▶ nützlich, um lange Reihen von Transistoren zu vermeiden



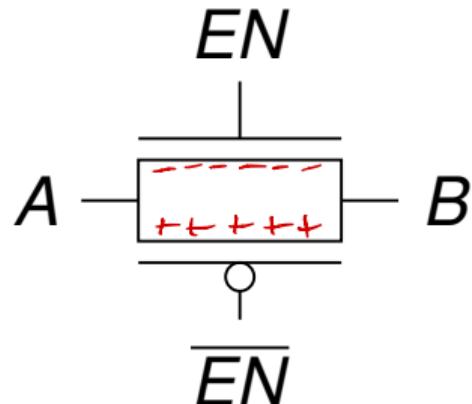
Beispiel für Pseudo-nMOS Gatter

- ▶ Pseudo-nMOS NOR5 *fan-in*
- ▶ verbraucht aber mehr Energie: schwacher Dauerkurzschluss bei $Y = 0$



Transmissionsgatter

- ▶ nMOS leitet 0'en "gut" von Source nach Drain weiter
- ▶ pMOS leitet 1'en "gut" von Source nach Drain weiter
- ▶ Transmissionsgatter ist ein besserer Schalter
 - ▶ leitet 0'en und 1'en gut weiter
- ▶ $EN = 1$ und $\overline{EN} = 0 \rightarrow$ Schalter ist EIN (A mit B verbunden)
- ▶ $EN = 0$ und $\overline{EN} = 1 \rightarrow$ Schalter ist AUS (A nicht mit B verbunden)

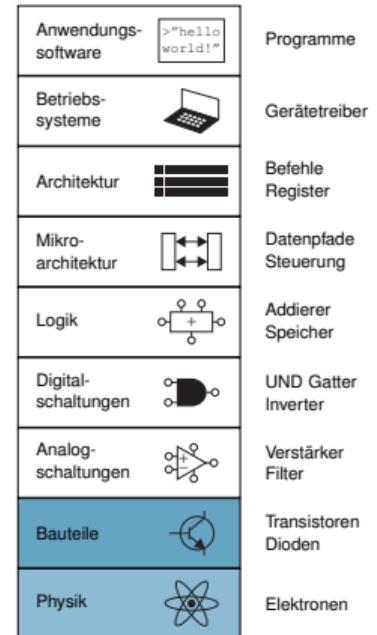


Agenda



TECHNISCHE
UNIVERSITÄT
DARMSTADT

1. XOR Gatter als Paritätsfunktion
2. Physikalische Realisierung von Logikgattern
3. Spannungen als Logikpegel
4. Feldeffekt-Transistoren
5. CMOS-Gatter
6. Leistungsaufnahme
7. Moore'sches Gesetz
8. Zusammenfassung



- ▶ alternative Begriffe: Leistungsumsatz, Leistungsverbrauch
- ▶ Leistung = Energieverbrauch pro Zeiteinheit
- ▶ zwei Arten der Leistungsaufnahme:
 - ▶ statische Leistungsaufnahme
 - ▶ dynamische Leistungsaufnahme

- ▶ Leistungsbedarf wenn kein Gatter schaltet
- ▶ verursacht durch Leckstrom I_{DD}
 - ▶ immer kleinere Transistoren schalten nicht mehr vollständig ab
 - ▶ Pseudo-nMOS, ...
- ▶ statische Leistungsaufnahme ist also $P_{\text{static}} = I_{DD} \cdot V_{DD}$

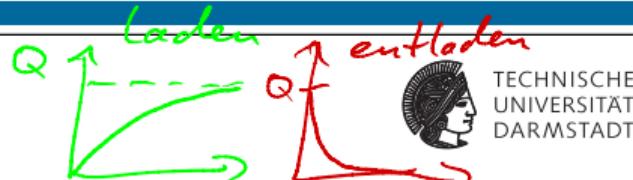
- ▶ Aufladen der Gate-Kapazität C von $0 \text{ A}\cdot\text{s}$ auf $Q = C \cdot V_{DD}$
- ▶ Schaltung wird mit Frequenz f betrieben
- ⇒ Transistoren schalten f -mal pro Sekunde
- ▶ nur die Hälfte davon sind Aufladungen
- ▶ $I = \frac{Q}{t} = Q \cdot \frac{f}{2} = C \cdot V_{DD} \cdot \frac{f}{2}$
- ▶ dynamische Leistungsaufnahme ist:
 $P_{dynamic} = I \cdot V = (C \cdot V_{DD} \cdot \frac{f}{2})(V_{DD}) = \frac{1}{2} C \cdot V_{DD}^2 \cdot f$

- ▶ Abschätzen der Leistungsaufnahme für einen Netbook-Prozessor

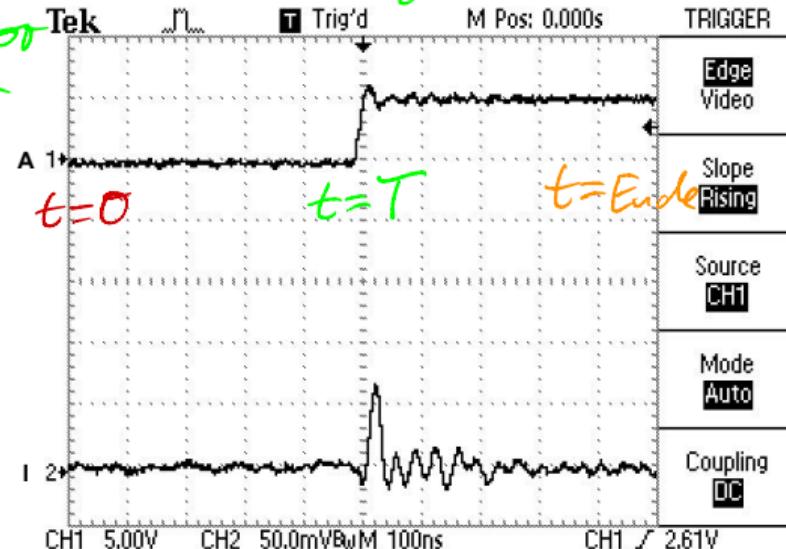
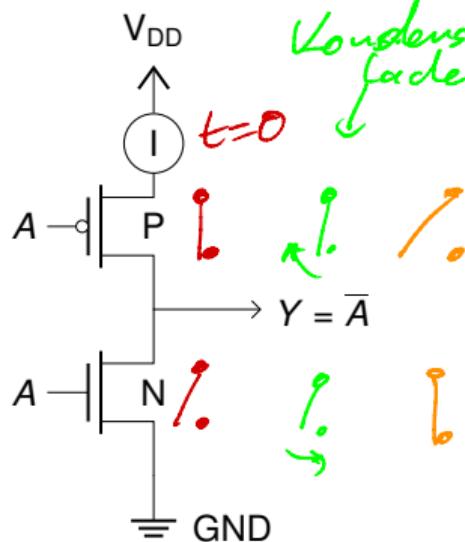
- ▶ Versorgungsspannung $V_{DD} = 1,2 \text{ V}$
- ▶ Taktfrequenz $f = 1 \text{ GHz}$
- ▶ \sum Transistorkapazitäten $C = 20 \text{ nF}$
- ▶ \sum Leckströme $I_{DD} = 20 \text{ mA}$

$$\begin{aligned}P &= P_{\text{static}} + P_{\text{dynamic}} \\&= I_{DD} \cdot V_{DD} + \frac{1}{2} \cdot C \cdot V_{DD}^2 \cdot f \\&= 24 \text{ mW} + 14,4 \text{ W}\end{aligned}$$

Stromfluß beim CMOS Inverter



TECHNISCHE
UNIVERSITÄT
DARMSTADT



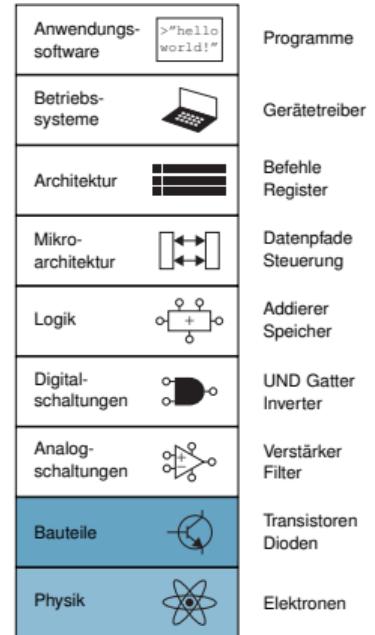
- ▶ nur beim Umschalten fließt kurzzeitig ein Strom
- ▶ im Wesentlichen: dynamische Leistungsaufnahme

Agenda



TECHNISCHE
UNIVERSITÄT
DARMSTADT

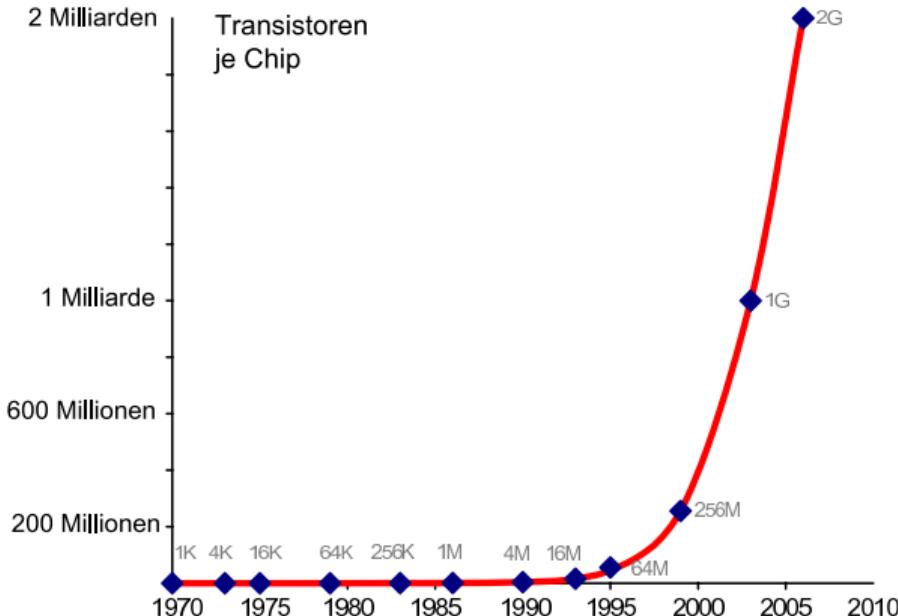
1. XOR Gatter als Paritätsfunktion
2. Physikalische Realisierung von Logikgattern
3. Spannungen als Logikpegel
4. Feldeffekt-Transistoren
5. CMOS-Gatter
6. Leistungsaufnahme
7. Moore'sches Gesetz
8. Zusammenfassung



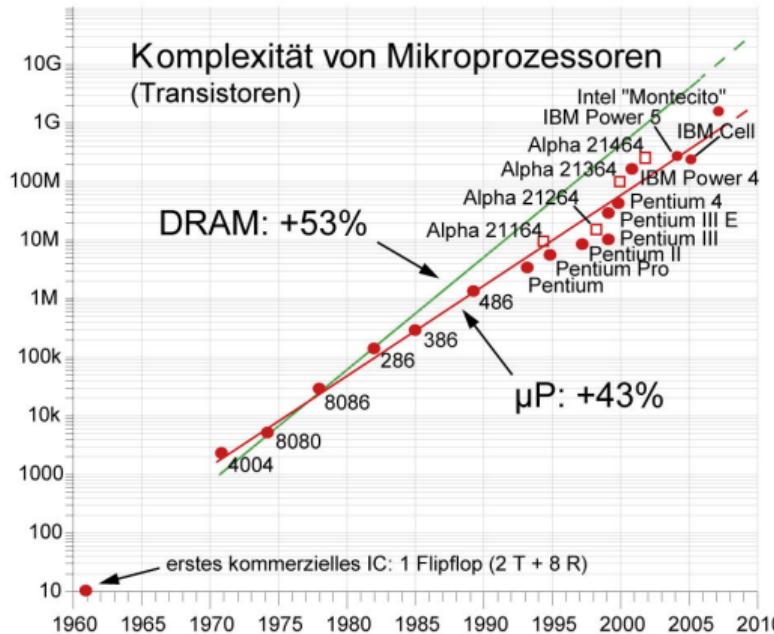
Gordon Moore, 1929 -

- ▶ PhD am California Institute of Technology
- ▶ Mitbegründer von Intel
- ▶ Treibende Kraft in der Halbleiter-Technologie





Alle 18 Monate verdoppelt sich die Anzahl der Transistoren auf einem Chip.

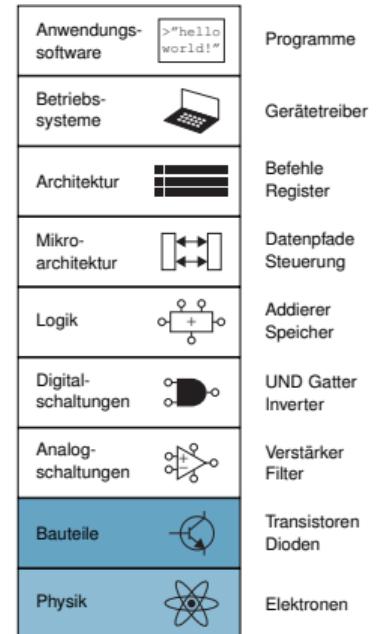


Agenda



TECHNISCHE
UNIVERSITÄT
DARMSTADT

1. XOR Gatter als Paritätsfunktion
2. Physikalische Realisierung von Logikgattern
3. Spannungen als Logikpegel
4. Feldeffekt-Transistoren
5. CMOS-Gatter
6. Leistungsaufnahme
7. Moore'sches Gesetz
8. Zusammenfassung



- ▶ Logikgatter
 - ▶ Anwendung: XOR als Paritätsfunktion
- ▶ Physikalische Realisierung von Logikgattern
 - ▶ Logikpegel
 - ▶ Feldeffekt-Transistoren
 - ▶ CMOS-Gatter
 - ▶ Leistungsaufnahme
 - ▶ Moore'sches Gesetz
- ▶ Nächste Vorlesung behandelt
 - ▶ Boole'sche Algebra