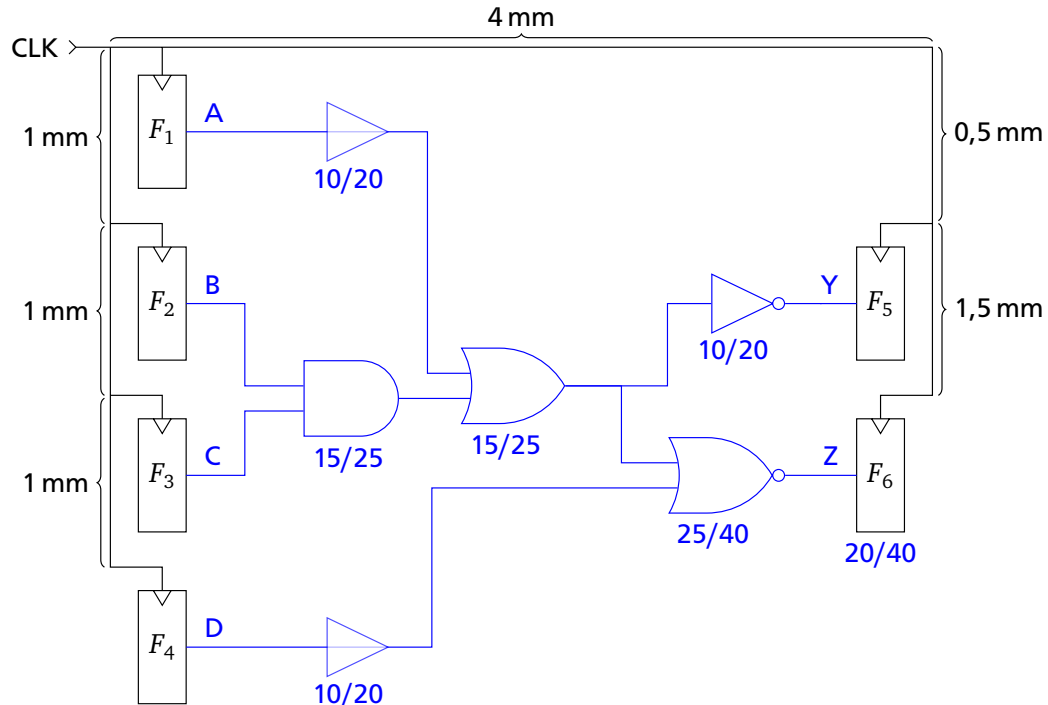


- a) Setzen Sie zunächst die folgenden Funktionen in der gegebenen Vorlage um. Die D-Flip-Flops F_1, F_2, F_3, F_4 geben dabei A, B, C, D aus; Y ist die Eingabe für F_5 und Z für F_6 . Es stehen hierfür neben AND, OR und NOT auch NAND und NOR Gatter zur Verfügung. Verwenden Sie so wenig Gatter wie möglich.

$$Y = \overline{BC + A} \quad Z = \overline{(BC + A) + D}$$



- b) Berechnen Sie, mit welcher Taktrate Ihre Schaltung maximal betrieben werden kann. Benutzen Sie dazu die folgenden Timing-Charakteristiken. Beachten Sie Leitungsverzögerung zunächst nicht.

- | | | | |
|------------------------------------|--------------------------------------|--------------------------------|--------------------------------|
| 1. $t_{cd,NOT} = 10 \text{ ps}$ | 4. $t_{pd,AND/OR} = 25 \text{ ps}$ | 7. $t_{ccq} = 20 \text{ ps}$ | 10. $t_{hold} = 50 \text{ ps}$ |
| 2. $t_{pd,NOT} = 20 \text{ ps}$ | 5. $t_{cd,NAND/NOR} = 25 \text{ ps}$ | 8. $t_{pcq} = 40 \text{ ps}$ | |
| 3. $t_{cd,AND/OR} = 15 \text{ ps}$ | 6. $t_{pd,NAND/NOR} = 40 \text{ ps}$ | 9. $t_{setup} = 50 \text{ ps}$ | |

Der kritische Pfad verläuft von F2 bzw. F3 nach F6. Damit gilt nun:

$$\begin{aligned}
 f_{CLK} &\leq \frac{1}{t_{pcq} + t_{pd,AND} + t_{pd,OR} + t_{pd,NOR} + t_{setup}} \\
 &= \frac{1}{40 \text{ ps} + 25 \text{ ps} + 25 \text{ ps} + 40 \text{ ps} + 50 \text{ ps}} \\
 &= \frac{1}{180 \text{ ps}} \\
 &= 5,56 \text{ GHz}
 \end{aligned}$$

- c) Prüfen Sie, ob die Hold-Bedingung aller D-Flip-Flops erfüllt wird. Erweitern Sie gegebenenfalls Ihre Schaltung, um diese zu garantieren. Benutzen Sie dafür gewöhnliche Buffer, welche hier die selben Timing-Charakteristiken wie NOT Gatter besitzen.

Es werden zwei t_{hold} Bedingungen verletzt: Für D-Flip-Flop F_5 über den Pfad beginnend bei F_1 und für D-Flip-Flop F_6 über den Pfad beginnend bei F_4 .

Für den ersten Fall gilt: $t_{ccq} + t_{cd,OR} + t_{cd,NOT} = 20 \text{ ps} + 15 \text{ ps} + 10 \text{ ps} = 45 \text{ ps} < 50 \text{ ps} = t_{hold}$. Analog kann man den zweiten Fall prüfen. Ein möglicher Fix ist durch die transparenten Buffer in obiger Schaltung angedeutet.

- d) Mit welcher maximalen Taktrate kann die Schaltung nun betrieben werden?

Die Taktrate hat sich durch die Modifikationen nicht verändert: Die Anpassung betrifft t_{cd} , ausschlaggebend für die Taktrate ist aber t_{pd} .

- e) Beschreiben Sie, was man unter einer sogenannten Taktverschiebung (Clock-Skew) versteht und zu welchen Problemen diese eventuell führen kann. Kann der Clock-Skew als konstanter Wert angenommen werden?

Entgegen bisheriger Annahmen haben auch die Leiterbahnen welche das CLK-Signal propagieren eine gewisse Ausbreitungsverzögerung. Dementsprechend erreicht eine steigende bzw. fallende Taktflanke nicht jedes Register zur gleichen Zeit. Diese Differenz bezeichnet man als Clock-Skew. Durch die resultierende Taktverschiebung kann es dazu kommen, dass Hold- und Setupzeiten der beteiligten Flip-Flops verletzt werden. Wie in Aufgabe 9.3a) schon festgestellt, führt dies unter anderem zu kritischen metastabilen Zuständen. Es ist daher wichtig, den Clock-Skew immer zu berücksichtigen. Tatsächlich ist dieser aber nicht konstant. Faktoren wie Temperatur, elektromagnetische Effekte oder kleine Varianzen bei der Fertigung können den Clock-Skew erhöhen bzw. erniedrigen.

- f) Überlegen Sie, wie der Clock-Skew eine Takterhöhung ermöglichen kann.

Betrachte eine synchron sequentielle Schaltung mit zwei D-Flip-Flops und einer zwischen diesen liegenden kombinatorischen Schaltung. Wird das Clock-Signal von der ersten Registerstufe hin zur zweiten propagiert, dann kommt der Takt an der zweiten Stufe t_{skew} später an. Dies macht einen Teil der Ausbreitungsverzögerung t_{pd} der kombinatorischen Schaltung wett und die Clock kann ohne Konflikte schneller betrieben werden.

- g) Berechnen Sie die maximale Taktfrequenz unter Berücksichtigung des Clock-Skews. Gehen Sie von einer Signalausbreitungsgeschwindigkeit von $2 \cdot 10^8$ m/s aus.

Für alle möglichen Pfade von einem Register der ersten Stufe (F_1, F_2, F_3, F_4) zu einem Register der zweiten Stufe (F_5, F_6) wird die Verzögerung berechnet. Da das Taktsignal das Zielregister später erreicht, wird die Taktverschiebung vom Ergebnis abgezogen. Die längste Verzögerung (70 ps) ergibt sich zwischen F_3 und F_6 .

$$\begin{aligned} f_{CLK} &\leq \frac{1}{40 \text{ ps} + 70 \text{ ps} + 50 \text{ ps}} \\ &= \frac{1}{160 \text{ ps}} \\ &= 6,25 \text{ GHz} \end{aligned}$$

Übung 8.3 Parallelität

[25 min]

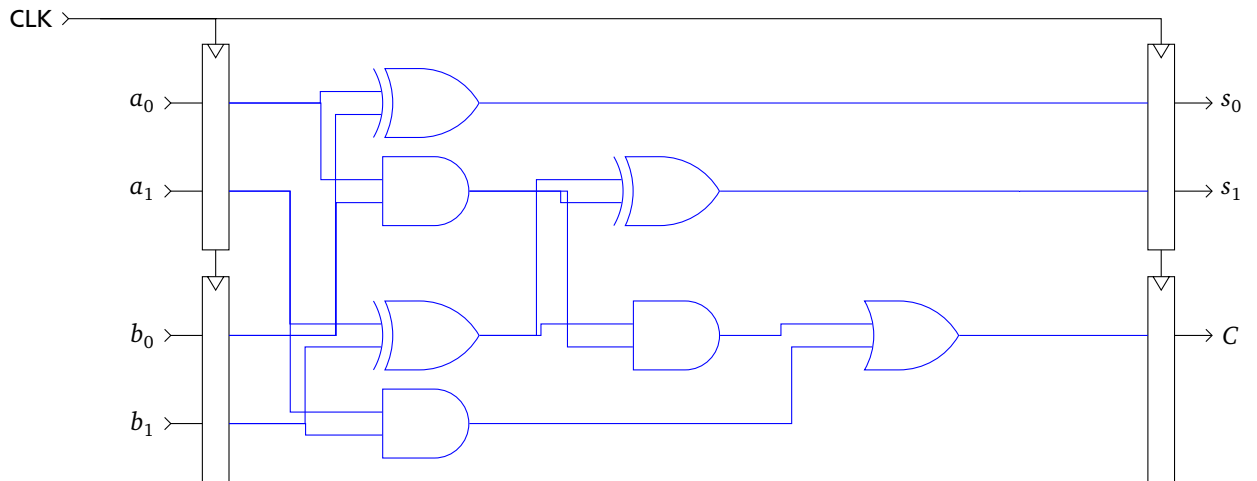
- a) Beschreiben Sie zunächst kurz den Unterschied zwischen zeitlicher und räumlicher Parallelität. Nennen Sie auch Vor- und Nachteile des jeweiligen Ansatzes.

- Bei zeitlicher Parallelität wird eine Aufgabe in mehrere Unteraufgaben zerlegt. Diese werden anschließend teilweise gleichzeitig ausgeführt.
 - + Höherer Durchsatz
 - Höhere Latenz
- Bei räumlicher Parallelität können mehrere Aufgaben durch vervielfachte Hardware gleichzeitig bearbeitet werden.
 - + Höherer Durchsatz (bei gleicher Latenz!)
 - + Abarbeitung mehrerer unabhängige Aufgaben parallel möglich
 - Erhöhte Kosten durch vervielfältigte Hardware/Ressourcen

- b) Wo begegnen Ihnen die Konzepte von zeitlicher und räumlicher Parallelität im Alltag? Nennen Sie Beispiele.

- Kassen im Supermarkt oder mehrere Spuren auf einer Autobahn können als Beispiel für räumliche Parallelität gesehen werden.
- Kochen kann als zeitlich parallele Aktivität gesehen werden.

- a) Konstruieren Sie eine synchrone sequentielle Schaltung, die zwei 2 bit breite Zahlen A und B ($A := a_1a_0, B := b_1b_0$) addiert. Die Ausgabe besteht aus der Summe S ($S := s_1s_0$) und dem Übertrag C . Ergänzen Sie dafür folgende Vorlage mit möglichst wenigen XOR, AND und OR Gattern. Orientieren Sie sich am Vorgehen bei der schriftlichen Addition zur Herleitung der Formeln für s_0, s_1 und C .



- b) Bestimmen Sie den Durchsatz und die minimale Latenz der Schaltung. Gehen Sie dabei von folgenden Timing-Charakteristiken aus:

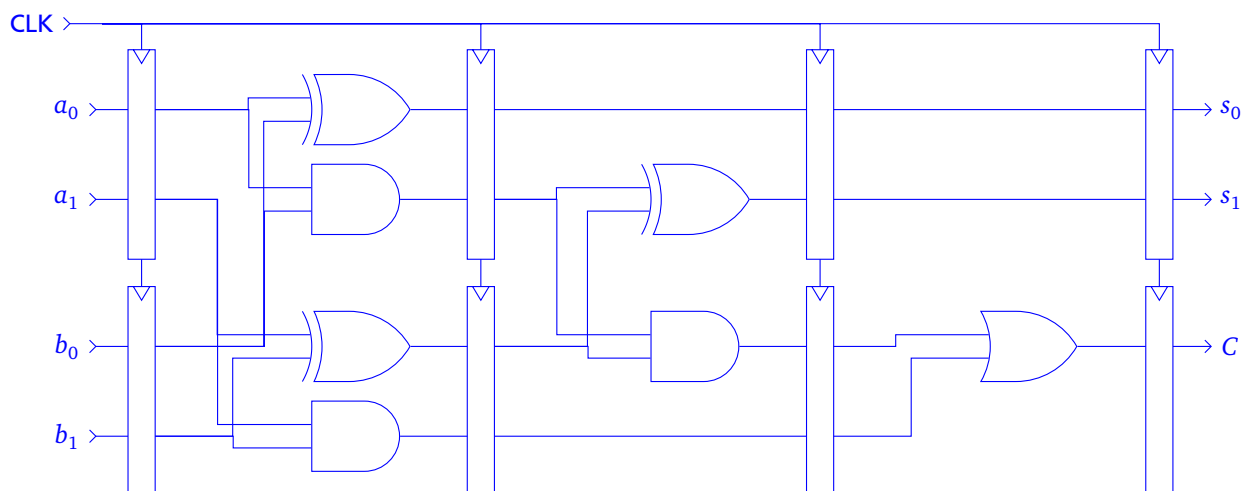
$t_{cd,NOT} = 10 \text{ ps}$	$t_{cd,AND} = 20 \text{ ps}$	$t_{cd,OR} = 20 \text{ ps}$	$t_{cd,XOR} = 30 \text{ ps}$
$t_{pd,NOT} = 20 \text{ ps}$	$t_{pd,AND} = 40 \text{ ps}$	$t_{pd,OR} = 40 \text{ ps}$	$t_{pd,XOR} = 50 \text{ ps}$
$t_{ccq} = 5 \text{ ps}$	$t_{pcq} = 10 \text{ ps}$	$t_{setup} = 20 \text{ ps}$	$t_{hold} = 10 \text{ ps}$

Die Latenz beträgt 1 Takt. Für die minimale Periodendauer gilt unter Berücksichtigung der Zeitanforderungen:

$$T = t_{pcq} + t_{pd,XOR} + t_{pd,AND} + t_{pd,OR} + t_{setup} = 10 \text{ ps} + 50 \text{ ps} + 40 \text{ ps} + 40 \text{ ps} + 20 \text{ ps} = 160 \text{ ps}$$

Der Durchsatz beträgt somit $\frac{1 \text{ Addition}}{160 \text{ ps}} = 6,25 \cdot 10^9$ Additionen pro Sekunde.

- c) Erweitern Sie die Schaltung mit Hinblick auf zeitliche Parallelität. Fügen Sie dazu zwei Pipeline-Stufen ein.



- d) Bestimmen Sie den Durchsatz und die minimale Latenz der Schaltung mit Pipeline-Stufen.

Die Latenz beträgt 3 Takte. Für die minimale Periodendauer gilt unter Berücksichtigung der Zeitanforderungen:

$$\begin{aligned}
 T_1 &= t_{pcq} + t_{pd,XOR} + t_{setup} &= 10 \text{ ps} + 50 \text{ ps} + 20 \text{ ps} &= 80 \text{ ps} \\
 T_2 &= t_{pcq} + t_{pd,XOR} + t_{setup} &= 10 \text{ ps} + 50 \text{ ps} + 20 \text{ ps} &= 80 \text{ ps} \\
 T_3 &= t_{pcq} + t_{pd,OR} + t_{setup} &= 10 \text{ ps} + 40 \text{ ps} + 20 \text{ ps} &= 70 \text{ ps} \\
 T &= \max(T_1, T_2, T_3) &&= 80 \text{ ps}
 \end{aligned}$$

Der Durchsatz beträgt somit $\frac{1 \text{ Addition}}{80 \text{ ps}} = 12,5 \cdot 10^9$ Additionen pro Sekunde, die Latenz $3 \cdot 80 \text{ ps} = 240 \text{ ps}$.

- e) Identifizieren Sie ein Problem das sich negativ auf die Latenz von Addierern für breitere Eingaben auswirkt.

Mit der verwendeten Konstruktion entsteht für breitere Eingabewerte ein immer längerer kritischer Pfad, da ein Übertrag möglicherweise von den niederwertigsten bis zu den höchstwertigen Bits wandern muss.

Übung 8.5 Metastabilität

[20 min]

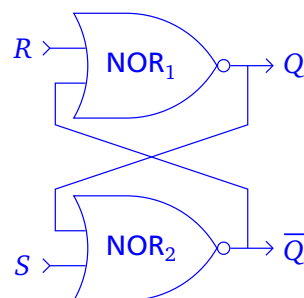
In der Vorlesung haben Sie bereits das SR-Latch basierend auf NOR-Gattern kennengelernt. Unter Umständen kann es hier zu Metastabilität kommen. Dies soll nachfolgend weiter untersucht werden.

- a) Erklären Sie kurz, um welches Phänomen es sich bei Metastabilität handelt und unter welchen Umständen dieses auftreten kann.

Metastabilität bezeichnet eine Art von undefiniertem Zwischenzustand zwischen den zwei stabilen Zuständen 0 und 1. Metastabilität tritt häufig in Zusammenhang mit D-Flip-Flops auf (wenn deren t_{setup} oder t_{hold} Anforderungen verletzt werden), kann aber auch in diversen kombinatorischen Schaltungen vorkommen.

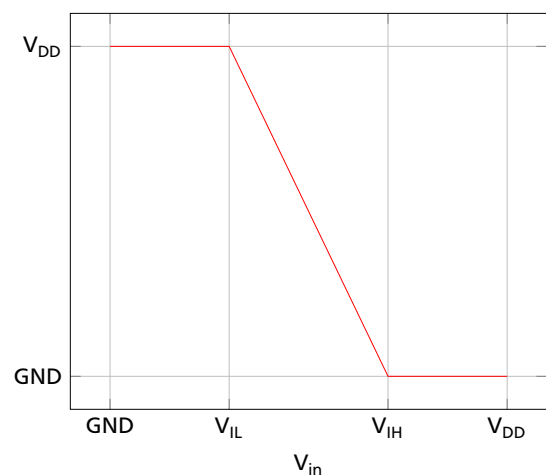
- b) Geben Sie die Wahrheitstabelle sowie eine Gatterschaltung für ein SR-Latch basierend auf NOR-Gattern an.

S	R	Q_{prev}	Q	\bar{Q}
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	0	0
1	1	1	0	0



- c) Wenn S und R inaktiv sind, verhält sich das SR-Latch wie eine bistabile Grundsaltung. Das Schaltverhalten kann in diesem Fall daher stark vereinfacht durch folgende Transferfunktion für Inverter beschrieben werden, welche üblicherweise für die Konstruktion einer solchen bistabilen Schaltung verwendet werden.

$$V_{out} = f(V_{in}) = \begin{cases} V_{DD} & \text{für } V_{in} \leq V_{IL} \\ (V_{IH} - V_{in}) \cdot \frac{V_{DD}}{V_{IH} - V_{IL}} & \text{für } V_{IL} < V_{in} < V_{IH} \\ GND & \text{für } V_{in} \geq V_{IH} \end{cases}$$



Nehmen Sie an, dass S und R aktiv sind. Was passiert, wenn S und R exakt zeitgleich inaktiv werden?

Werden S und R exakt zeitgleich inaktiv, durchlaufen beide Gatter zeitgleich den ungültigen Spannungsbereich. Durch die Rückkopplung der Gatter ist daher unklar, in welchem der zwei validen Zustände die bistabile Schaltung bzw. das SR-Latch letztendlich landen wird. Es kommt also zu Metastabilität.

- d) Sei $V_{DD} = 5\text{ V}$, $V_{IL} = 1\text{ V}$ und $V_{IH} = 2\text{ V}$. Berechnen Sie V_Q und $V_{\bar{Q}}$ der entsprechenden Ausgänge Q und \bar{Q} für den *metastabilen* Zustand der bistabilen Grundsaltung bzw. des SR-Latches.

Im ungültigen Spannungsbereich zwischen V_{IL} und V_{IH} beschreibt $V_{\bar{Q}} = f(V_Q) = (V_{IH} - V_Q) \cdot \frac{V_{DD}}{V_{IH} - V_{IL}}$ das Verhalten des Inverters I_2 . Wegen der Rückkopplung $V_Q = f(V_{\bar{Q}})$ gilt $V_Q = f(f(V_Q))$ und im metastabilen Zustand damit:

$$\begin{aligned} V_Q &= \left(V_{IH} - (V_{IH} - V_Q) \cdot \frac{V_{DD}}{V_{IH} - V_{IL}} \right) \cdot \frac{V_{DD}}{V_{IH} - V_{IL}} \\ \Leftrightarrow 0 &= \frac{1}{(V_{IH} - V_{IL})^2} \cdot (V_{IH} \cdot V_{DD} \cdot (V_{IH} - V_{IL}) - V_{IH} \cdot V_{DD}^2 + V_Q \cdot V_{DD}^2 - V_Q \cdot (V_{IH} - V_{IL})^2) \\ \Leftrightarrow V_Q &= \frac{V_{IH} \cdot V_{DD}^2 - V_{IH} \cdot V_{DD} \cdot (V_{IH} - V_{IL})}{V_{DD}^2 - (V_{IH} - V_{IL})^2} \end{aligned}$$

Für die vorgegebenen Spannungswerte erhält man damit $V_Q = V_{\bar{Q}} \approx 1,67\text{ V}$.