

Universidade Federal do Paraná
Projetos Digitais

Ronaldo Pereira da Costa

ISA e Microarquitetura

Curitiba
2024

Green card ISA

baseado na arquitetura RISC-V

Instrução	Formato	Nome	Descrição
aritméticas			
Add	R	Soma	$rd = rs1 + rs2$
Sub	R	Subtração	$rd = rs1 - rs2$
Addi	I	Soma com Imediato	$rd = rs1 + imm$
Mul	R	Multiplicação	$rd = rs1 * rs2$
Div	R	Divisão	$rd = rs1 / rs2$
Lógicas			
And	R	E Lógico	$rd = rs1 \& rs2$
Or	R	Ou Lógico	$rd = rs1 rs2$
Xor	R	XOR Lógico	$rd = rs1 \wedge rs2$
Sll	R	Shift lógico à esquerda	$rd = rs1 \ll rs2$
Srl	R	Shift lógico à direita	$rd = rs1 \gg rs2$
Sra	R	Shift aritmético à direita	$rd = rs1 \gg rs2$
Memória			
Lw	I	Carrega palavra	$rd = Mem[rs1 + imm]$
Sw	S	Salva Palavra	$Mem[rs1 + imm] = rs2$
Desvios			
Beq	B	Se igual a	if ($rs1 == rs2$) PC += imm
Bne	B	Se diferente de	if ($rs1 != rs2$) PC += imm
Blt	B	Se menor que	if ($rs1 < rs2$) PC += imm
Saltos			
Jal	J	Jump & Link	$rd = PC+4; PC = \{imm, 1b'0\}$
Jalr	I	Jump & Link Register	$rd = PC+4; PC = rs1 + imm$
Instr. especiais			
Nfn	R	Não faz nada	$R[0] = R[0]$
Halt	I	Finalizador	Finaliza a execução

Instruções numeradas em Ordem para o Opcode

Instrução	Formato	Opcode
Add	R	000000
Sub	R	000001
Mul	R	000010
Div	R	000011
Addl	I	000100
And	R	000101
Or	R	000110
Xor	R	000111
Sll	R	001000
Srl	R	001001
Sra	R	001010
Lw	I	001011
Sw	S	001100
Beq	B	001101
Bne	B	001110
Blt	B	001111
Jal	J	010000
Jalr	J	010001
Nfn	R	010010
Halt	I	010011

Formatos

Formato R

Campo	Bits	Descrição
Opcode	6	Operação a ser Realizada
Rd	5	Registrador de Destino
Rs1	5	Registrador de Origem 1
Rs2	5	Registrador de Origem 2
Unused	3	Bits não Utilizados

Formato I

Campo	Bits	Descrição
Opcode	6	Operação a ser Realizada
Rd	5	Registrador de Destino
Rs1	5	Registrador de Origem 1
Imm	8	Deslocamento Imediato

Formato B

Campo	Bits	Descrição
Opcode	6	Operação de desvio
Rs1	5	Registrador de Origem 1
Rs2	5	Registrador de Origem 2
Imm	8	Deslocamento Imediato

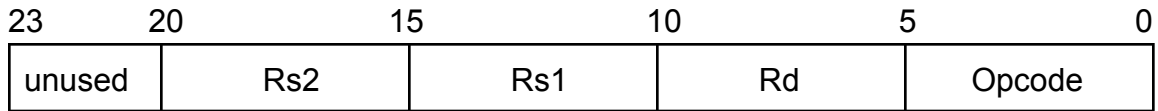
Formato J

Campo	Bits	Descrição
Opcode	6	Operação de salto
Rd	5	Registrador que salvo o PC
Imm	8	Deslocamento Imediato

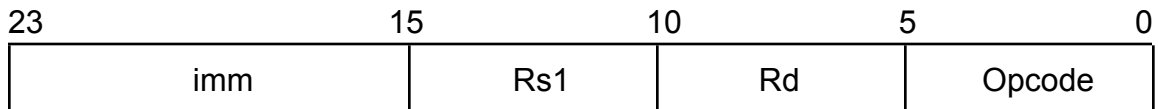
Formato S

Campo	Bits	Descrição
Opcode	6	Operação de carregamento
Rs1	5	Registrador Contendo o endereço base
Rs2	5	Registrador Contendo o dado a ser armazenado
Imm	8	Deslocamento Imediato

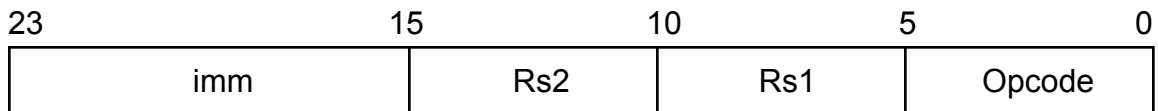
Formato R



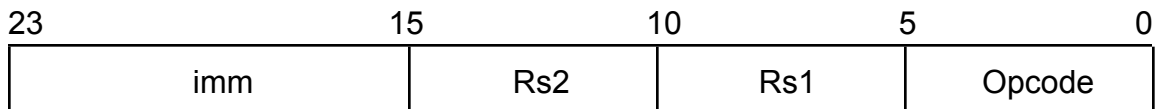
Formato I



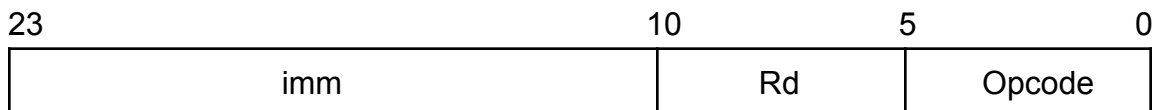
Formato B



Formato S



Formato J



Notas:

- 1) As operações assume inteiros sem sinal (em vez de complemento de 2)
- 2) As instruções de carga estendem o bit de sinal dos dados para preencher o registro de 24 bits
- 3) É possível multiplicar com um operando com sinal e um sem sinal
- 4) O campo imediato é estendido por sinal
- 5) Replica o bit de sinal para preencher os bits mais à esquerda do resultado durante o deslocamento para a direita

Registradores

Registrador	Nome	Descrição	Tipo
X0	Zero	regis. constante 0	N.A.
X1	Ra	Salva o endereço de Retorno	chamador
X2	Sp	Ponteiro de Pilha	chamado
X3	Gp	Ponteiro Global	--
X4	Tp	Ponteiro de Thread	--
X5-X11	T0-T6	Registradores Temporarios	chamador
X12	s0/fp	Frame Pointer	chamado
X13-X14	a0-a1	argumento de função / Retorno	chamador
X15-X20	a2-a7	argumentos de função	chamador
X21	s1	Registrador salvo, preservado entre chamadas de função	chamado
X22-X31	s2-s11	Registrador Salvo	chamado