

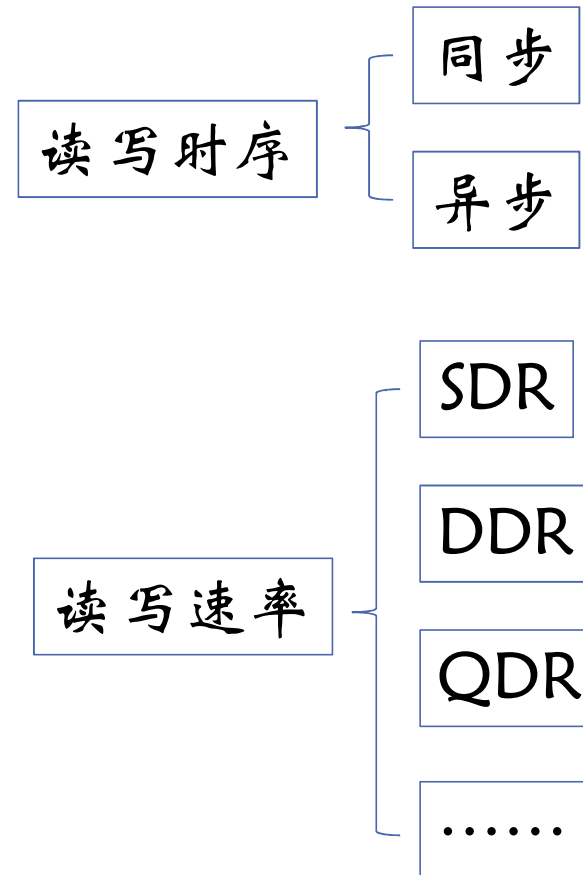
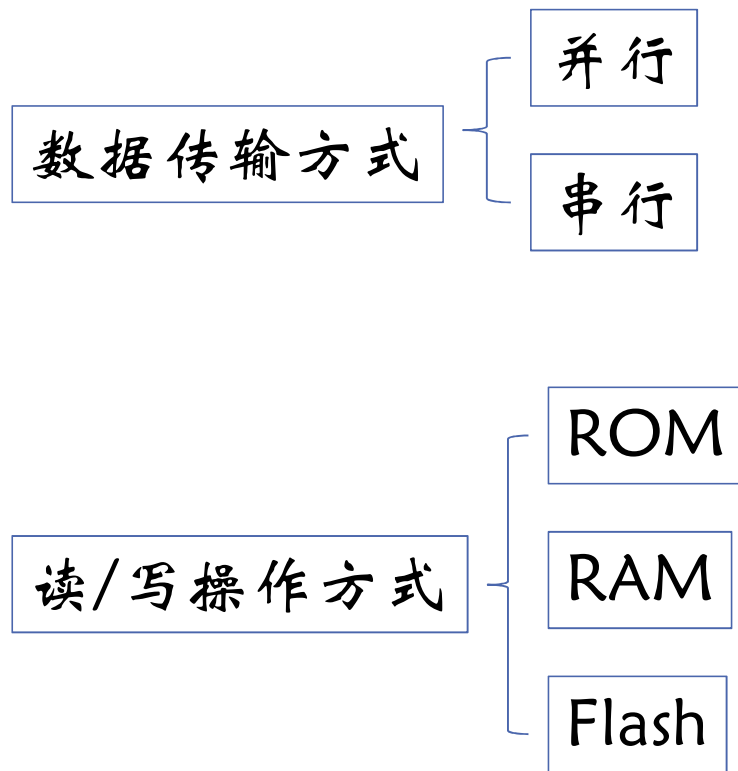
微机原理与接口技术

半导体存储器分类

华中科技大学 左冬红



半导体存储芯片分类



ROM 分类

PROM (programmable ROM) 可编程只读存储器，只能写一次

EPROM (erasable PROM) 可擦除可编程只读存储器，多次编程更改，使用紫外线擦除

EEPROM (electrically EPROM) 电可擦除可编程只读存储器，多次编程更改，使用电擦除

RAM分类

SRAM (static RAM) 静态随机存取存储器，不需刷新电路

DRAM (dynamic RAM) 动态随机存取存储器，每隔一段时间需要刷新一次数据，才能保存数据

SDRAM (synchronous DRAM) 同步动态随机存取存储器，芯片工作需要同步时钟

DDR、DDR2、DDR3、DDR4都属于SDRAM

Flash 分类

结合了ROM和RAM的长处，不仅具备电子可擦除可编程（EEPROM）的性能，还不会断电丢失数据，同时可以快速读取数据

NOR FLASH

速度快，应用程序可以直接运行在内

NAND FLASH

密度大，作为文件存储设备

nvSRAM

(nonvolatile SRAM) 非易失静态随机存取存储器

集成SRAM和EEPROM

存储芯片封装

地址线

地址线的多少表征存储器芯片的存储深度（字数）

数据线

数据线的多少表征存储器的数据宽度

片选线

片选线用于选中某一指定存储器芯片

控制线

控制线主要用于控制数据的传输方向

小结

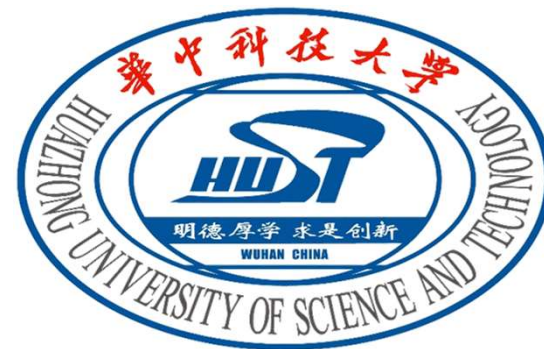
- 存储芯片分类
 - RAM
 - ROM
 - FLASH
 - 同步
 - 异步
 - SDR
 - DDR
 - QDR

下一讲：典型存储芯片

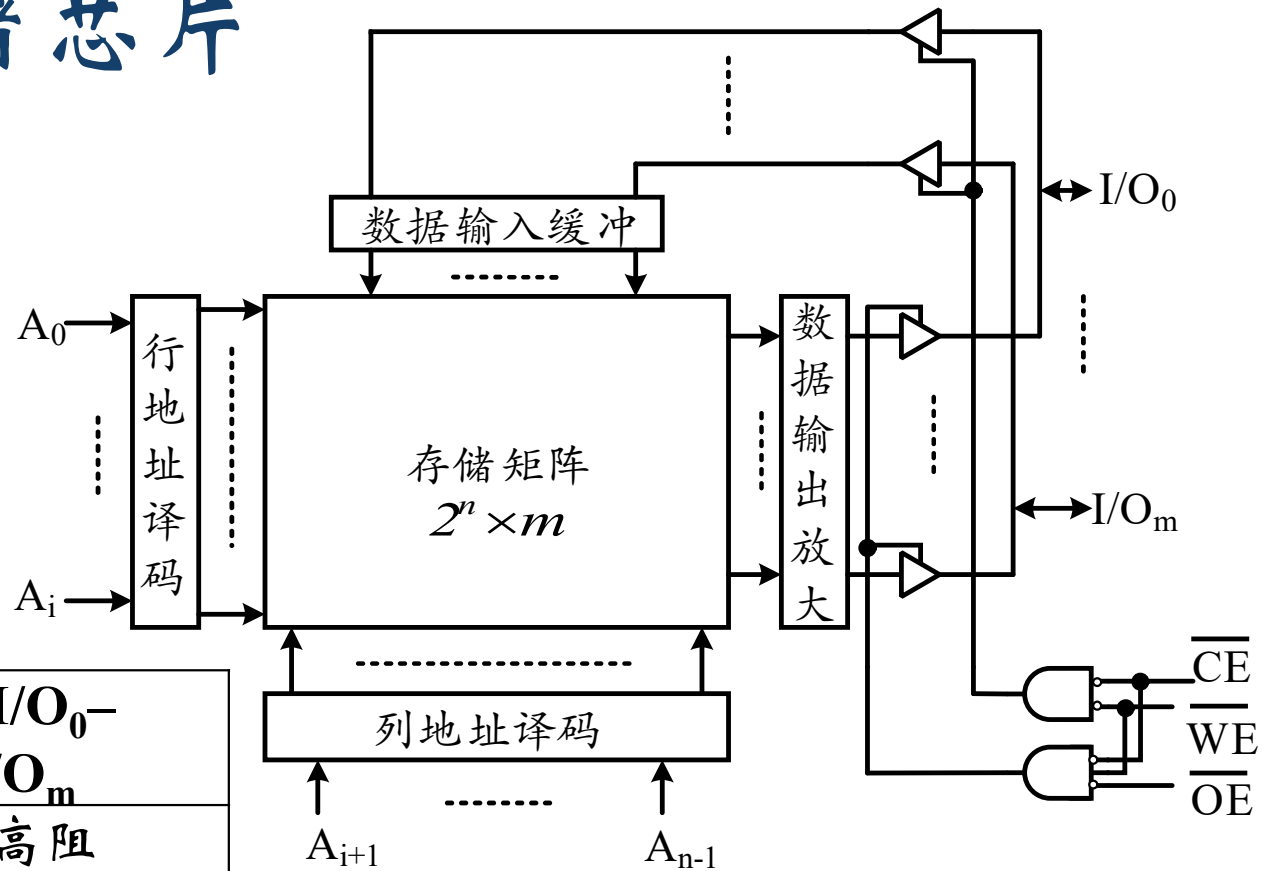
微机原理与接口技术

典型存储芯片结构

华中科技大学 左冬红

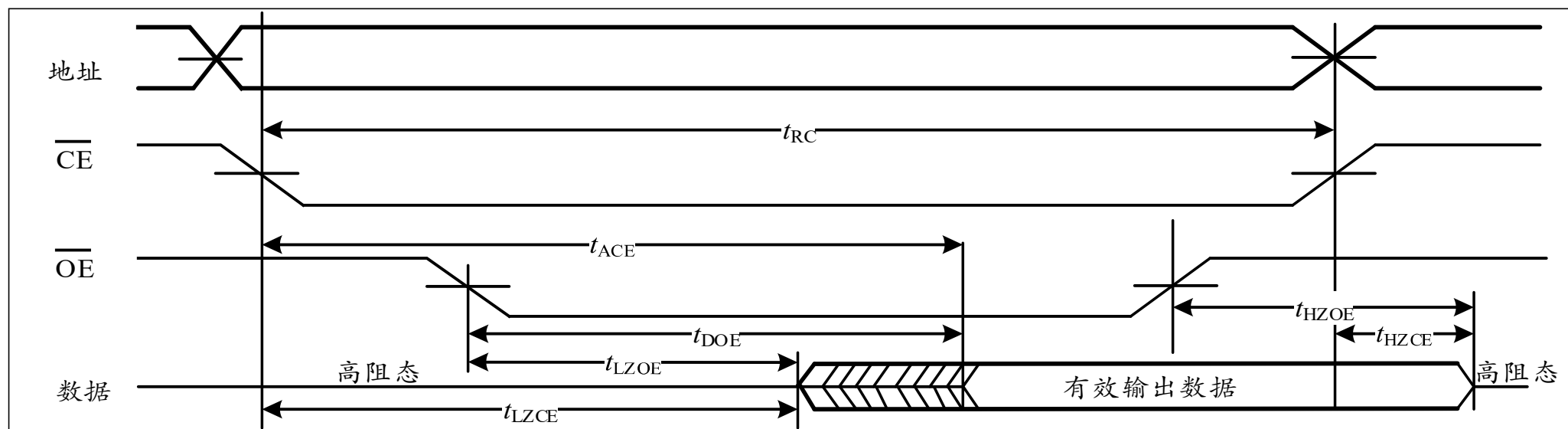
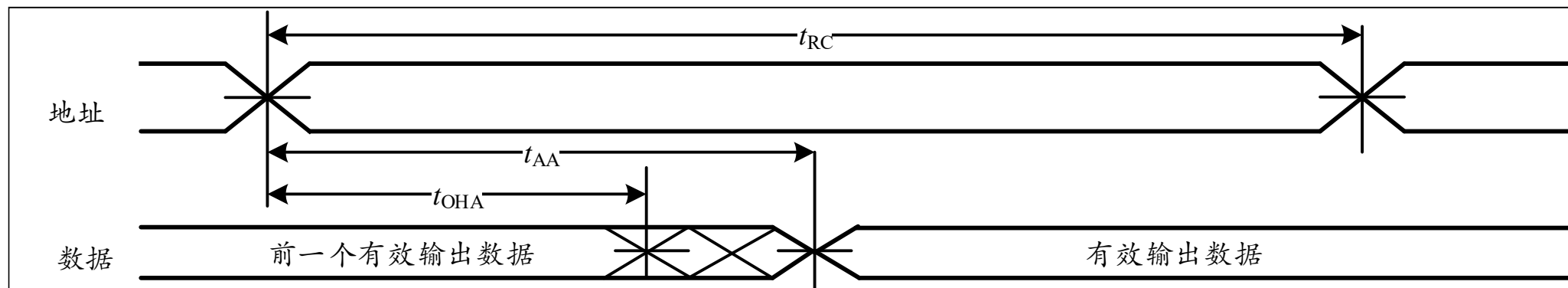


异步SRAM存储芯片

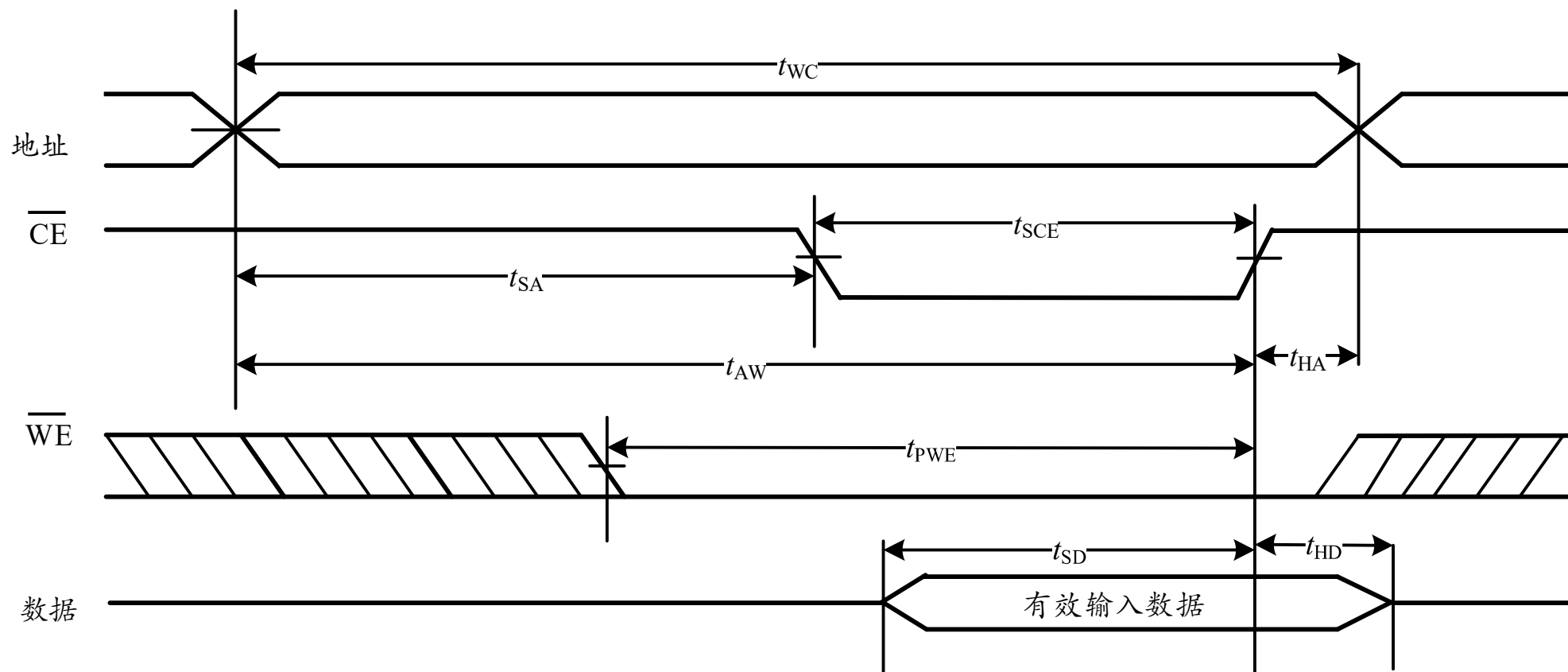


工作模式	\overline{CE}	\overline{WE}	\overline{OE}	$I/O_0 - I/O_m$
保持 (低功耗)	1	X	X	高阻
读	0	1	0	数据输出
写	0	0	1	数据输入
输出无效	0	1	1	高阻

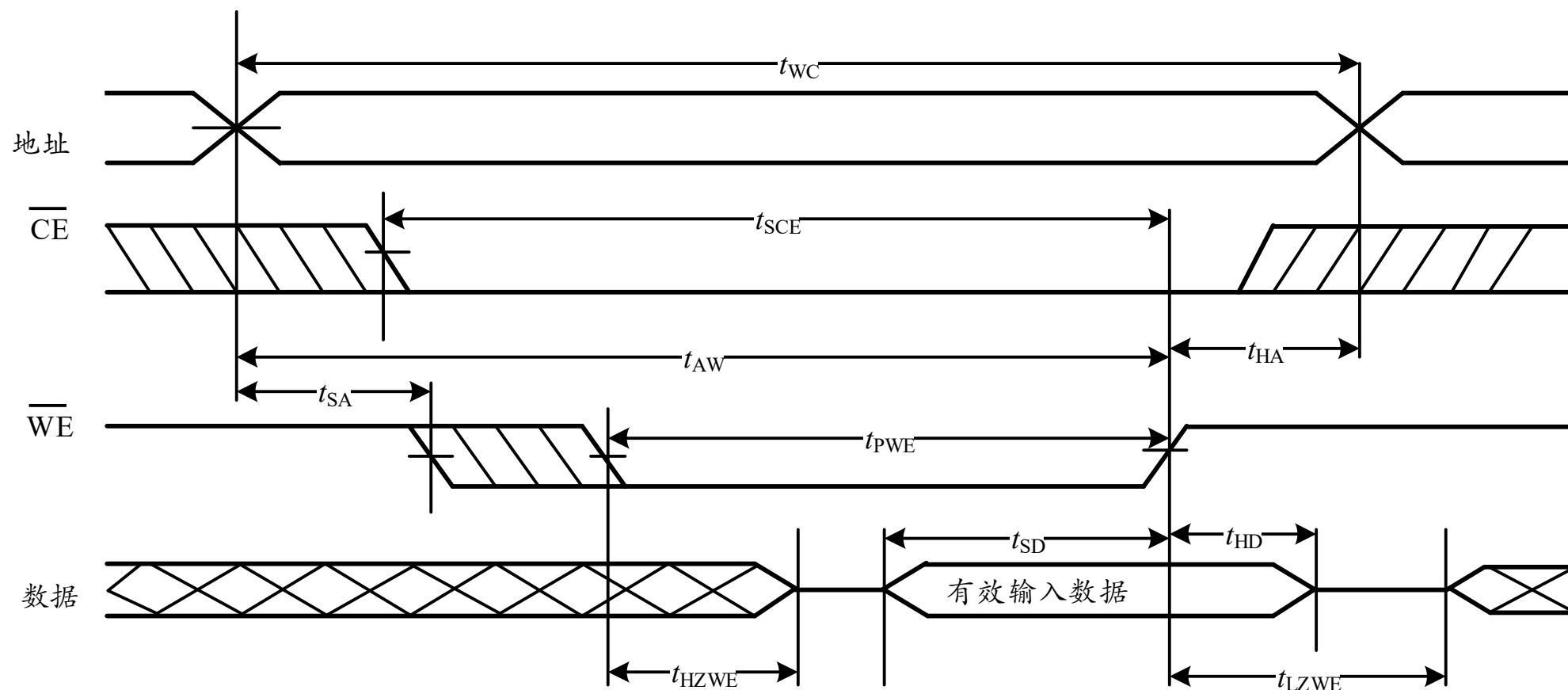
异步SRAM存储芯片读时序



异步SRAM存储芯片写时序1

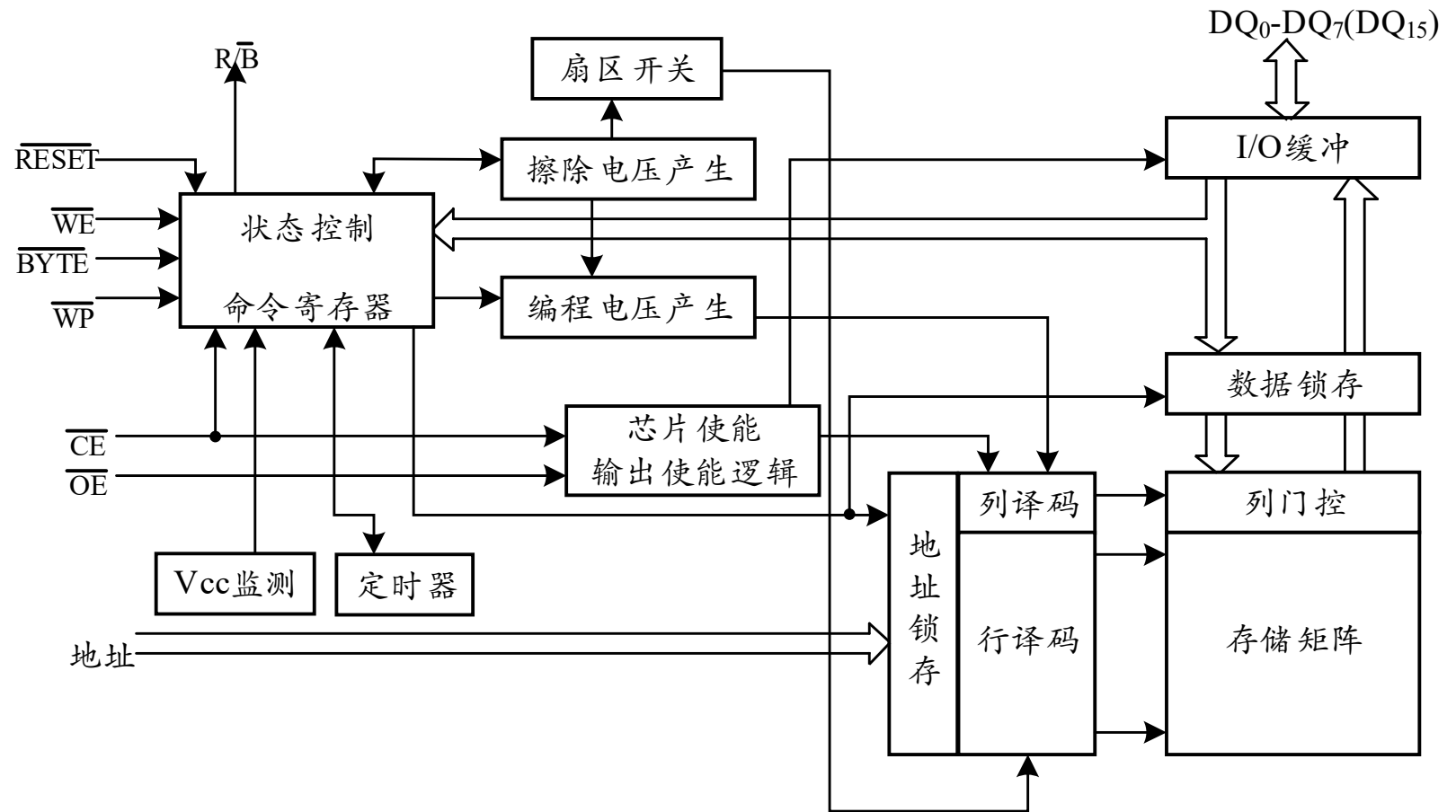


异步SRAM存储芯片写时序2

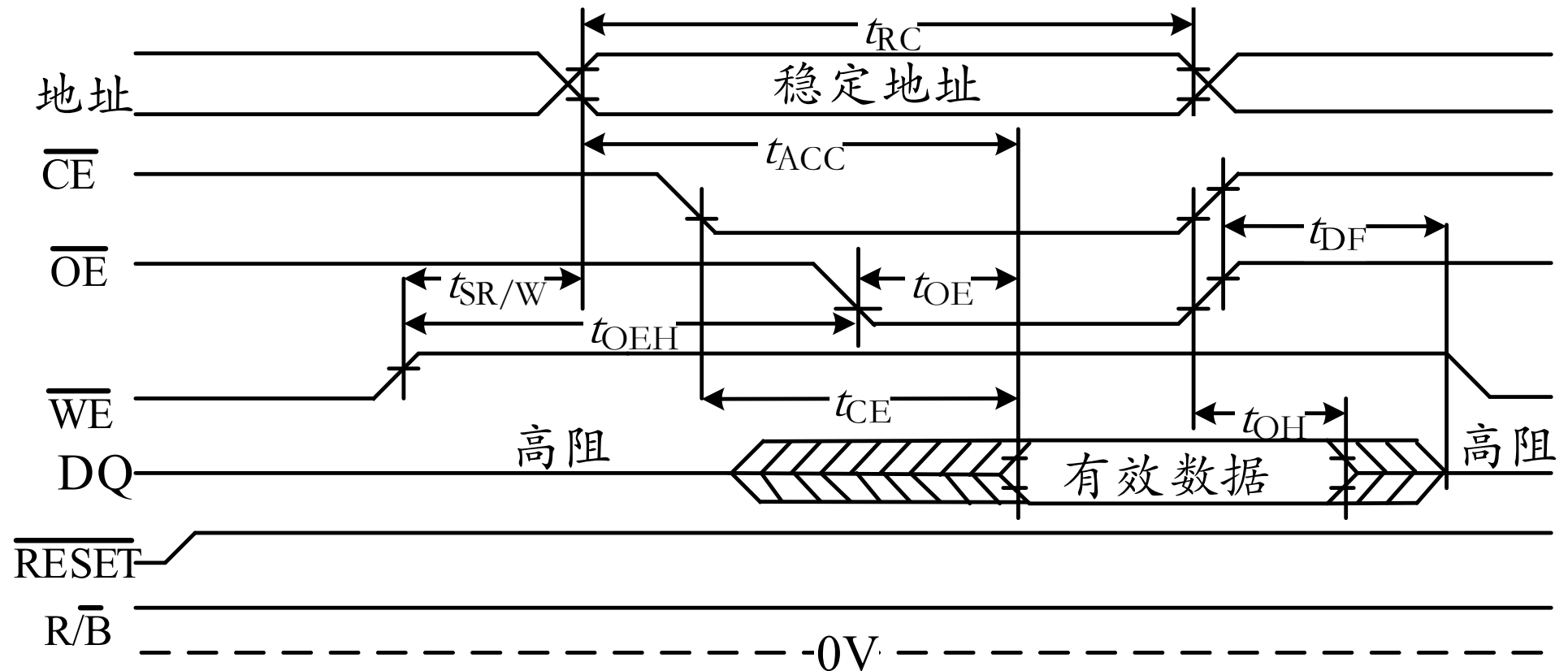


NOR Flash存储芯片

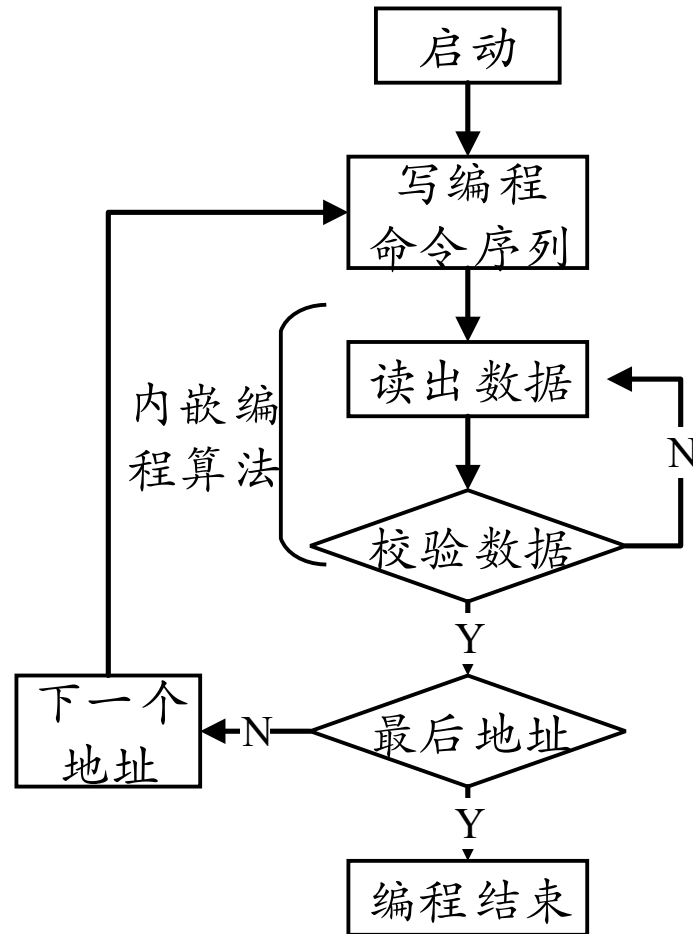
NOR FLASH
的读取和
SRAM类似，
只要能够提
供地址，数
据总线就能
够正确地输
出数据，但
不可以直接
进行写操作



NOR Flash存储芯片读时序



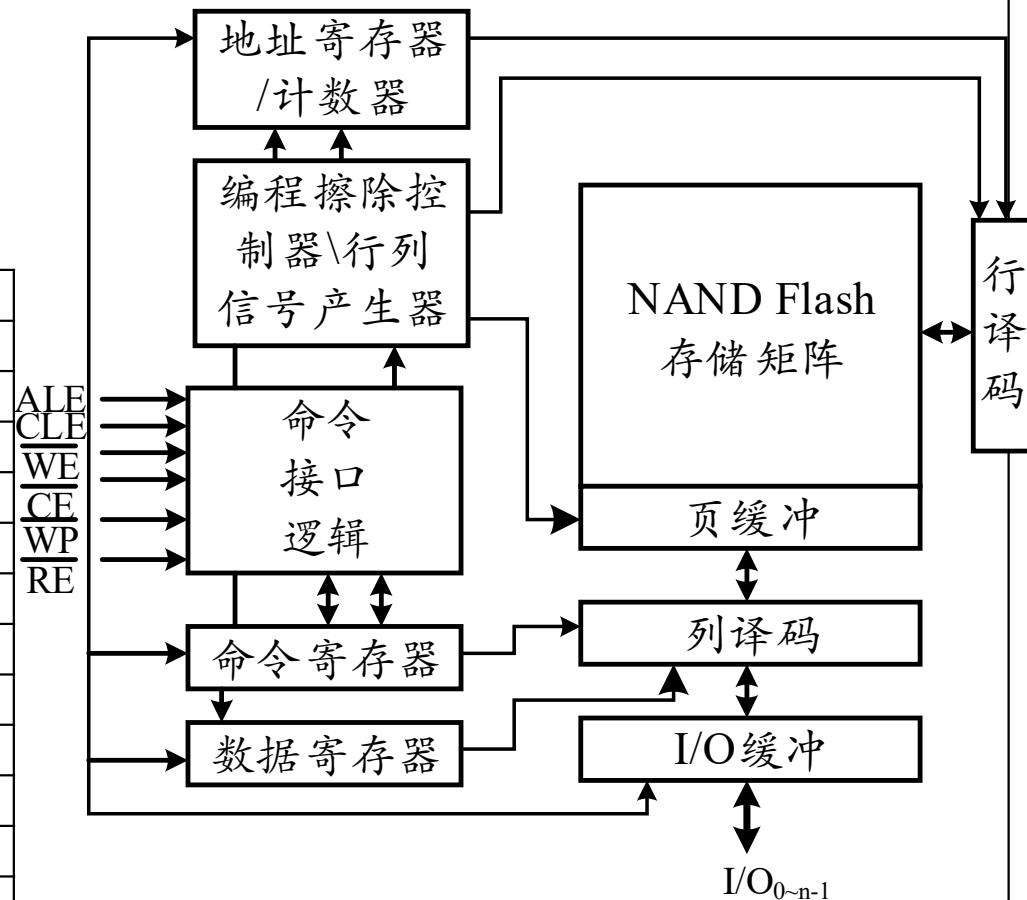
NOR Flash存储芯片编程流程



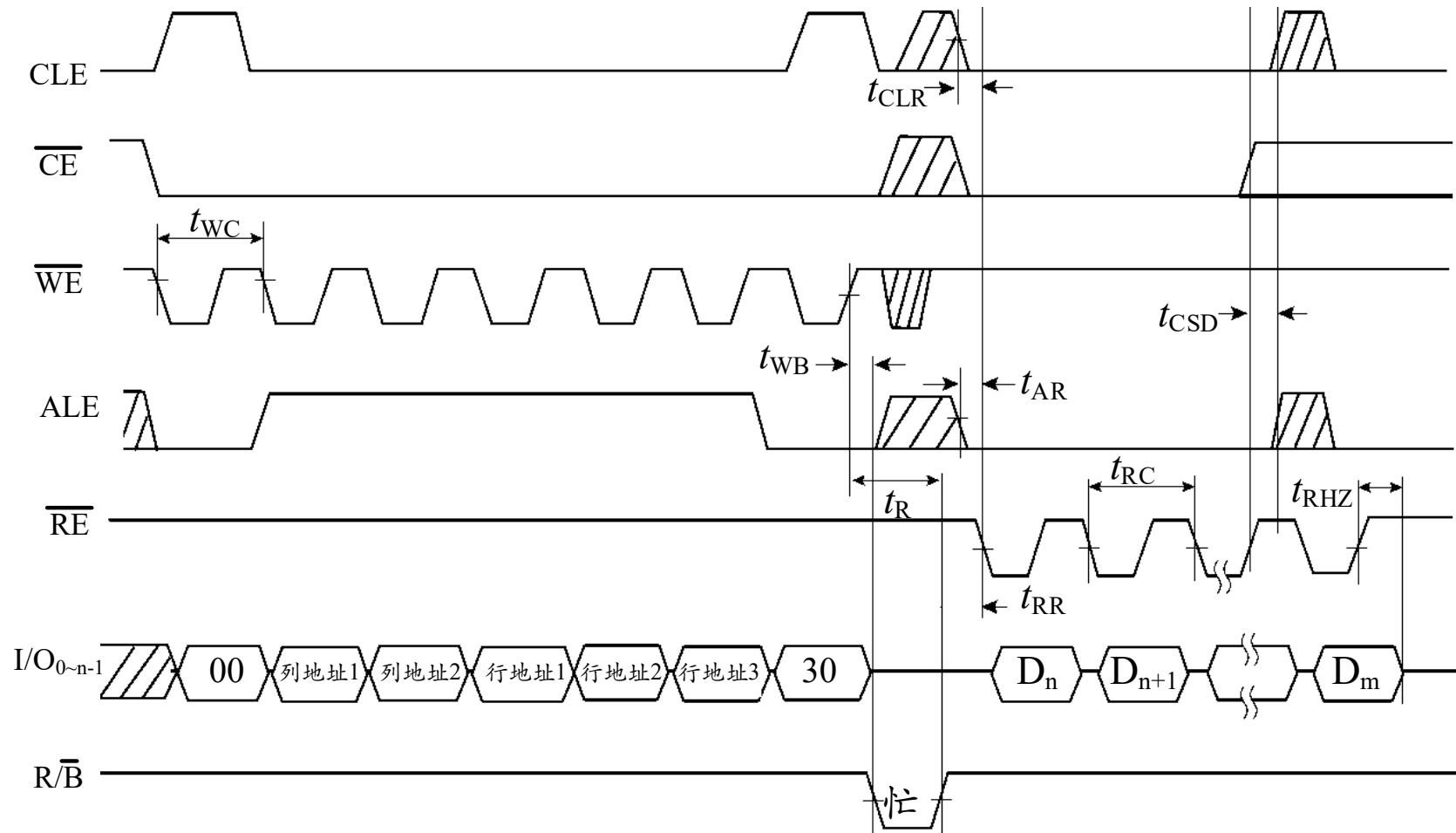
NAND Flash存储芯片

命令、地址、数据都由I/O引脚输入

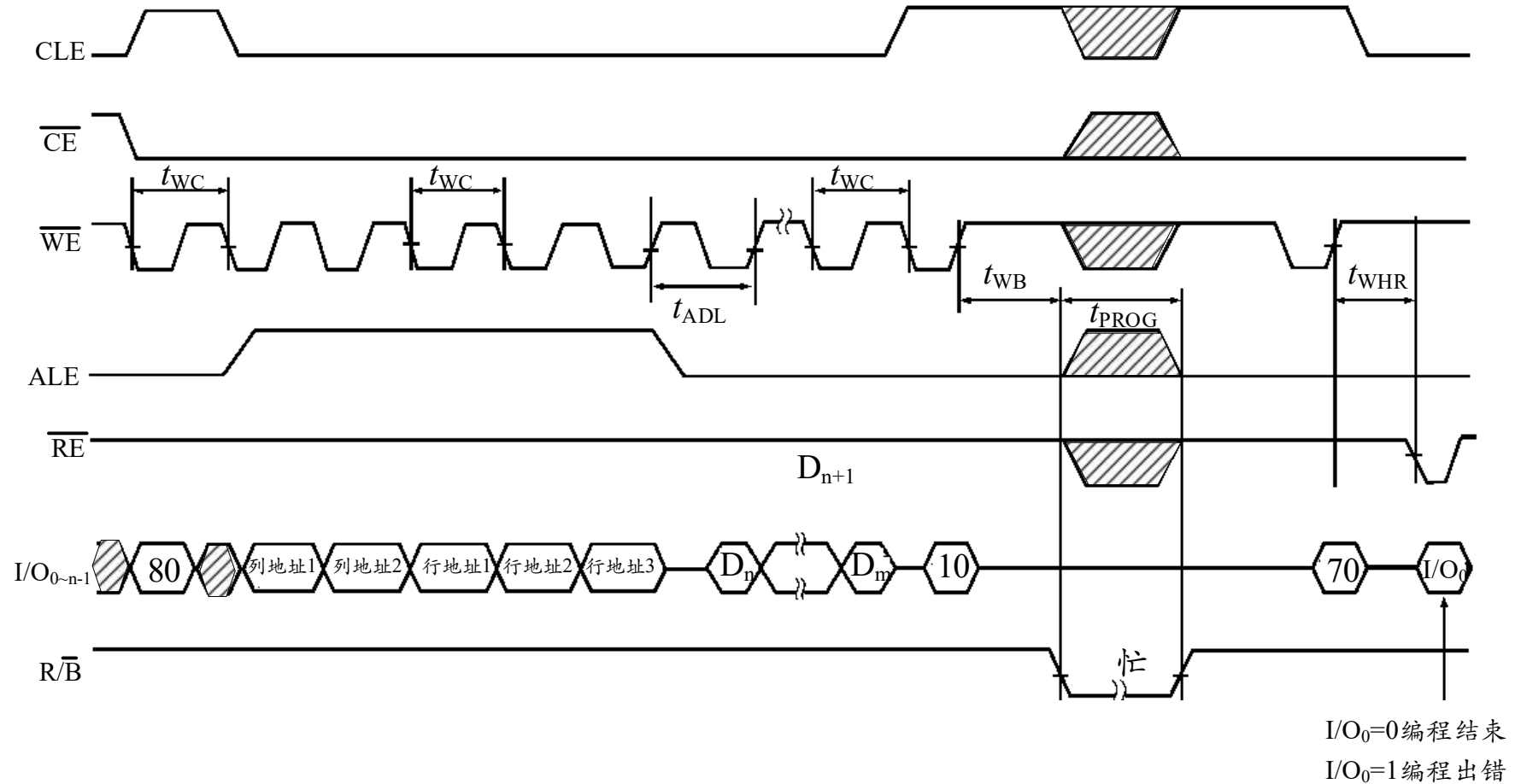
模式		CLE	ALE	$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{RE}}$	$\overline{\text{WP}}$
读	命令输入	1	0	0	↑	1	X
	地址输入	0	1	0	↑	1	X
编程擦除	命令输入	1	0	0	↑	1	1
	地址输入	0	1	0	↑	1	1
数据输入		0	0	0	↑	1	1
数据输出		0	0	0	1	↓	X
数据输出暂停		X	X	X	1	1	X
读忙		X	X	X	1	1	X
编程忙		X	X	X	X	X	1
擦除忙		X	X	X	X	X	1
写保护		X	X	X	X	X	0
空闲		X	X	1	X	X	0V/V _{CC}



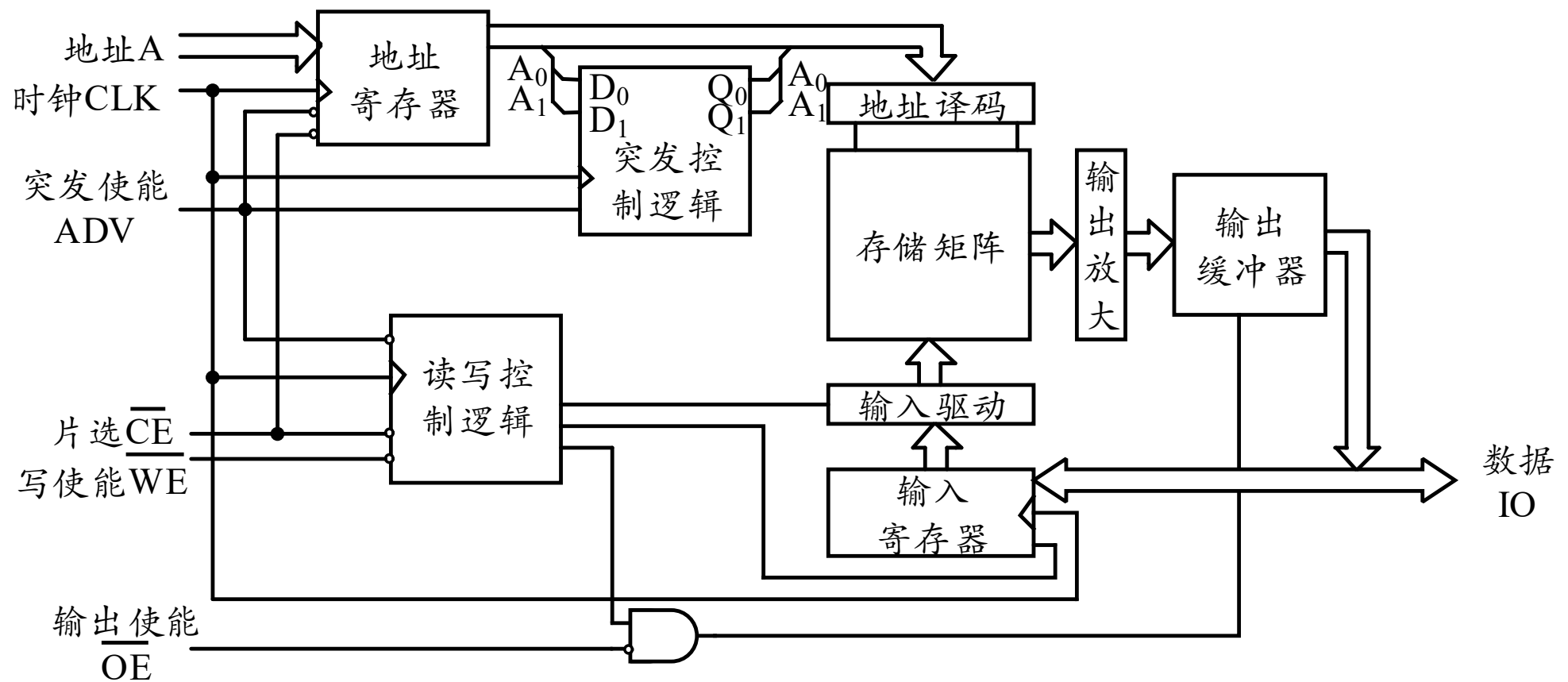
NAND Flash 页读操作时序



NAND Flash 页写操作时序



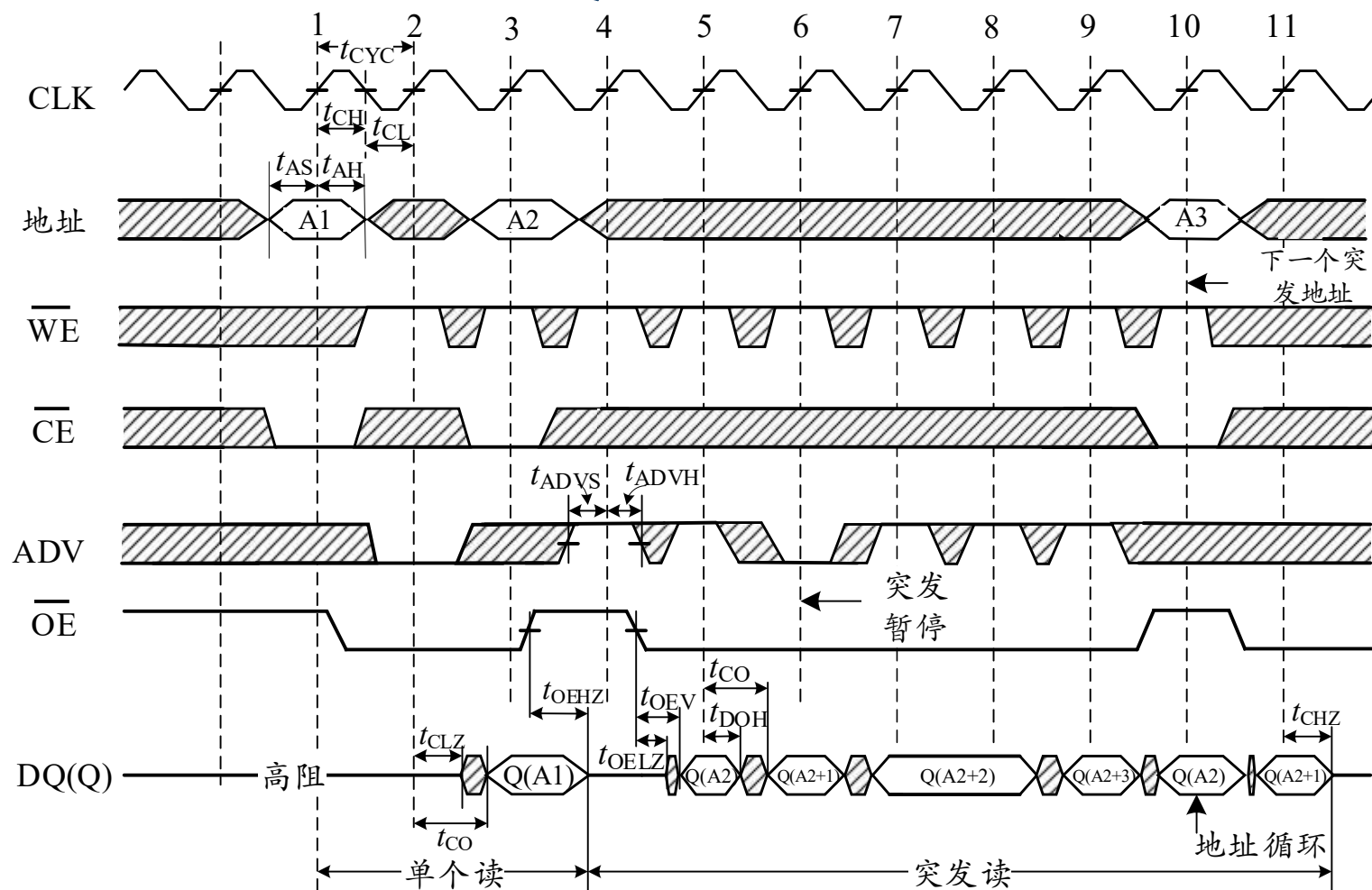
同步SSRAM存储芯片



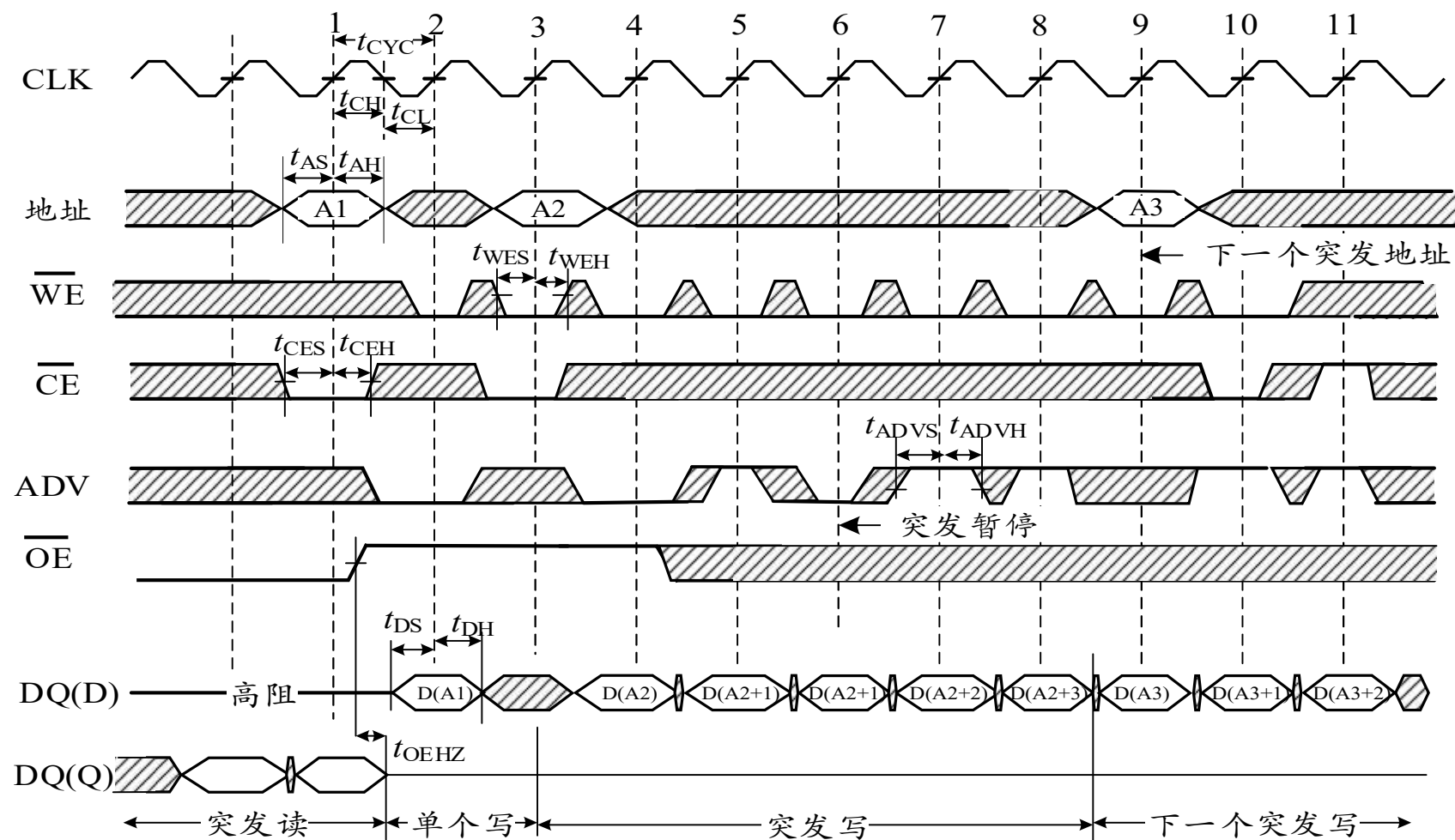
SSRAM存储芯片工作模式

工作模式	存储单元地址	$\overline{\text{CE}}$	ADV	$\overline{\text{WE}}$	$\overline{\text{OE}}$	CLK	IO
保持（微功耗）	X	1	X	X	X	↑	高阻
突发读第一个数据	外部输入地址	0	X	1	0	↑	输出
突发写第一个数据	外部输入地址	0	X	0	X	↑	输入
突发读下一个数据	下一个地址	X	1	1	0	↑	输出
突发写下一个数据	下一个地址	X	1	0	X	↑	输入
突发读暂停	当前地址	X	0	1	0	↑	输出
突发写暂停	当前地址	X	0	0	X	↑	输入

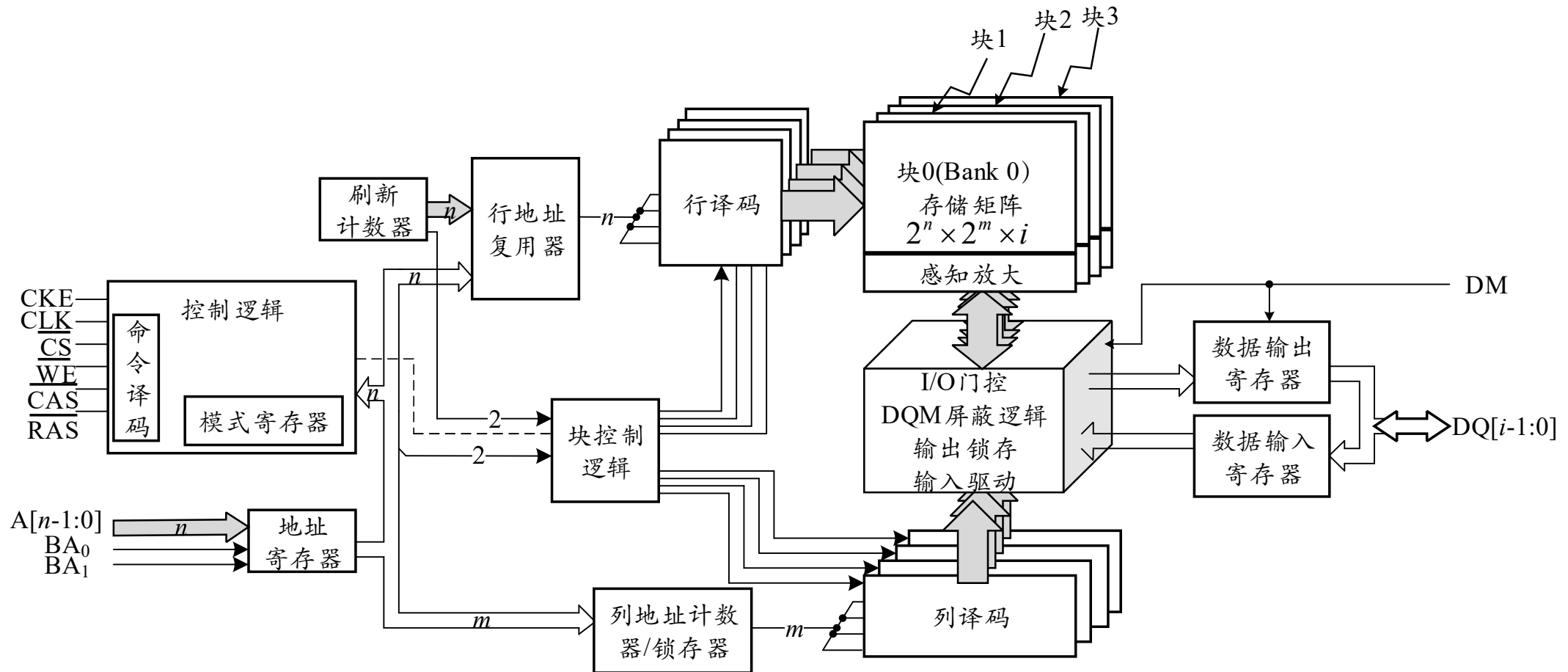
SSRAM读操作时序



SSRAM写操作时序



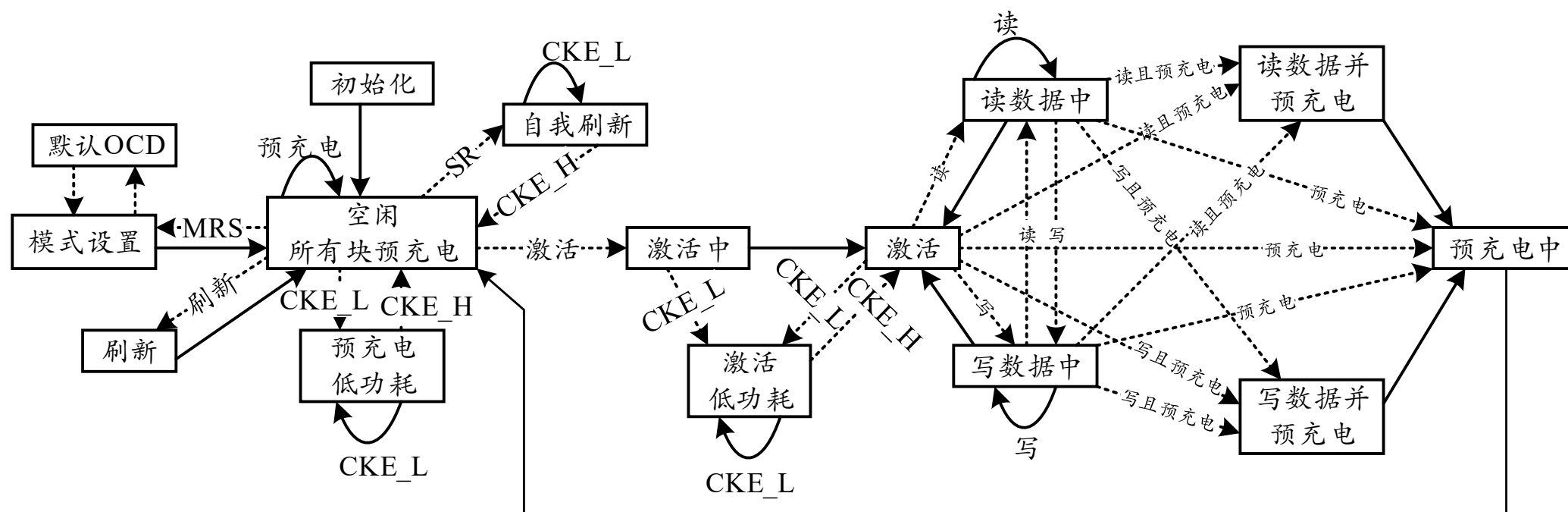
SDRAM存储芯片



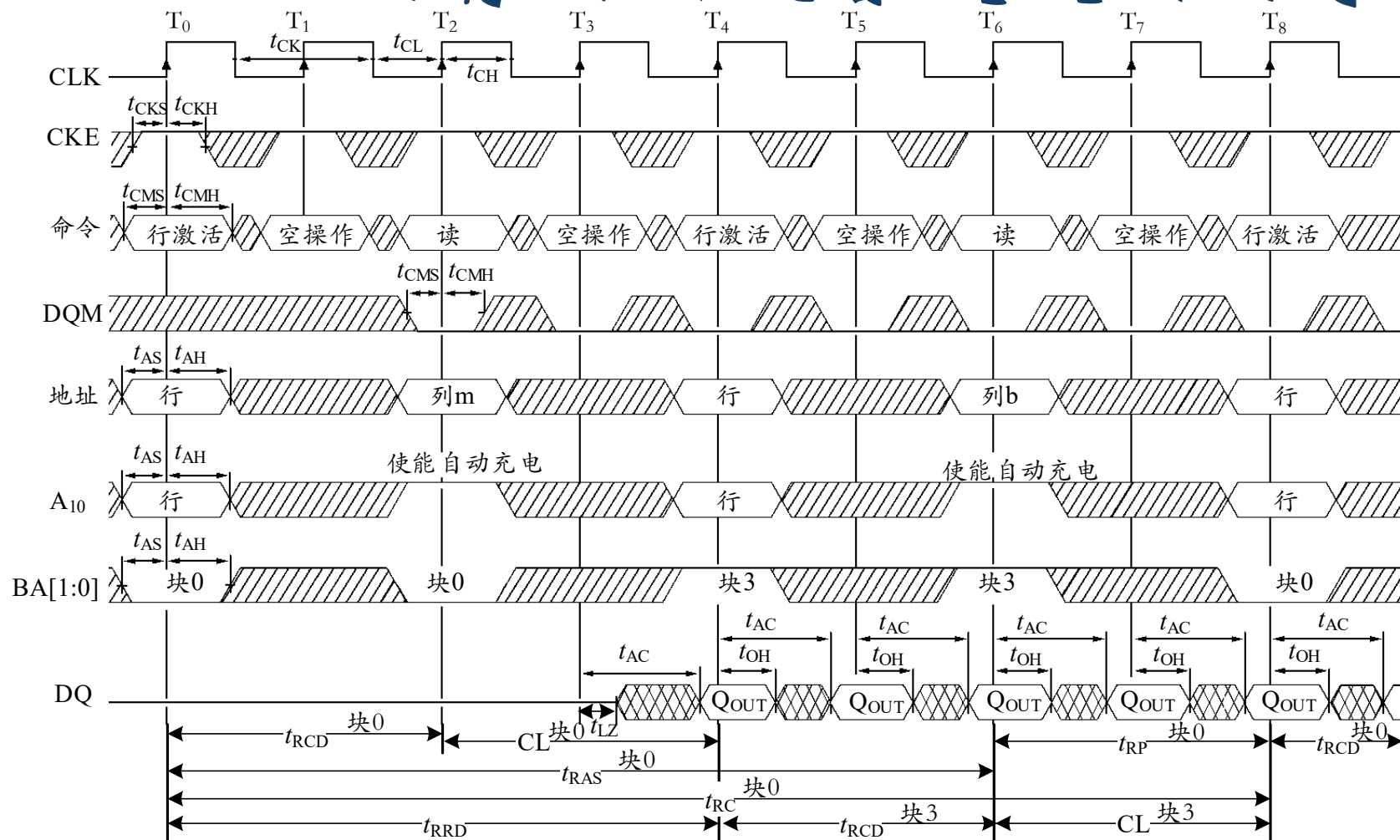
SDR SDRAM存储芯片命令

命令名称	\overline{CS}	\overline{RAS}	\overline{CAS}	\overline{WE}	DM	地址	DQ
禁止	1	X	X	X	X	X	X
空操作	0	1	1	1	X	X	X
激活(激活选中存储块中的行)	0	0	1	1	X	块/行	X
读(选择存储块和列、开始突发读)	0	1	0	1	0/1	块/列	X
写(选择存储块和列、开始突发写)	0	1	0	0	0/1	块/列	有效
突发终止	0	1	1	0	X	X	激活
预充电(使行失活)	0	0	1	0	X	编码	X
刷新	0	0	0	1	X	X	X
装载模式寄存器	0	0	0	0	X	模式码	X
写/读使能	X	X	X	X	0	X	激活
写/读禁止	X	X	X	X	1	X	高阻

SDRAM存储芯片在各种命令控制下的状态转换关系

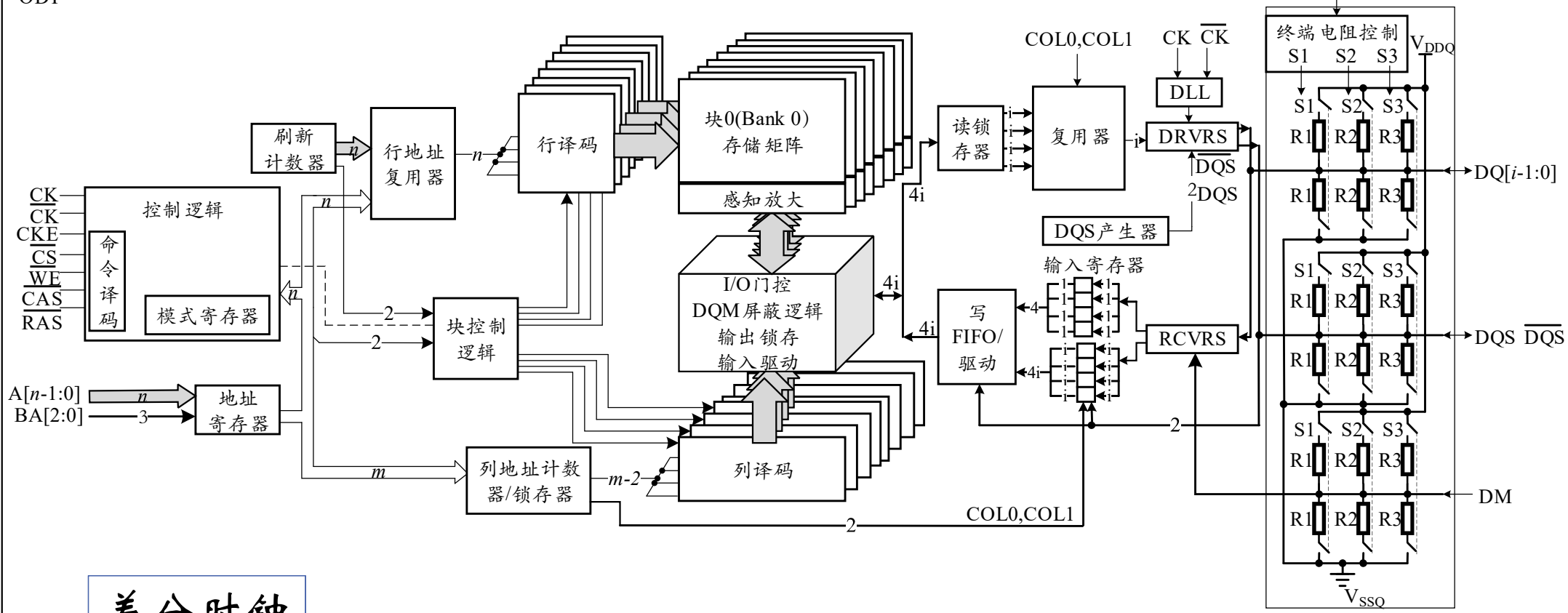


SDRAM不同存储块交替突发读时序



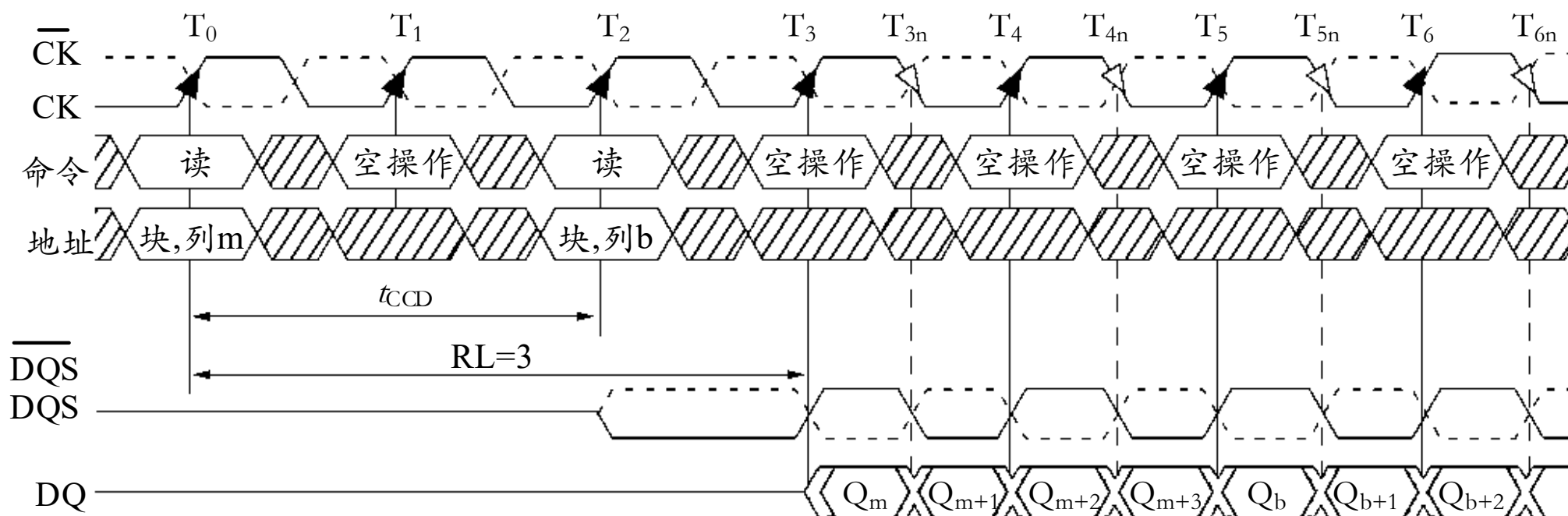
DDR2 SDRAM存储芯片

ODT

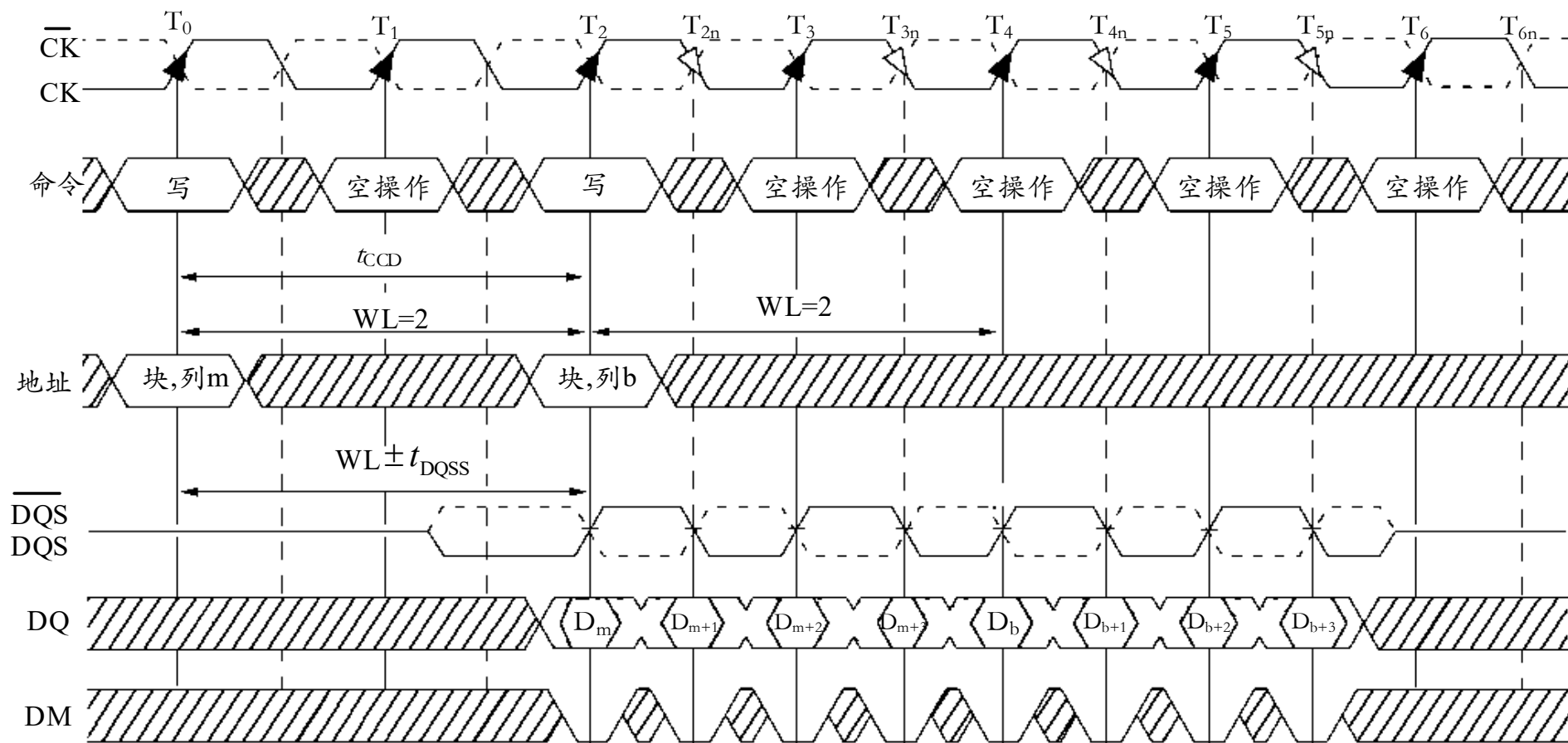


差分时钟

DDR2 SDRAM 连续突发读时序



DDR2 SDRAM连续突发写时序



小结

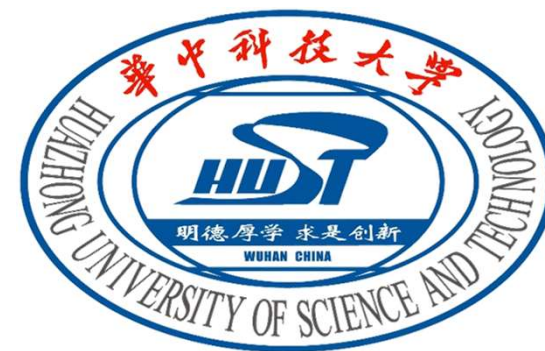
- 常用存储芯片
 - 结构
 - 外部接口
 - 读写时序

下一讲：存储器接口设计

微机原理与接口技术

存储器接口设计 容量扩展、空间映射

华中科技大学 左冬红



术语

逻辑存储空间

计算机系统微处理器能访问的存储空间

物理存储空间

由存储芯片构成的存储空间

存储器接口设计需解决的问题

存储容量扩展

由小容量存储芯片构建一定容量的存储器

存储空间映射

将物理存储空间映射到合适的逻辑存储空间

多类型数据访问

不同宽度数据线的存储芯片构建统一的支持多种不同类型数据访问的存储器

操作时序匹配

匹配总线与存储芯片的操作时序

存储容量扩展

字数扩展

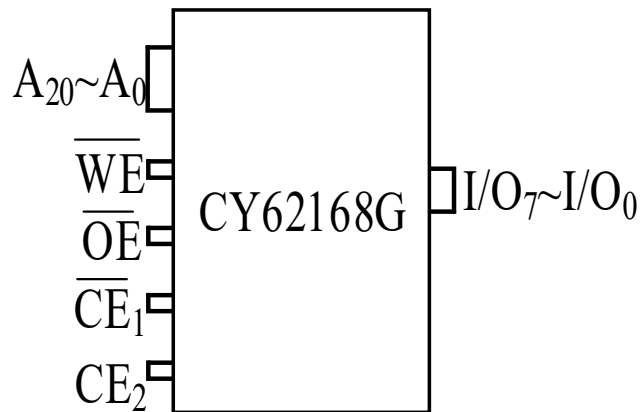
可寻址存储空间数增多，地址线增多

字长扩展

存储单元位数增多，数据线增多

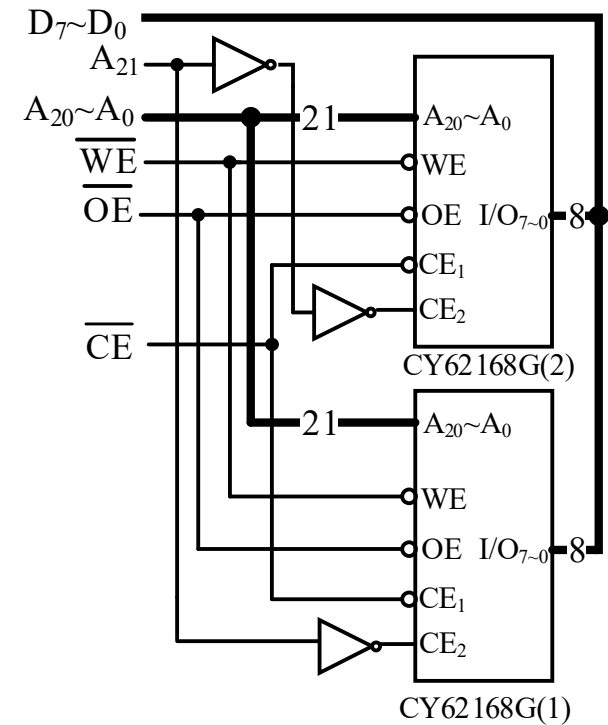
字数扩展示例

基于异步SRAM存储芯片CY62168G(2M×8b) 设计一容量为4M×8b的存储器



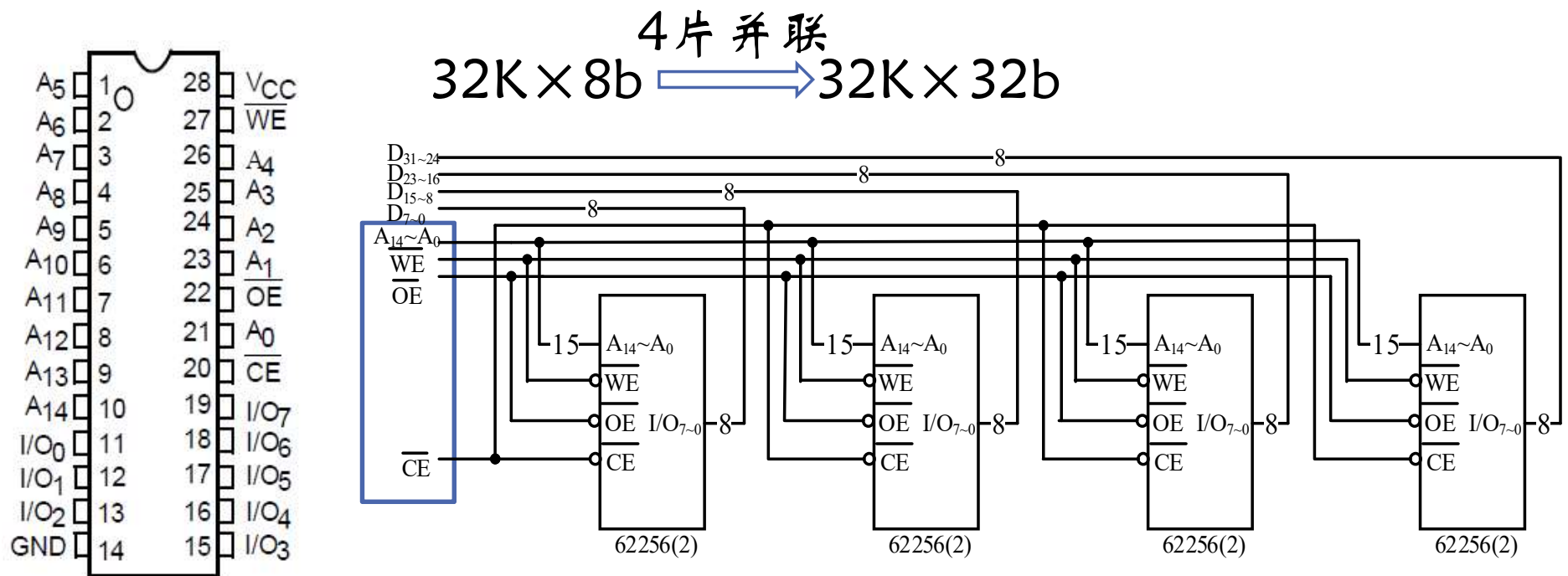
需存储芯片数为: $\frac{4\text{M} \times 8\text{b}}{2\text{M} \times 8\text{b}} = 2$

增加一位地址，选择两个芯片的片选



字长扩展示例

异步SRAM存储芯片62256设计一个32K×32b的存储器

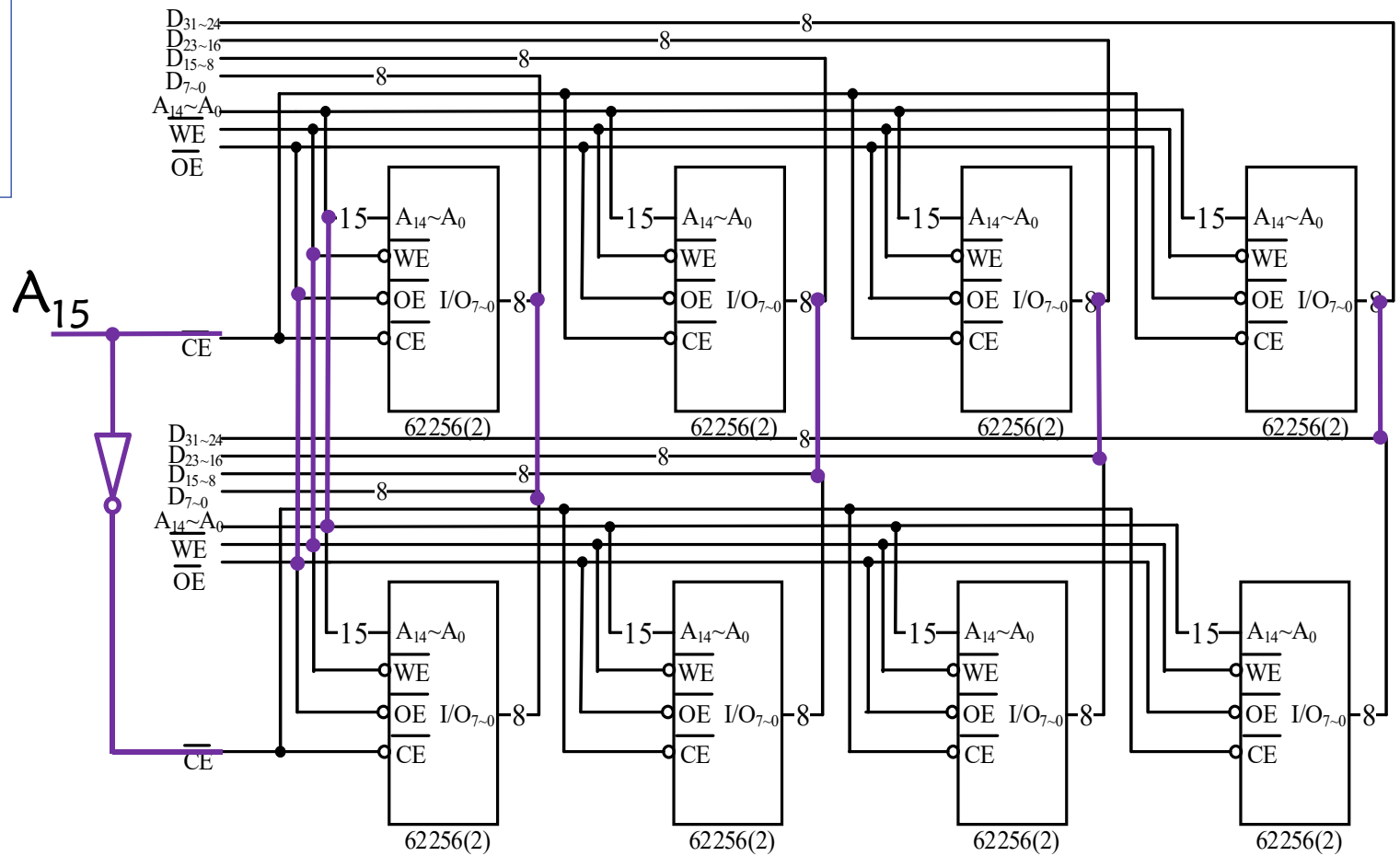


每片芯片各自连接不同数据线

字数、字长扩展

异步SRAM存储芯片
62256设计一个
64K×32b的存储器

32K×8b
↓ 4片并联
32K×32b
↓ 2组串联
64K×32b

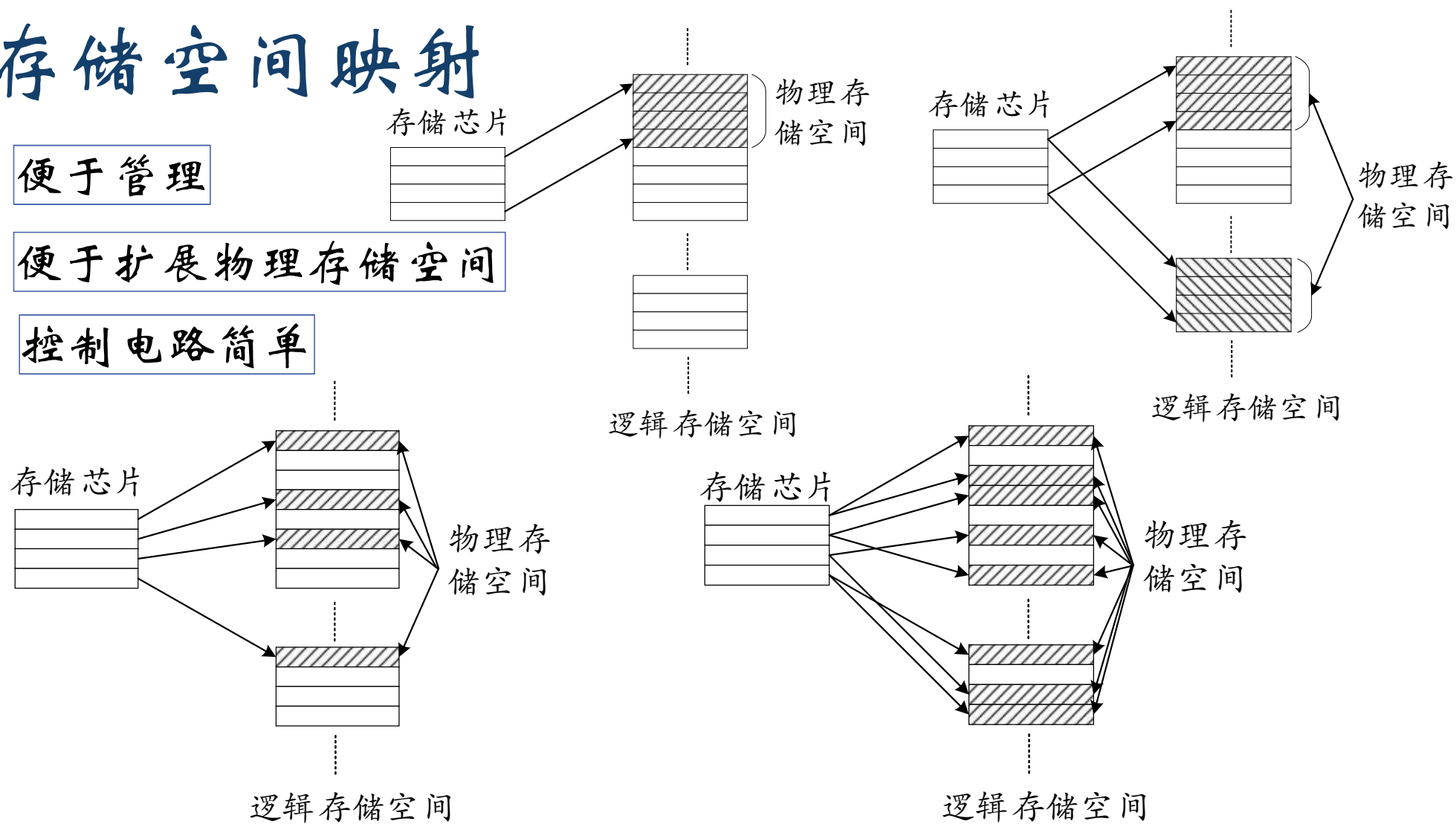


存储空间映射

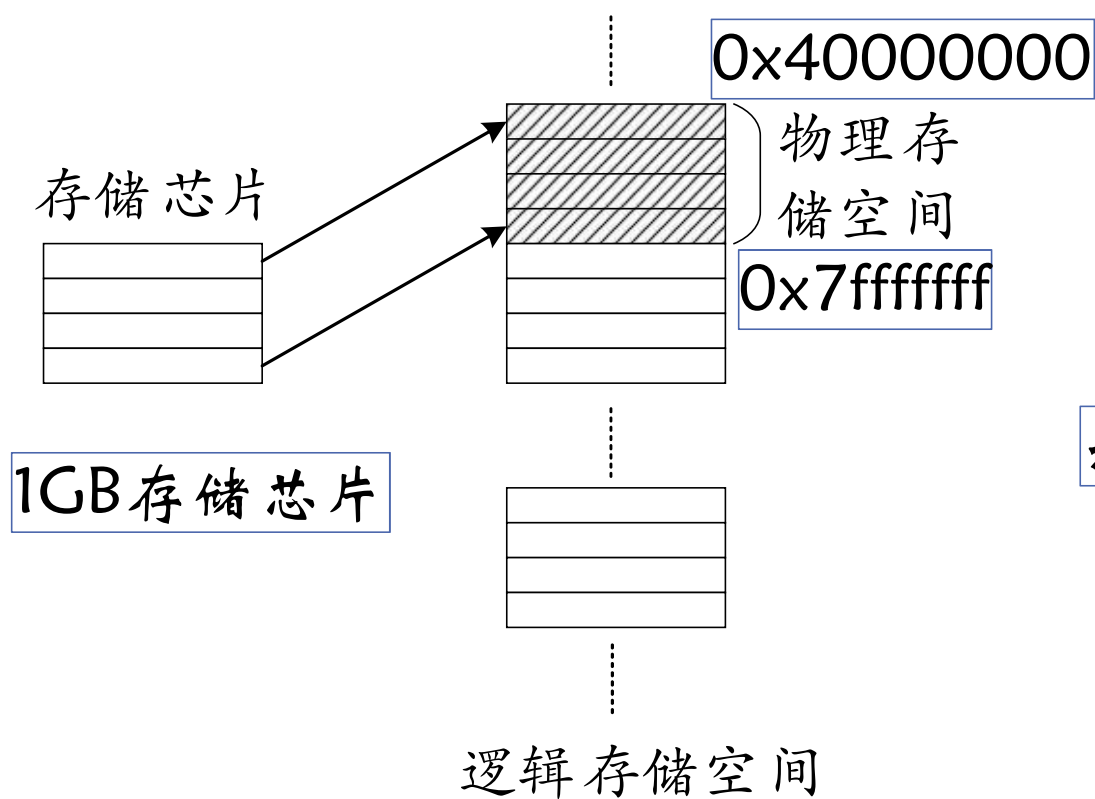
便于管理

便于扩展物理存储空间

控制电路简单



存储空间映射



存储空间映射

地址线

寻址片内存储单元

存储芯片

片选线

选中整个芯片

地址低位连续变化

总线地址低位与存储芯片地址线各位对应连接

地址高位不变

总线地址高位译码之后连接存储芯片片选线

术语

全译码法

存储系统地址总线除去连接存储芯片地址线之外的所有剩余高位地址译码之后连接到存储芯片片选端

一对一整体映射

部分译码法

部分高位地址线译码之后连接到存储芯片片选端

线选法

仅一位高位地址线连接到存储芯片片选端

一对多整体映射

地址译码电路

逻辑门

与非门、或非门、非门、或门、与门

专用译码器

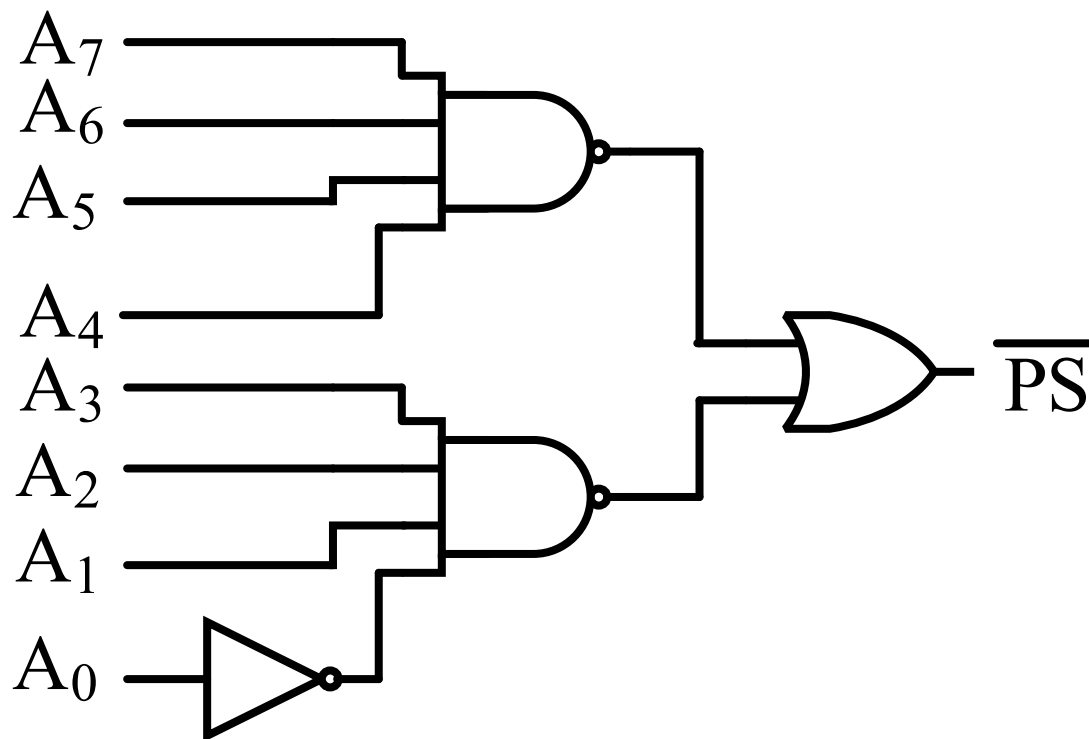
138,139等译码器

硬件描述语言-可编程逻辑器件

CPLD,PLD,FPGA

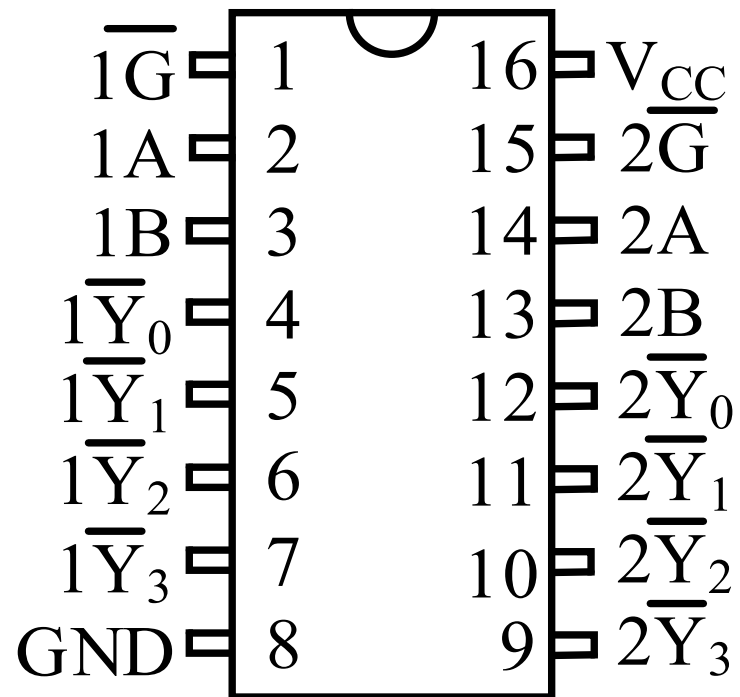
逻辑门译码电路

8位
地址总线



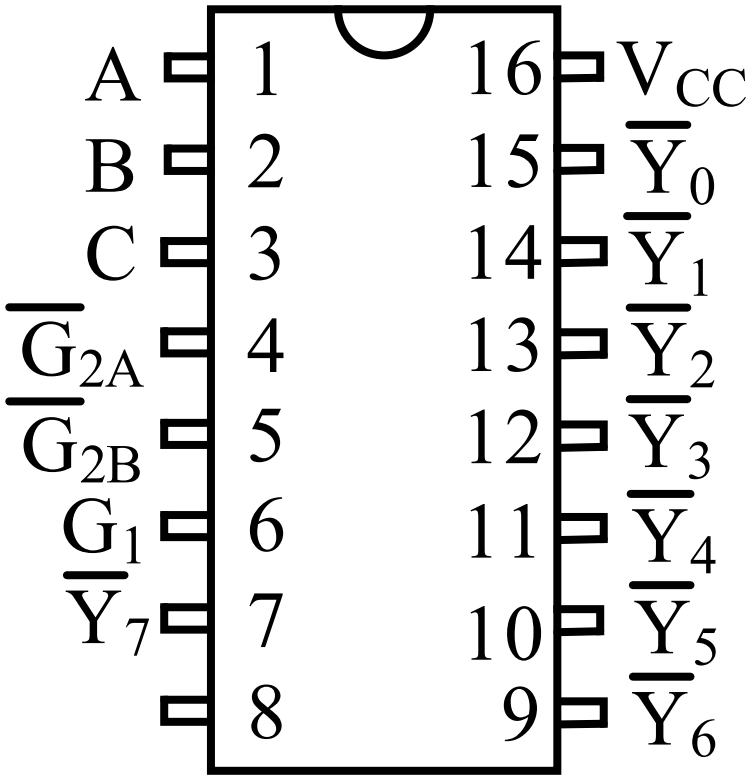
地址: 0xfe

专用译码器-139



输入			输出			
使能端	选择端					
\overline{G}	A	B	\overline{Y}_0	\overline{Y}_1	\overline{Y}_2	\overline{Y}_3
1	X	X	1	1	1	1
0	0	0	0	1	1	1
0	1	0	1	0	1	1
0	0	1	1	1	0	1
0	1	1	1	1	1	0

专用译码器-138



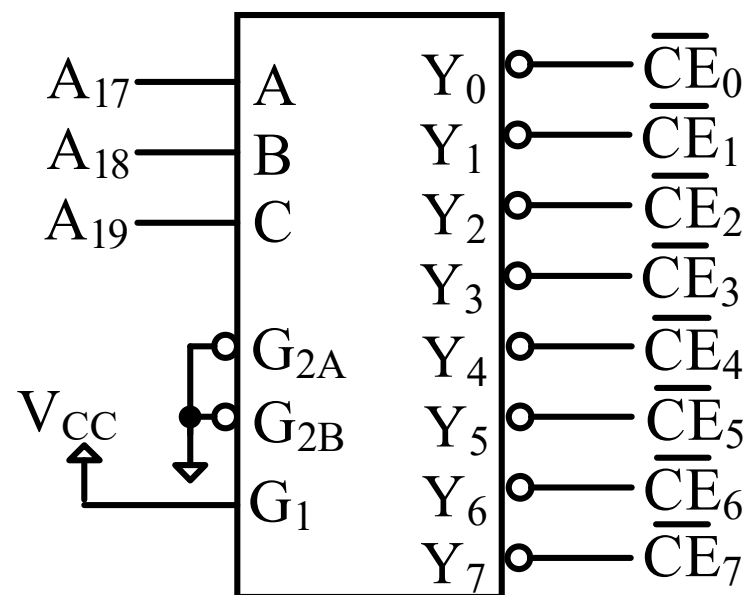
输入						输出							
使能端			选择端										
\overline{G}_1	\overline{G}_{2B}	\overline{G}_{2A}	C	B	A	\overline{Y}_7	\overline{Y}_6	\overline{Y}_5	\overline{Y}_4	\overline{Y}_3	\overline{Y}_2	\overline{Y}_1	\overline{Y}_0
1	0	0	1	1	1	0	1	1	1	1	1	1	1
1	0	0	1	1	0	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	1	0	1	1	1	1	1
1	0	0	1	0	0	1	1	1	0	1	1	1	1
1	0	0	0	1	1	1	1	1	1	0	1	1	1
1	0	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	0	0	0	1	1	1	1	1	1	1	0
0	X	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	X	1	1	1	1	1	1	1	1
X	X	1	X	X	X	1	1	1	1	1	1	1	1

译码器译码电路示例

某计算机系统地址总线宽度为20位，可访问的存储空间大小为1MB，若采用8个128KB的存储芯片为该计算机系统构建一个1MB的存储器，各个存储芯片具有独立的片选使能信号 \overline{CE}_{7-0} ，试设计译码电路产生这8个存储芯片的片选使能信号 \overline{CE}_{7-0} ？

128KB的芯片本身具有17根地址总线：
 $A_{16} \sim A_0$

地址总线宽度为20位，
剩余3根高位地址线
 $A_{19} \sim A_{17}$

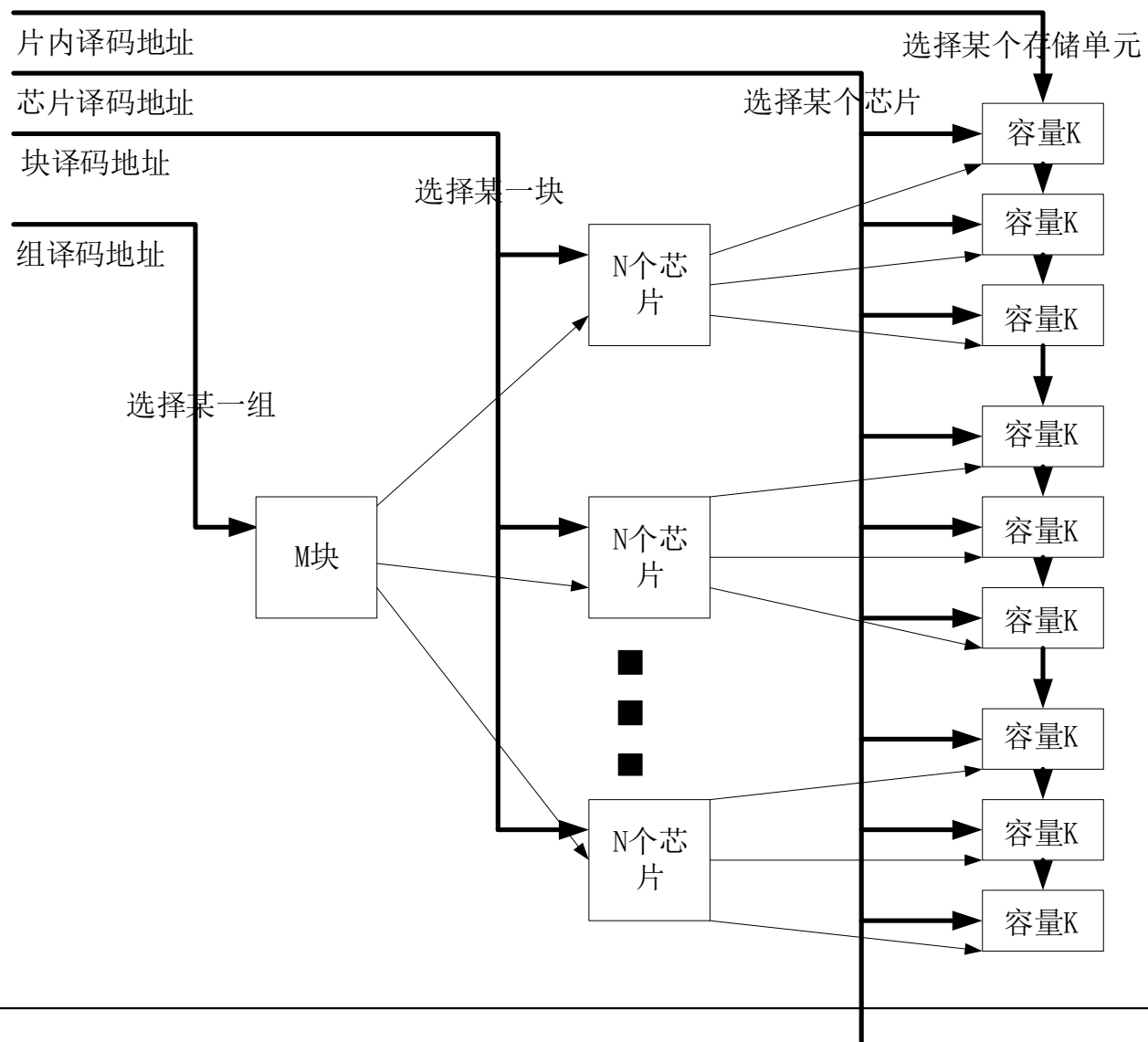


硬件描述语言

```
module DECODER(  
    input [19:17] A, //输入地址信号  
    output [7:0] CE //输出片选信号  
);  
reg [7:0] CE_In; //设置输出寄存器  
assign CE[7:0]=CE_In[7:0]; //输出引脚与寄存器相连  
always @(A)  
begin  
    case (A[15:13])  
        3'b000: CE_In[7:0] <= 8'b11111110;  
        3'b001: CE_In[7:0] <= 8'b111111101;  
        3'b010: CE_In[7:0] <= 8'b111111011;  
        3'b011: CE_In[7:0] <= 8'b11110111;  
        3'b100: CE_In[7:0] <= 8'b11101111;  
        3'b101: CE_In[7:0] <= 8'b11011111;  
        3'b110: CE_In[7:0] <= 8'b10111111;  
        3'b111: CE_In[7:0] <= 8'b01111111;  
    endcase  
end  
endmodule
```

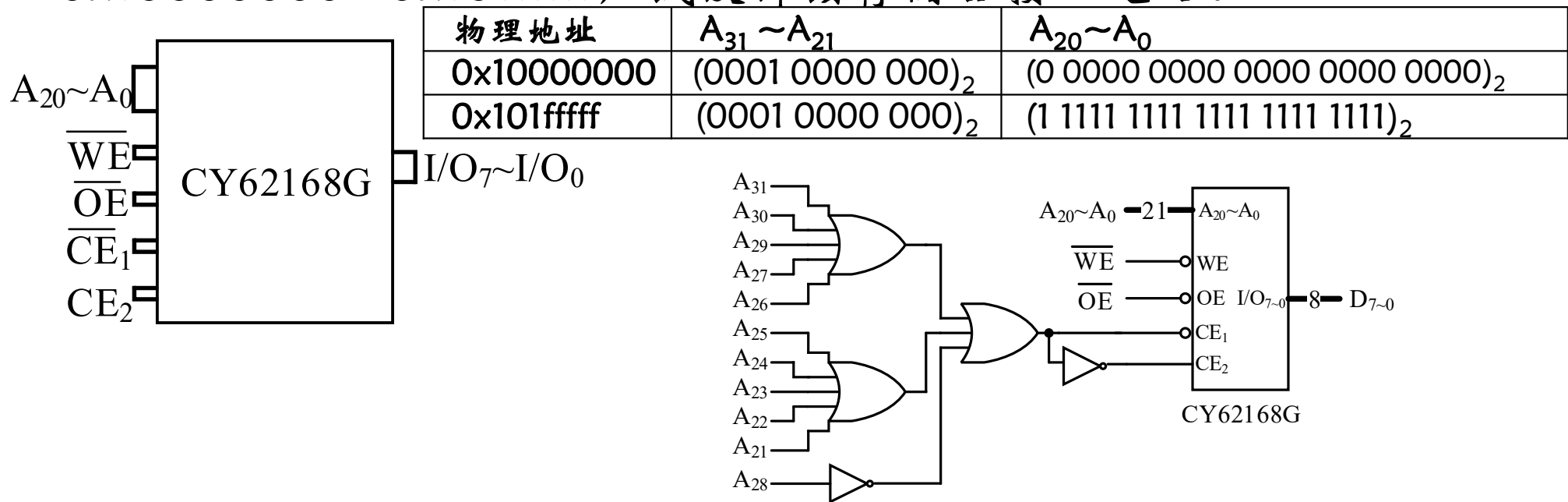

多级译码

不同存储芯片，
分类管理



示例1

容量为 $2\text{M} \times 8\text{b}$ 的异步SRAM存储芯片CY62168G引脚如下图所示。若将该芯片唯一映射到逻辑存储空间范围为 $0\text{x}00000000 \sim 0\text{xfffffff}$ 的计算机系统物理存储空间 $0\text{x}10000000 \sim 0\text{x}101\text{fffff}$ ，试设计该存储器接口电路。



示例2

基于异步SRAM存储芯片CY62168G设计一容量为 $6M \times 8b$ 的存储器，且该存储器唯一映射到逻辑存储空间范围为 $0x00000000 \sim 0xffffffff$ 的计算机系统物理存储空间 $0x10000000 \sim 0x105fffff$ ，试设计该存储器接口电路。

共需存储芯片数

$$\frac{6M \times 8b}{2M \times 8b} = 3$$

$0x10000000 \sim 0x105fffff$

分为

$0x10000000 \sim 0x101fffff$ 、
 $0x10200000 \sim 0x103fffff$ 、
 $0x10400000 \sim 0x105fffff$

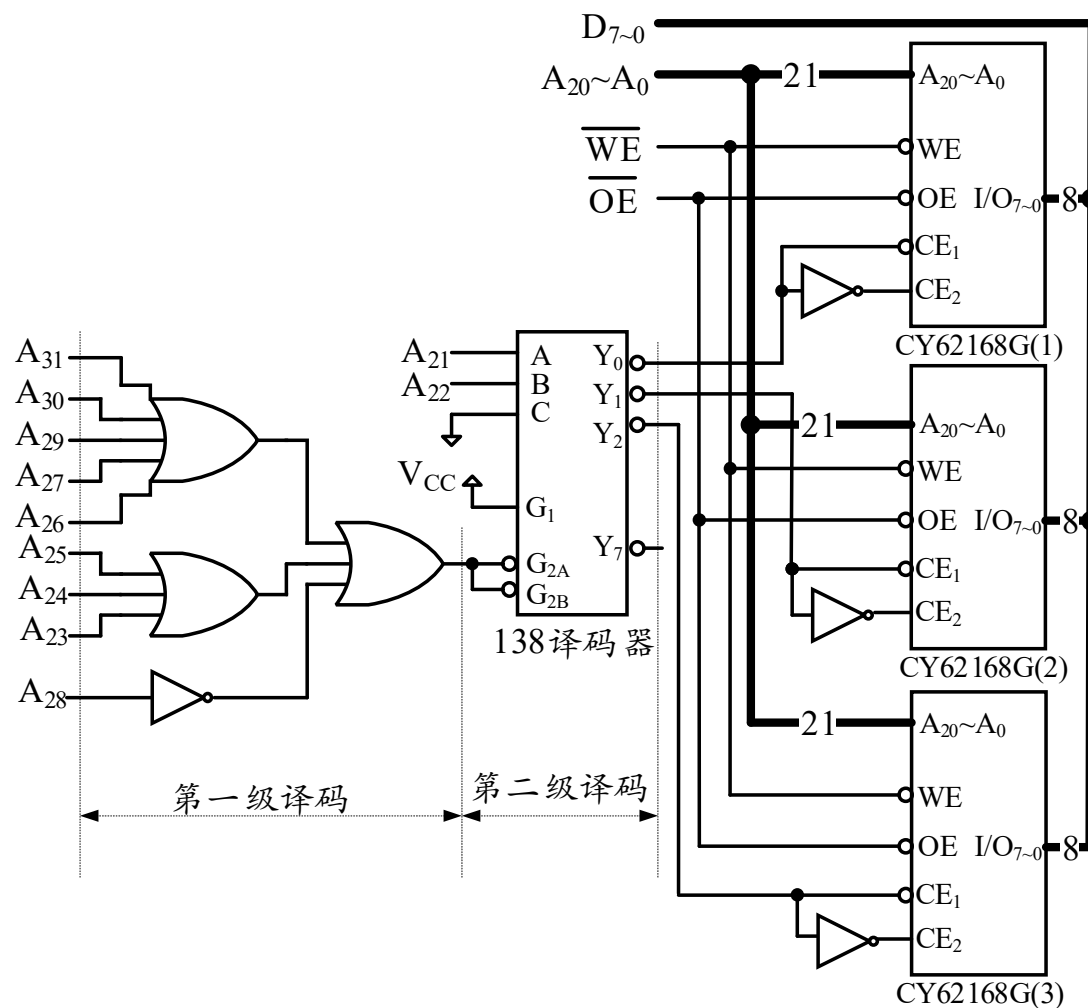
物理地址范围	$A_{31} \sim A_{21}$	$A_{20} \sim A_0$
$0x10000000 \sim 0x101fffff$	$(0001\ 0000\ 000)_2$	$(X\ XXXX\ XXXX\ XXXX\ XXXX\ XXXX)_2$
$0x10200000 \sim 0x103fffff$	$(0001\ 0000\ 001)_2$	$(X\ XXXX\ XXXX\ XXXX\ XXXX\ XXXX)_2$
$0x10400000 \sim 0x105fffff$	$(0001\ 0000\ 010)_2$	$(X\ XXXX\ XXXX\ XXXX\ XXXX\ XXXX)_2$

示例2

基于异步SRAM存储芯片CY62168G设计一容量为 $6M \times 8b$ 的存储器，且该存储器唯一映射到逻辑存储空间 $0x00000000 \sim 0xffffffff$ 的计算机系统物理存储空间 $0x10000000 \sim 0x105fffff$ ，试设计该存储器接口电路。

共需存储芯片数

$$\frac{6M \times 8b}{2M \times 8b} = 3$$

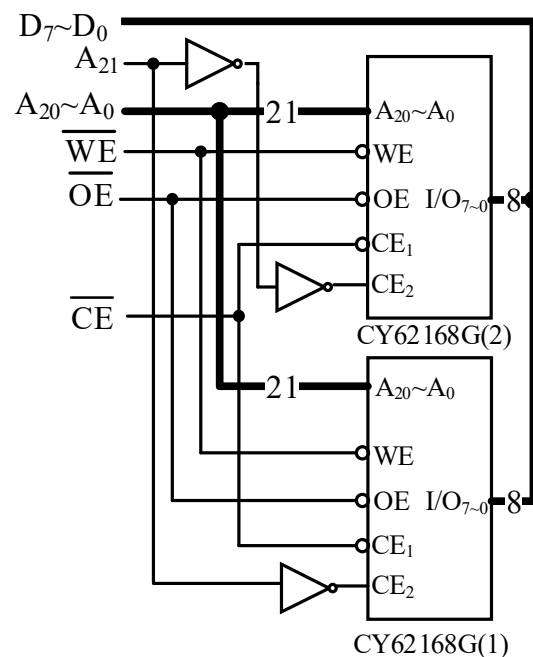


示例3

异步SRAM存储芯片CY62168G设计一容量为4M×8b的存储器，且该存储器映射到逻辑存储空间范围为0x00000000~0xffffffff的计算机系统物理存储空间0x10000000~0x107fffff，试设计该存储器接口电路。

共需存储芯片数

$$\frac{4M \times 8b}{2M \times 8b} = 2$$



示例3

异步SRAM存储芯片CY62168G设计一容量为 $4\text{M} \times 8\text{b}$ 的存储器，且该存储器映射到逻辑存储空间范围为 $0\text{x}00000000 \sim 0\text{xfffffff}$ 的计算机系统物理存储空间 $0\text{x}10000000 \sim 0\text{x}107ffff$ ，试设计该存储器接口电路。

物理存储空间范围为
 $0\text{x}10000000 \sim 0\text{x}107ffff$ ，
存储容量为 $8\text{M} \times 8\text{b}$

2段：

$0\text{x}10000000 \sim 0\text{x}103ffff$ 、
 $0\text{x}10400000 \sim 0\text{x}107ffff$

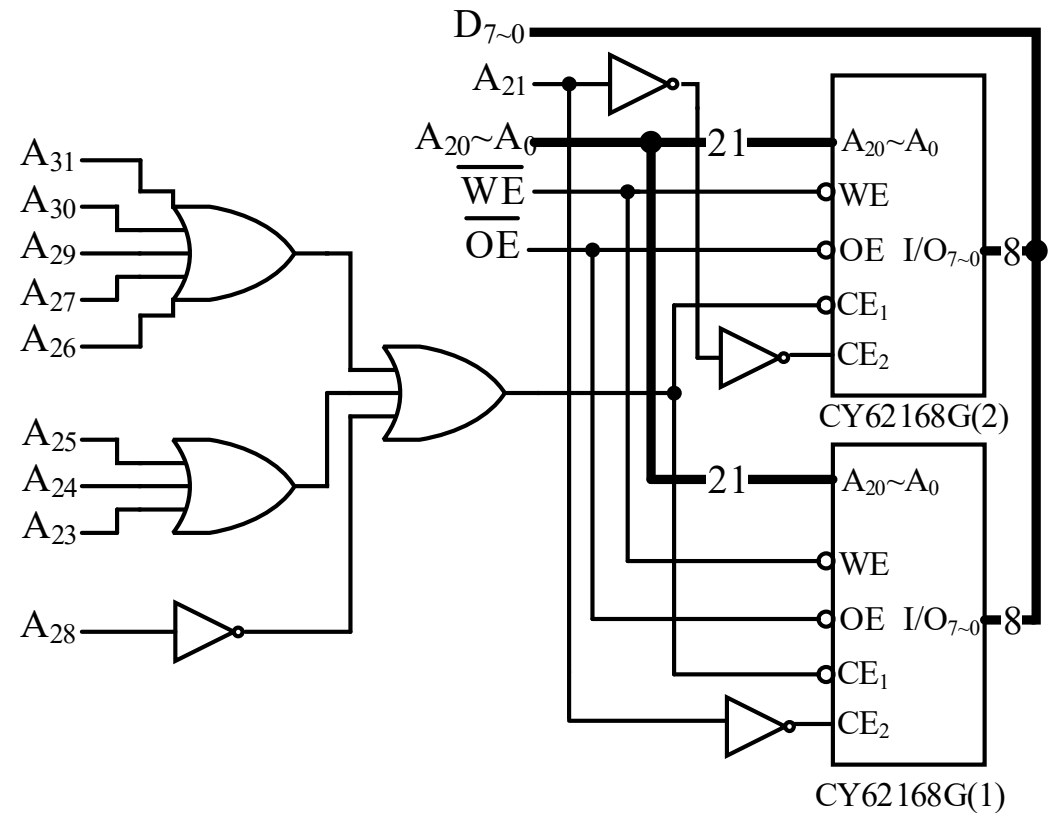
物理地址范围	$A_{31} \sim A_{23}$	A_{22}	$A_{21} \sim A_0$
$0\text{x}10000000 \sim 0\text{x}103ffff$	$(0001\ 0000\ 0)_2$	0	$(\text{XX}\ \text{XXXX}\ \text{XXXX}\ \text{XXXX}\ \text{XXXX}\ \text{XXXX})_2$
$0\text{x}10400000 \sim 0\text{x}107ffff$	$(0001\ 0000\ 0)_2$	1	$(\text{XX}\ \text{XXXX}\ \text{XXXX}\ \text{XXXX}\ \text{XXXX}\ \text{XXXX})_2$

A_{22} 既可以为1也可以是0，成为无关值

示例3

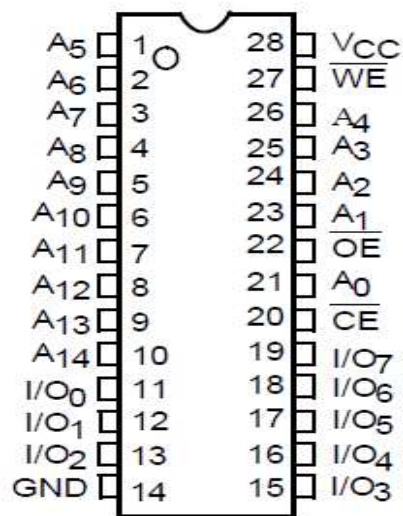
异步SRAM存储芯片CY62168G
设计一容量为 $4M \times 8b$ 的存储器，
且该存储器映射到逻辑存储空间
范围为 $0x00000000 \sim 0xffffffff$ 的
计算机系统物理存储空间
 $0x10000000 \sim 0x107fffff$ ，试设
计该存储器接口电路。

A22既可以为1也可
以是0，成为无关值



示例4

异步SRAM 62256的引脚结构如下图所示，它的容量为32K×8b。若要求采用62256构建一个64K×8b的存储器，且该存储器映射到逻辑存储空间范围为0x00000000～0xffffffff的计算机系统物理存储空间0x80000000～0x8000ffff或0x90000000～0x9000ffff，试设计该存储器接口电路。



需存储芯片数为： $\frac{64K \times 8b}{32K \times 8b} = 2$

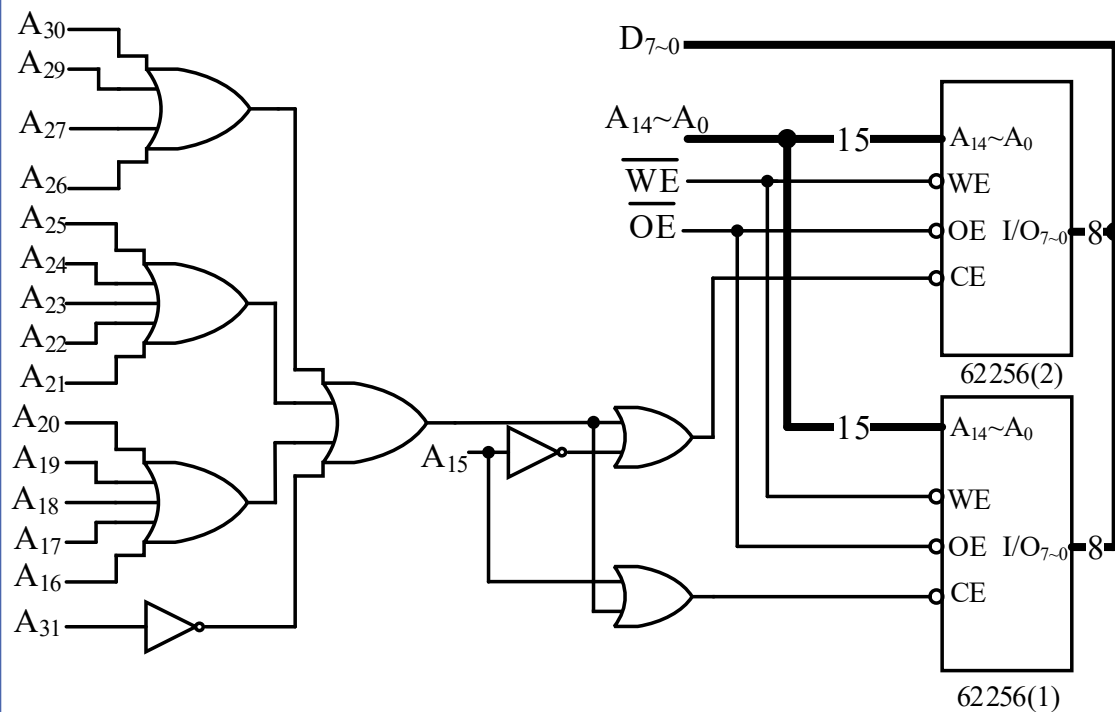
存储器映射到物理存储空间
0x80000000～0x8000ffff或
0x90000000～0x9000ffff，

A28可为0或1，为无关值

示例4

异步SRAM 62256的引脚结构如下图所示，它的容量为 $32K \times 8b$ 。若要求采用62256构建一个 $64K \times 8b$ 的存储器，且该存储器映射到逻辑存储空间范围为 $0x00000000 \sim 0xffffffff$ 的计算机系统物理存储空间 $0x80000000 \sim 0x8000ffff$ 或 $0x90000000 \sim 0x9000ffff$ ，试设计该存储器接口电路。

A28可为0或1，为无关值



小结

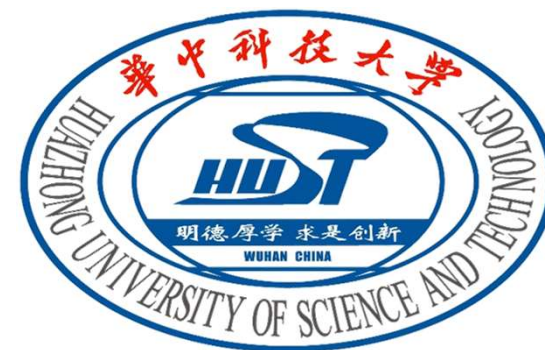
- 存储容量扩展
 - 字数扩展
 - 字长扩展
 - 字数、字长扩展
- 存储芯片存储空间映射
 - 整体映射（剩余高位地址译码）
 - 全译码
 - 部分译码
 - 译码电路
 - 门
 - 译码器
 - 硬件描述语言

下一讲：内存组织结构

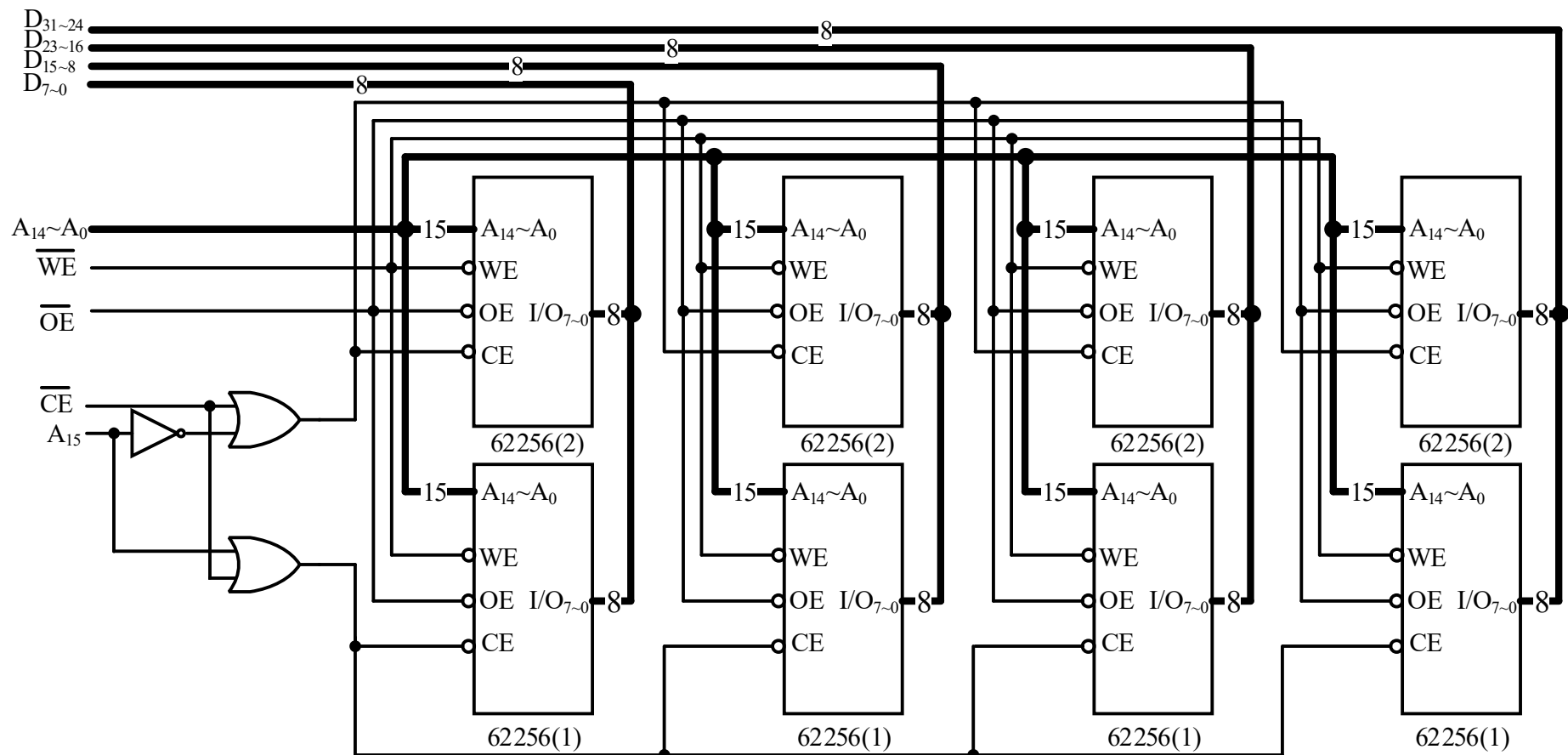
微机原理与接口技术

存储器组织结构

华中科技大学 左冬红



回顾



计算机系统多类型数据访问组织

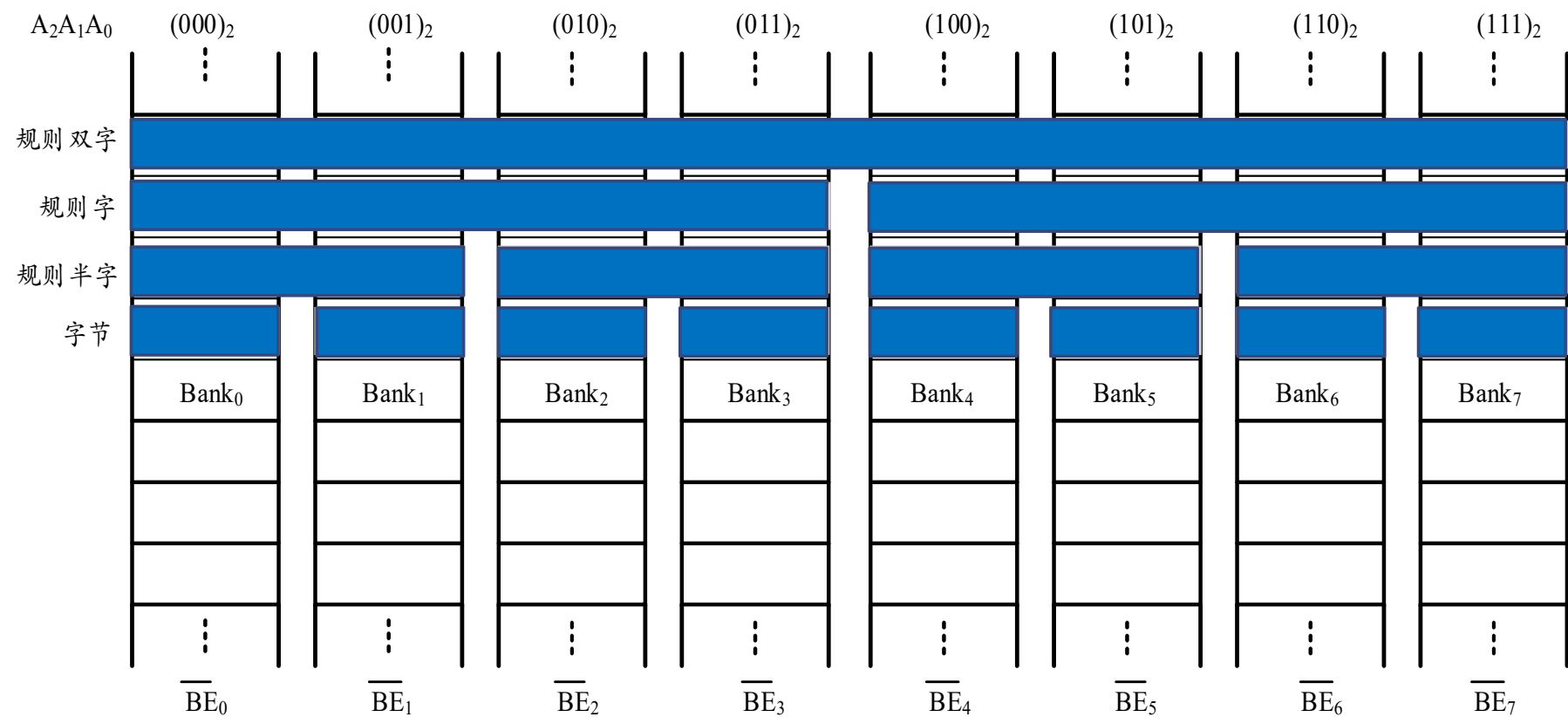
64位微处理器支持访问8位、16位、32位、64位等不同位宽数据

计算机系统存储器以字节为最小存储单元

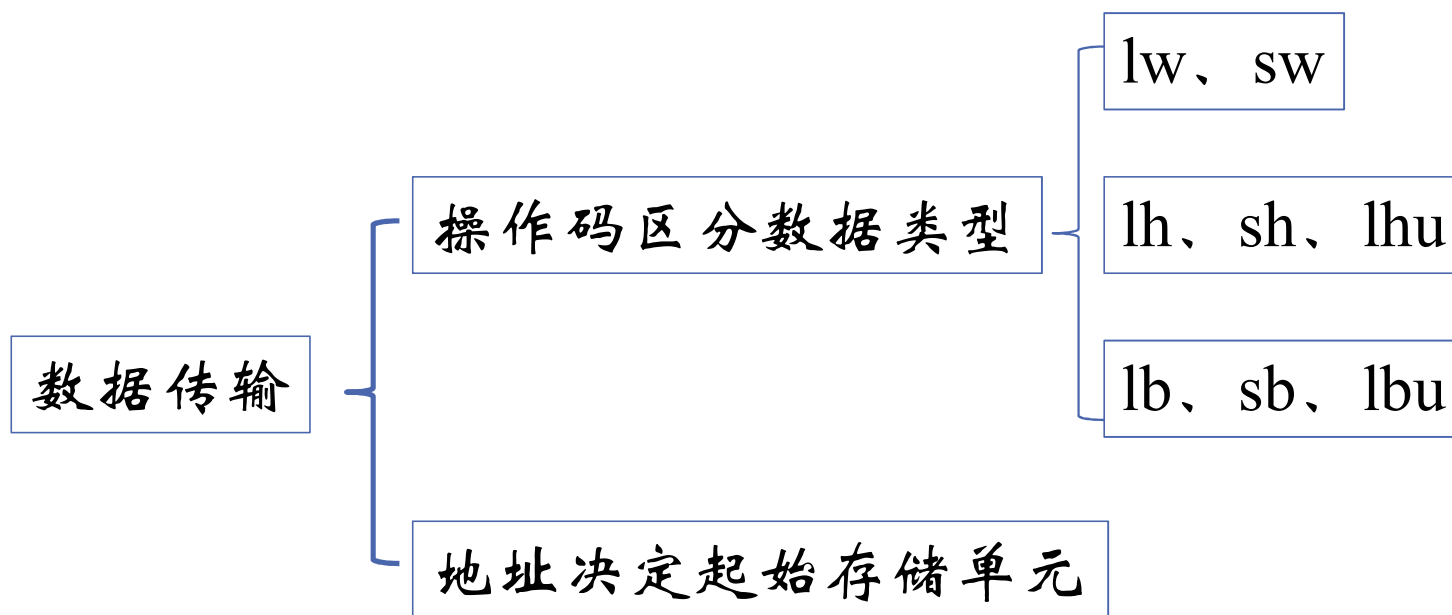
微处理器访问不同类型数据时，提供相应的控制信号
 $\overline{\text{BE}}$ (Byte Enable)

地址低三位 ($A_2A_1A_0$)	(000) ₂	(001) ₂	(010) ₂	(011) ₂	(100) ₂	(101) ₂	(110) ₂	(111) ₂
64位数据总线	$\overline{\text{BE}}_0$	$\overline{\text{BE}}_1$	$\overline{\text{BE}}_2$	$\overline{\text{BE}}_3$	$\overline{\text{BE}}_4$	$\overline{\text{BE}}_5$	$\overline{\text{BE}}_6$	$\overline{\text{BE}}_7$
32位数据总线	$\overline{\text{BE}}_0$	$\overline{\text{BE}}_1$	$\overline{\text{BE}}_2$	$\overline{\text{BE}}_3$	$\overline{\text{BE}}_0$	$\overline{\text{BE}}_1$	$\overline{\text{BE}}_2$	$\overline{\text{BE}}_3$
16位数据总线	$\overline{\text{BE}}_0$	$\overline{\text{BE}}_1$	$\overline{\text{BE}}_0$	$\overline{\text{BE}}_1$	$\overline{\text{BE}}_0$	$\overline{\text{BE}}_1$	$\overline{\text{BE}}_0$	$\overline{\text{BE}}_1$

存储器组织结构



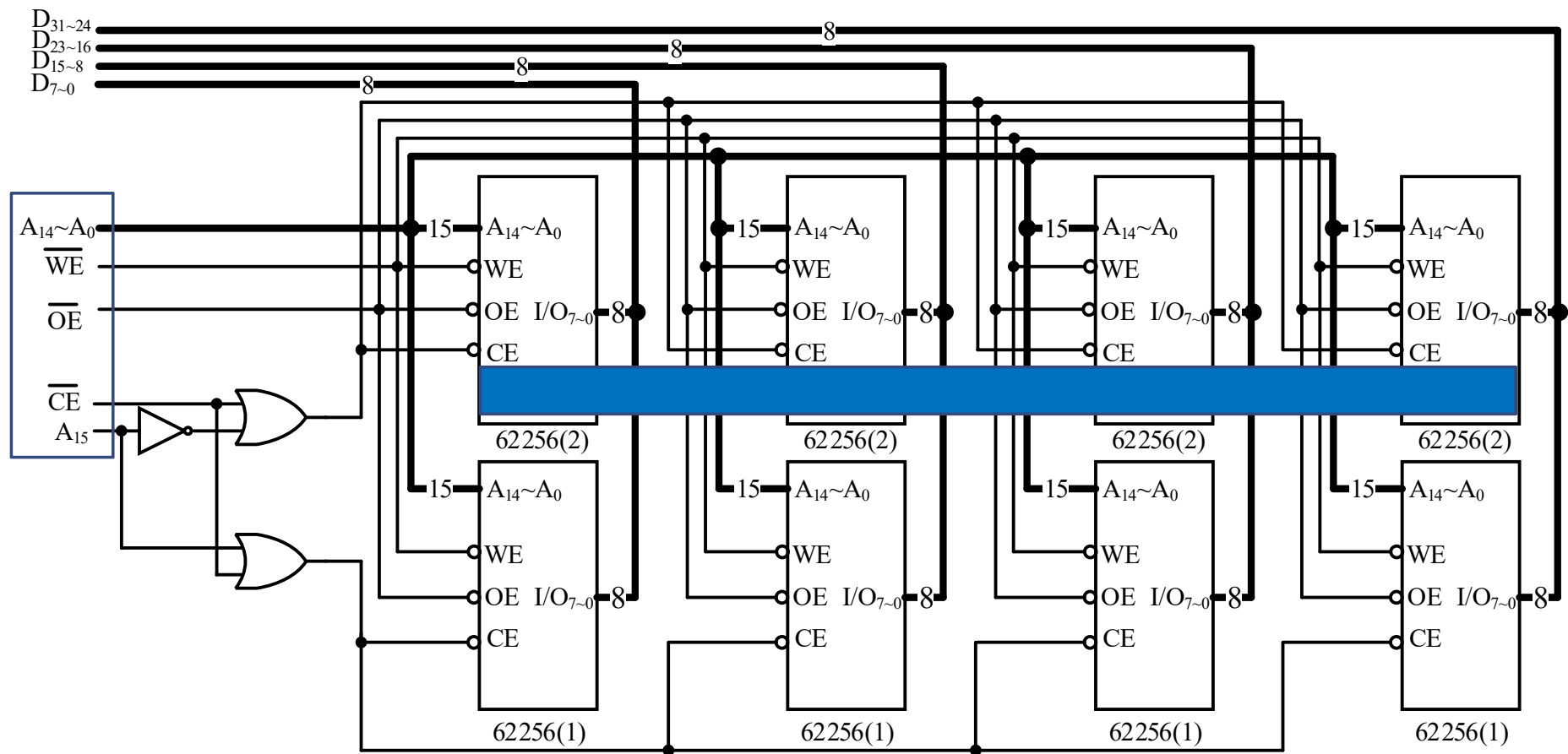
字节使能信号译码原理



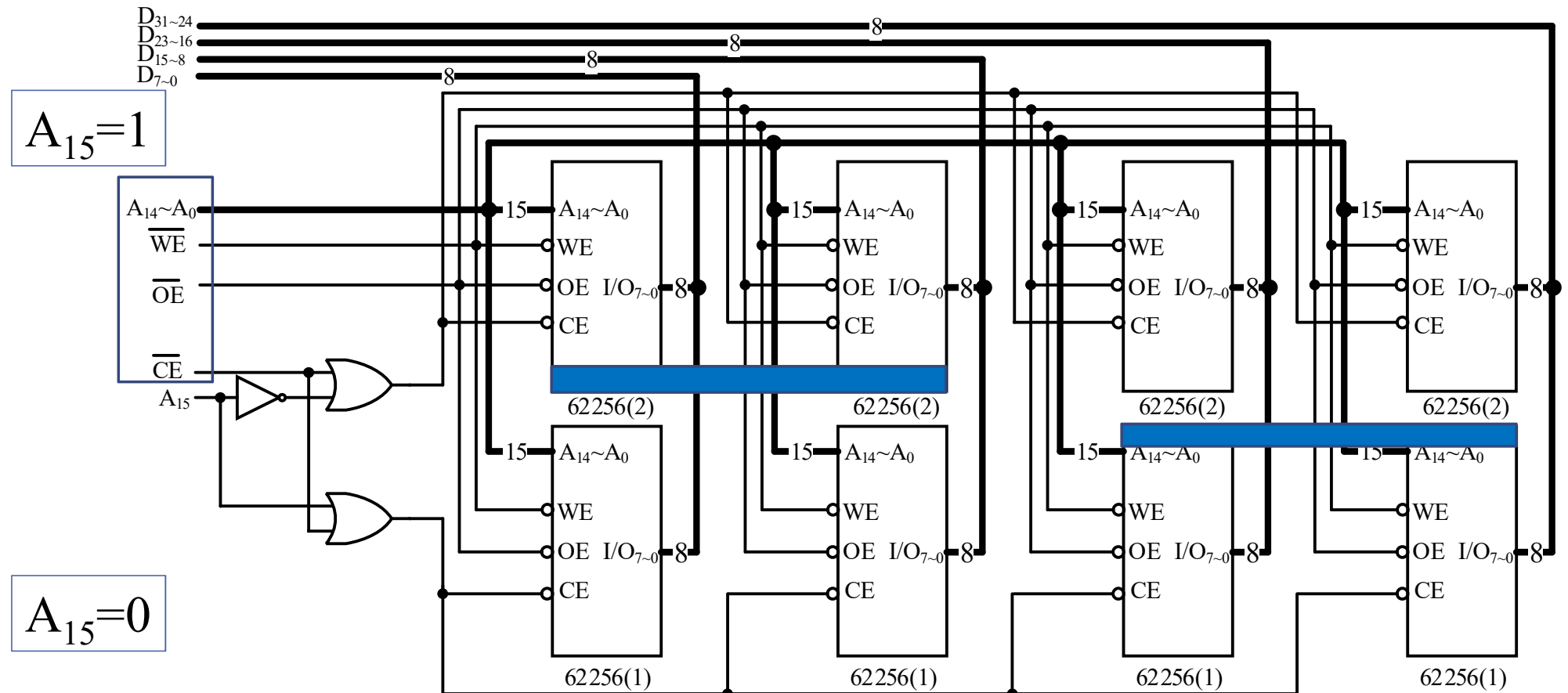
字节使能信号译码原理

	输入			输出			
指令	Op[5:0]	A ₁	A ₀	$\overline{\text{BE}}_0$	$\overline{\text{BE}}_1$	$\overline{\text{BE}}_2$	$\overline{\text{BE}}_3$
lw	(1000 11) ₂	x	x	0	0	0	0
sw	(1010 11) ₂						
lh	(1000 01) ₂	1	x	1	1	0	0
lhu	(1001 01) ₂						
sh	(1010 01) ₂						
lh	(1000 01) ₂	0	x	0	0	1	1
lhu	(1001 01) ₂						
sh	(1010 01) ₂						
lb	(1000 00) ₂	0	0	0	1	1	1
lbu	(1001 00) ₂						
sb	(1010 00) ₂						
lb	(1000 00) ₂	0	1	1	0	1	1
lbu	(1001 00) ₂						
sb	(1010 00) ₂						
lb	(1000 00) ₂	1	0	1	1	0	1
lbu	(1001 00) ₂						
sb	(1010 00) ₂						
lb	(1000 00) ₂	1	1	1	1	1	0
lbu	(1001 00) ₂						
sb	(1010 00) ₂						

边界对齐访问



非边界对齐访问



$A_{15}=1$

$A_{15}=0$

一条指令不能输出两个不同的地址

软件设计应用示例

```
struct foo {  
    char sm; /*1字节*/  
    short med; /*2字节*/  
    char sm1; /*1字节*/  
    int lrg; /*4字节*/  
}
```

```
struct foo {  
    char sm; /*1字节*/  
    char sm1; /*1字节*/  
    short med; /*2字节*/  
    int lrg; /*4字节*/  
}
```

边界对齐存储映像

偏移地址	0	1	2	3	4	5	6	7	8	9	10	11
0x8000	sm		med		sm1				lrg			

浪费存储空间

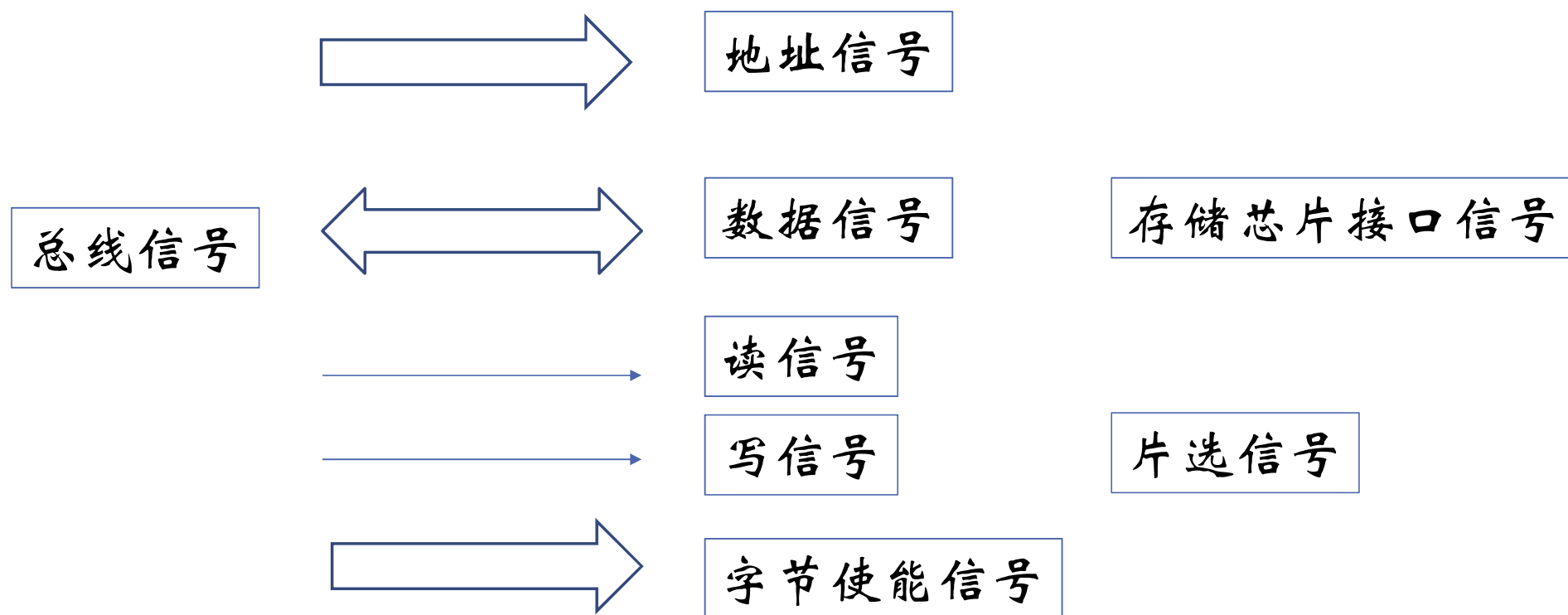
非边界对齐紧凑存储映像

偏移地址	0	1	2	3	4	5	6	7
0x8000	sm		med		sm1		lrg	

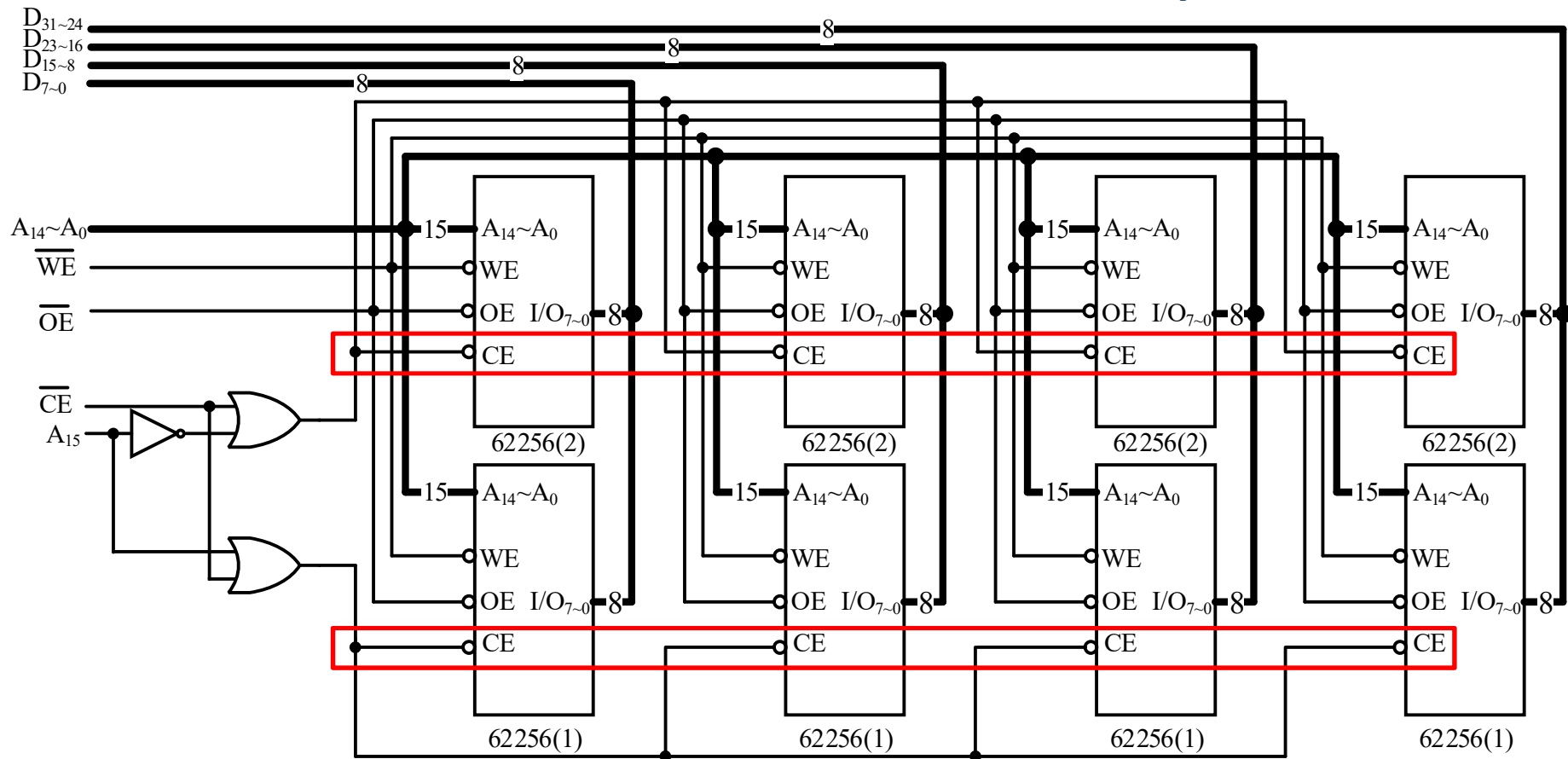
访问效率低

偏移地址	0	1	2	3	4	5	6	7
0x8000	sm	sm1	med		lrg			

多类型数据访问接口电路设计

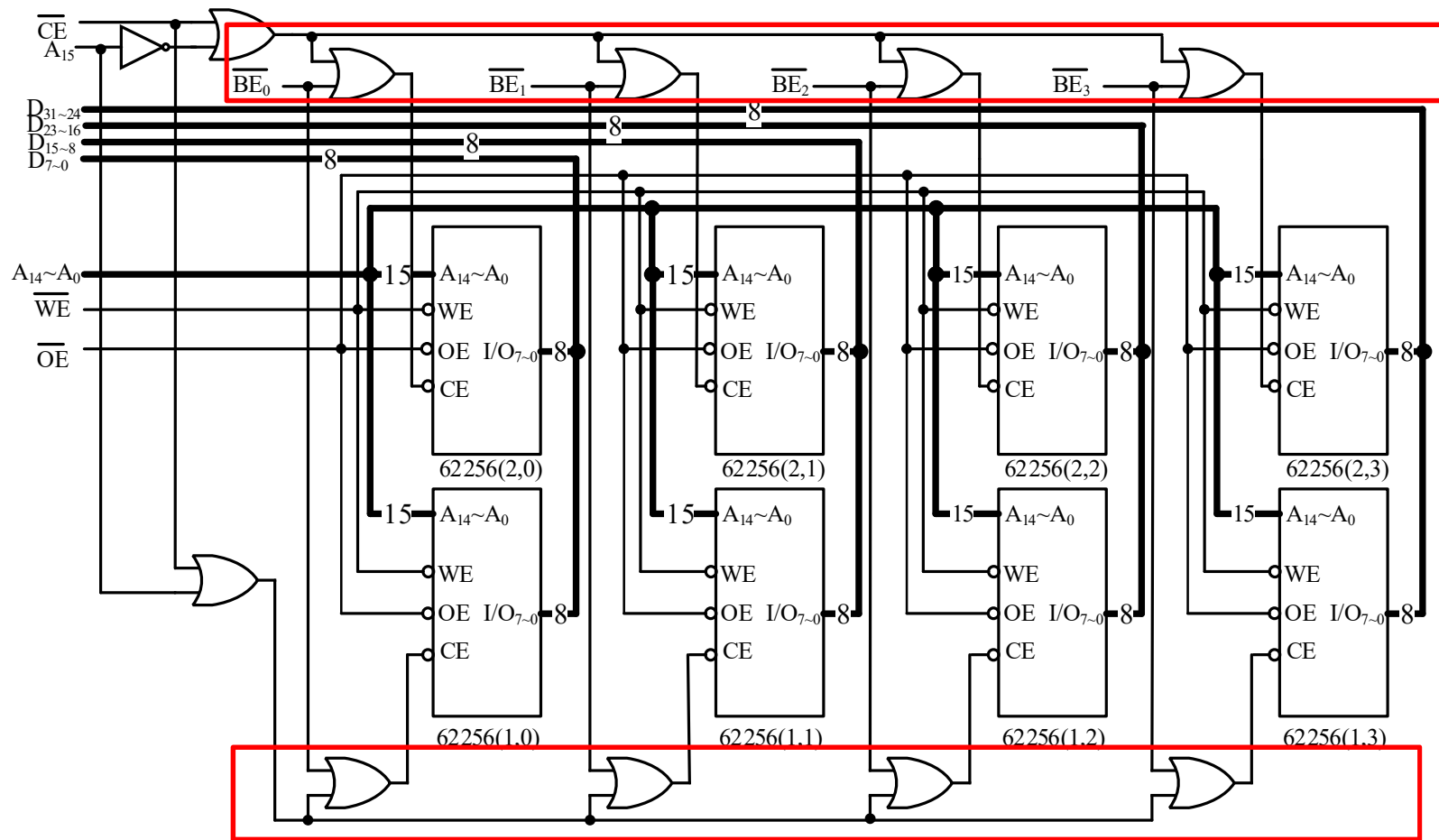


多类型数据访问接口电路设计



加入字节使能信号之后各芯片可独立控制

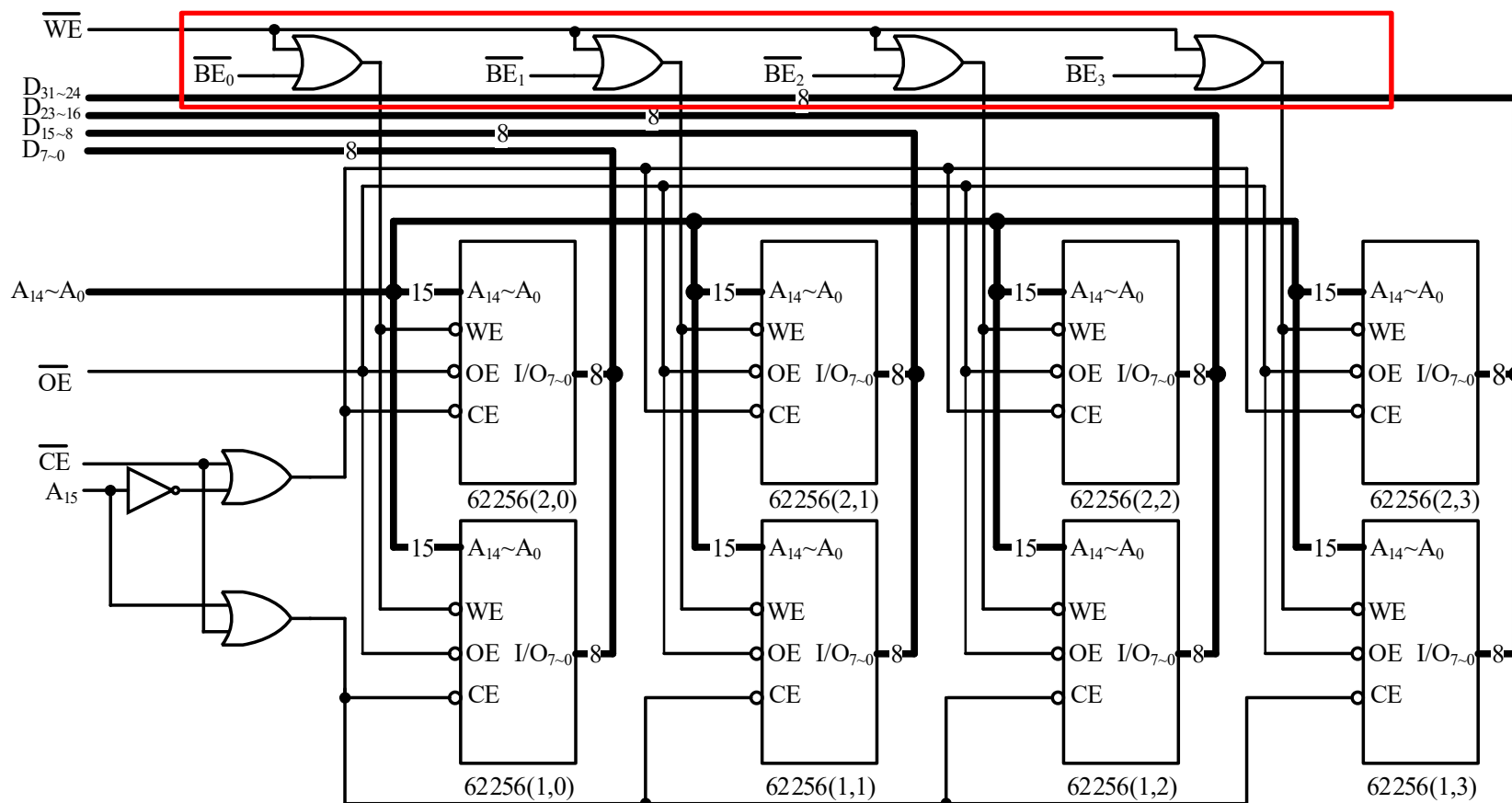
字节使能信号与片选信号译码



每组芯片都需要独立的译码电路

未选中芯片
低功耗

字节使能信号与写信号译码



整个存储器仅
一组译码电路

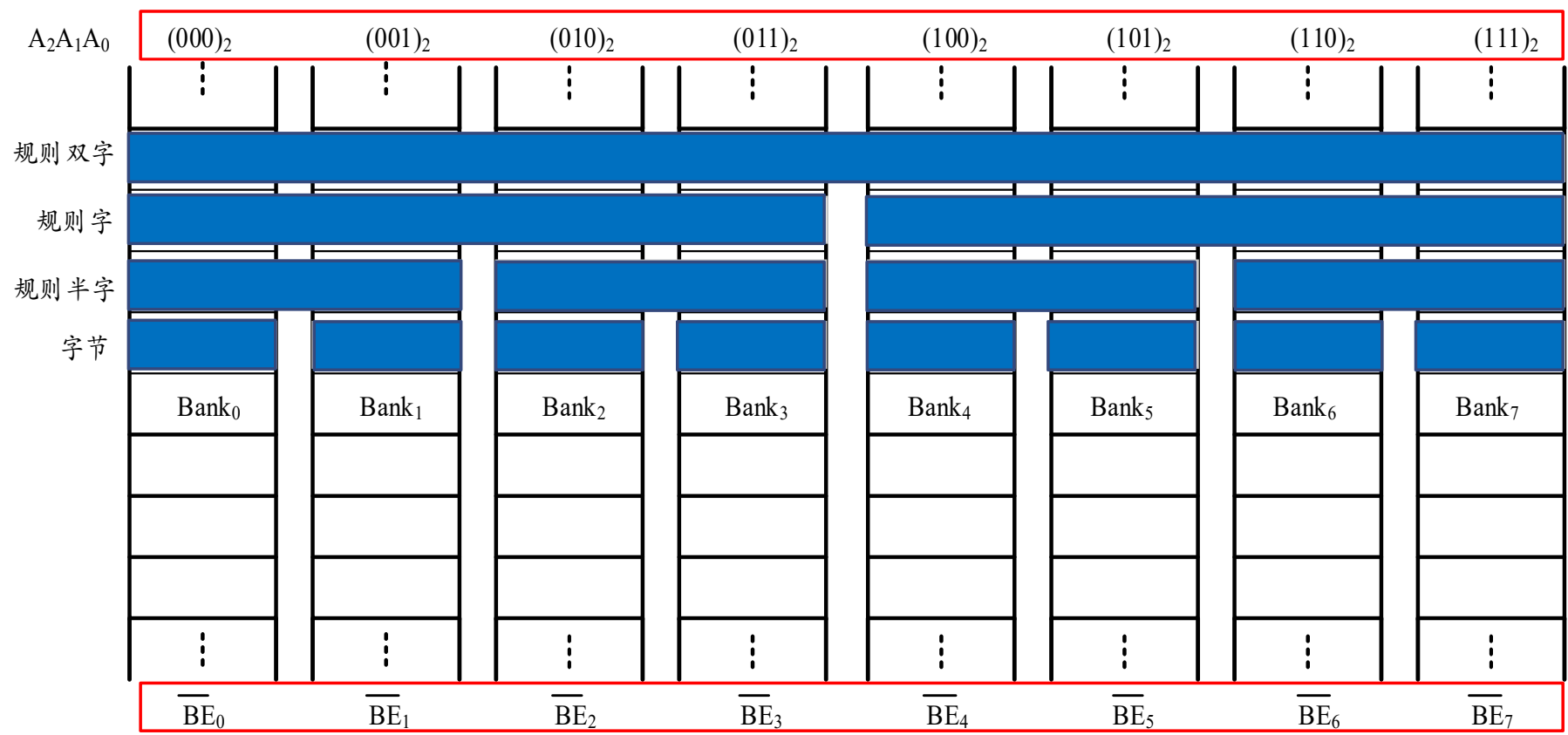
读操作时同组
芯片都工作

字节使能信号译码原理

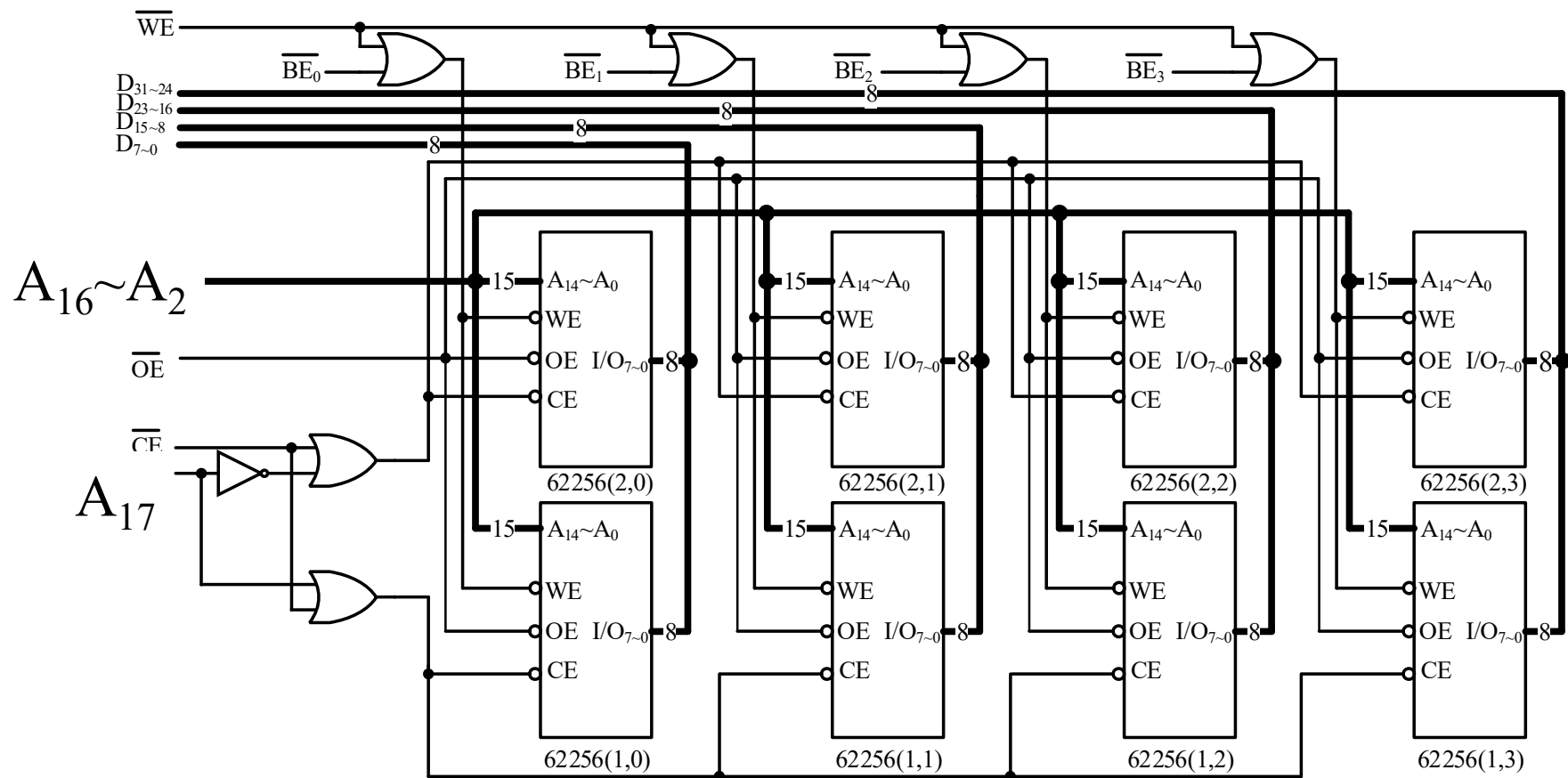
输入		输出					
指令	Op[5:0]	A ₁	A ₀	$\overline{\text{BE}}_0$	$\overline{\text{BE}}_1$	$\overline{\text{BE}}_2$	$\overline{\text{BE}}_3$
lw	(100011) ₂	x	x	0	0	0	0
sw	(101011) ₂						
lh	(100001) ₂	1	x	1	1	0	0
lhu	(100101) ₂	0	x	0	0	1	1
sh	(101001) ₂						
lh	(100001) ₂						
lhu	(100101) ₂	0	1	1	0	1	1
sh	(101001) ₂						
lb	(100000) ₂						
lbu	(100100) ₂	1	0	1	1	0	1
sb	(101000) ₂						
lb	(100000) ₂						
lbu	(100100) ₂	1	1	1	1	1	0
sb	(101000) ₂						
lb	(100000) ₂						
lbu	(100100) ₂						
sb	(101000) ₂						

字节使能信号对应不同的字节地址

存储器组织结构



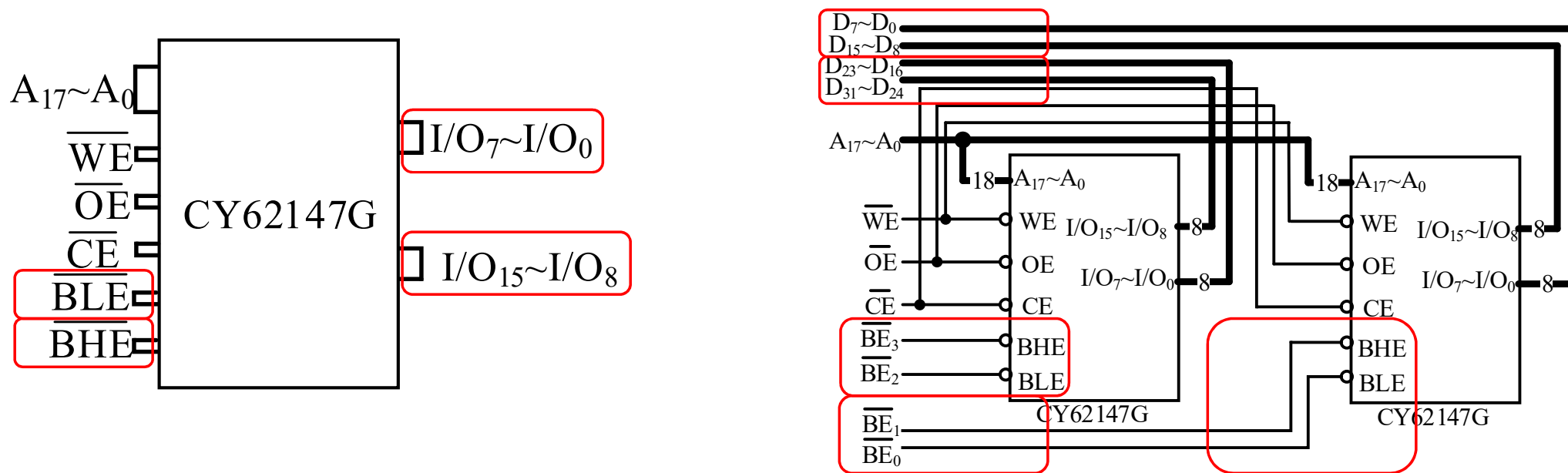
寻址单位为字节



字节使能信号个数 n 与低位地址偏移位数 m 关系： $m = \log_2 n$

示例

异步SRAM存储芯片CY62147G引脚结构如下图所示，它的容量为 $256K \times 16b$ 。若要求基于该存储芯片设计一个容量为 $256K \times 32b$ 的存储器，且要求支持字节、半字、字不同类型的数据访问，试设计该存储器的接口电路。



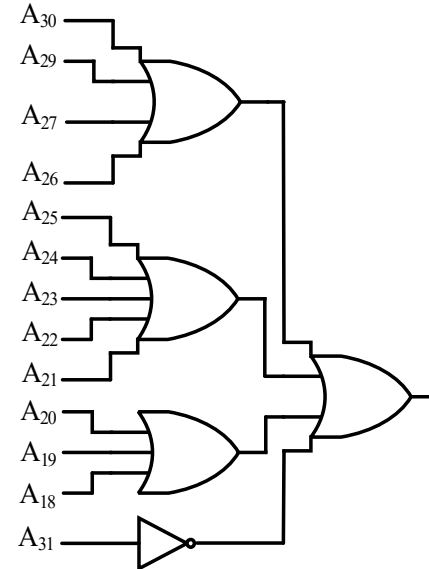
多字节数据空间映射示例

异步SRAM存储芯片62256设计一个 $64\text{K} \times 32\text{b}$ 的存储器，该存储器可支持8位、16位、32位不同位宽的数据访问，并要求映射到逻辑存储空间范围为 $0\text{x}00000000 \sim 0\text{xfffffff}$ 的计算机系统物理存储空间 $0\text{x}80000000 \sim 0\text{x}8003\text{ffff}$ ，试设计该存储器的接口电路。

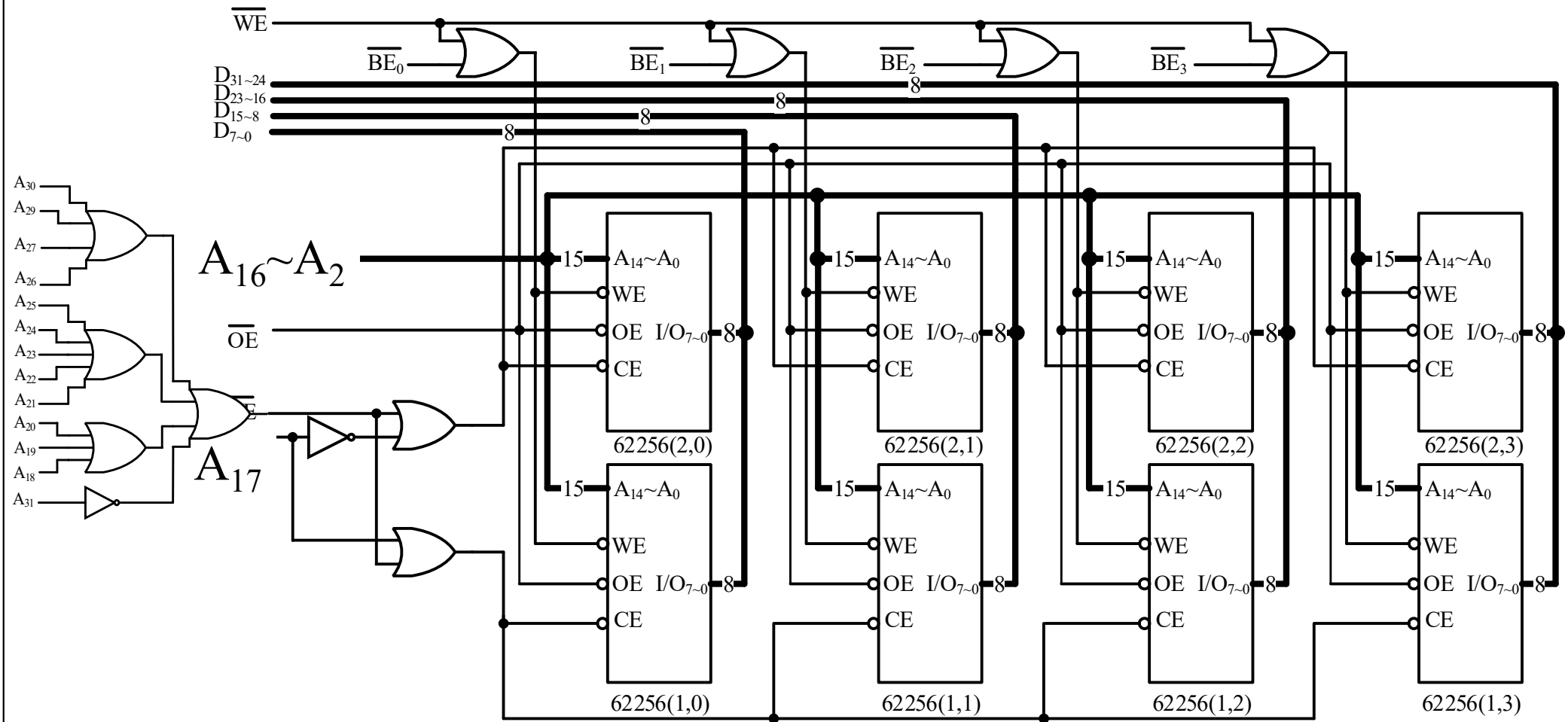
$64\text{K} \times 32\text{b} = 256\text{KB}$

存储器使用地址 $A_{17} \sim A_0$

剩余高位地址 $A_{31} \sim A_{18}$
固定为 $(1000\ 0000\ 0000\ 00)_2$



多字节数据空间映射示例



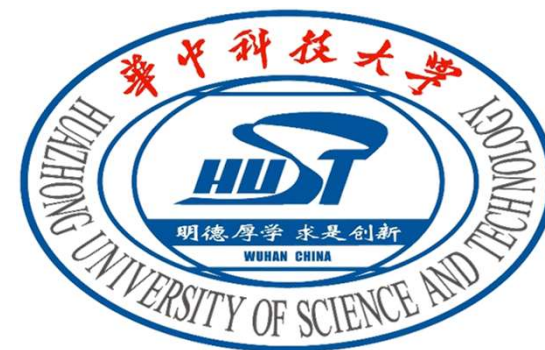
小结

- 存储器分块组织
- 多字节数据访问
 - 低位地址偏移

微机原理与接口技术

内存条简介

华中科技大学 左冬红



内存条

SIMM

single in-line memory modules

8位数据宽，30条单边引线，
单列直插式存储模块

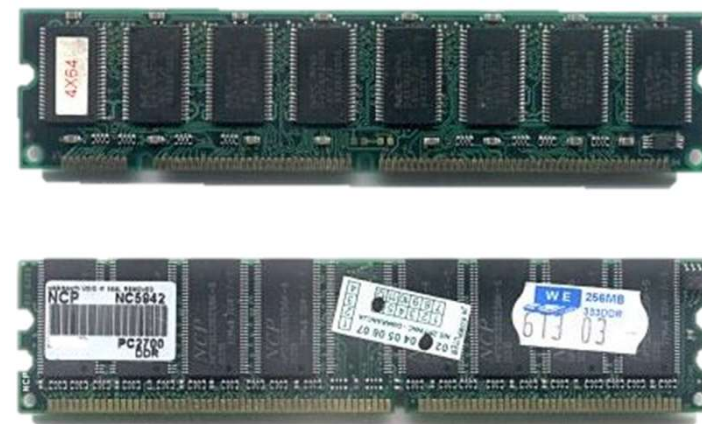
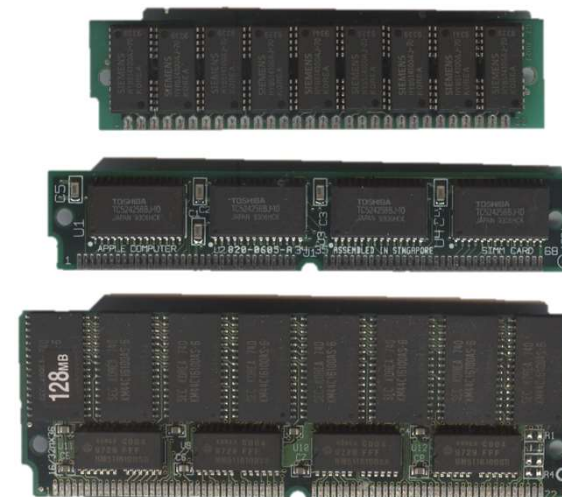
32位数据宽，68或72条引线

DIMM

dual in-line memory modules

双列直插式的内存条，
64位数据宽度

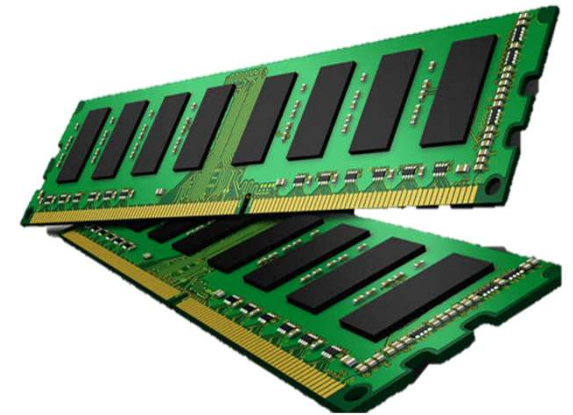
SIMM



DIMM内存条

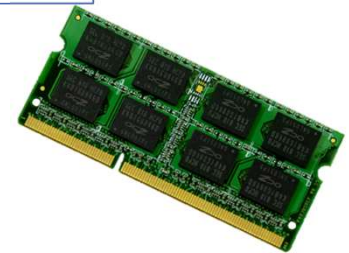
UDIMM (Unbuffered DIMM) 无缓冲内存模组

桌面PC



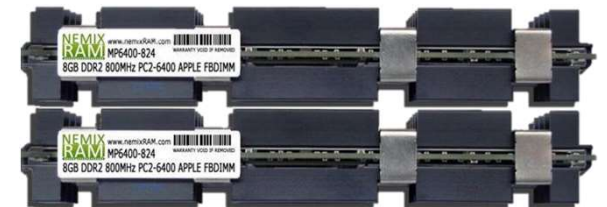
SODIMM (Small Outline DIMM) 小外形双列内存模组

笔记本PC



FBDIMM (Fully Buffered DIMM) 全缓存内存模组

数据以串行方式传输，服务器



DIMM内存条

Reg DIMM (Registered DIMM) 带奇偶校验的同步动态内存

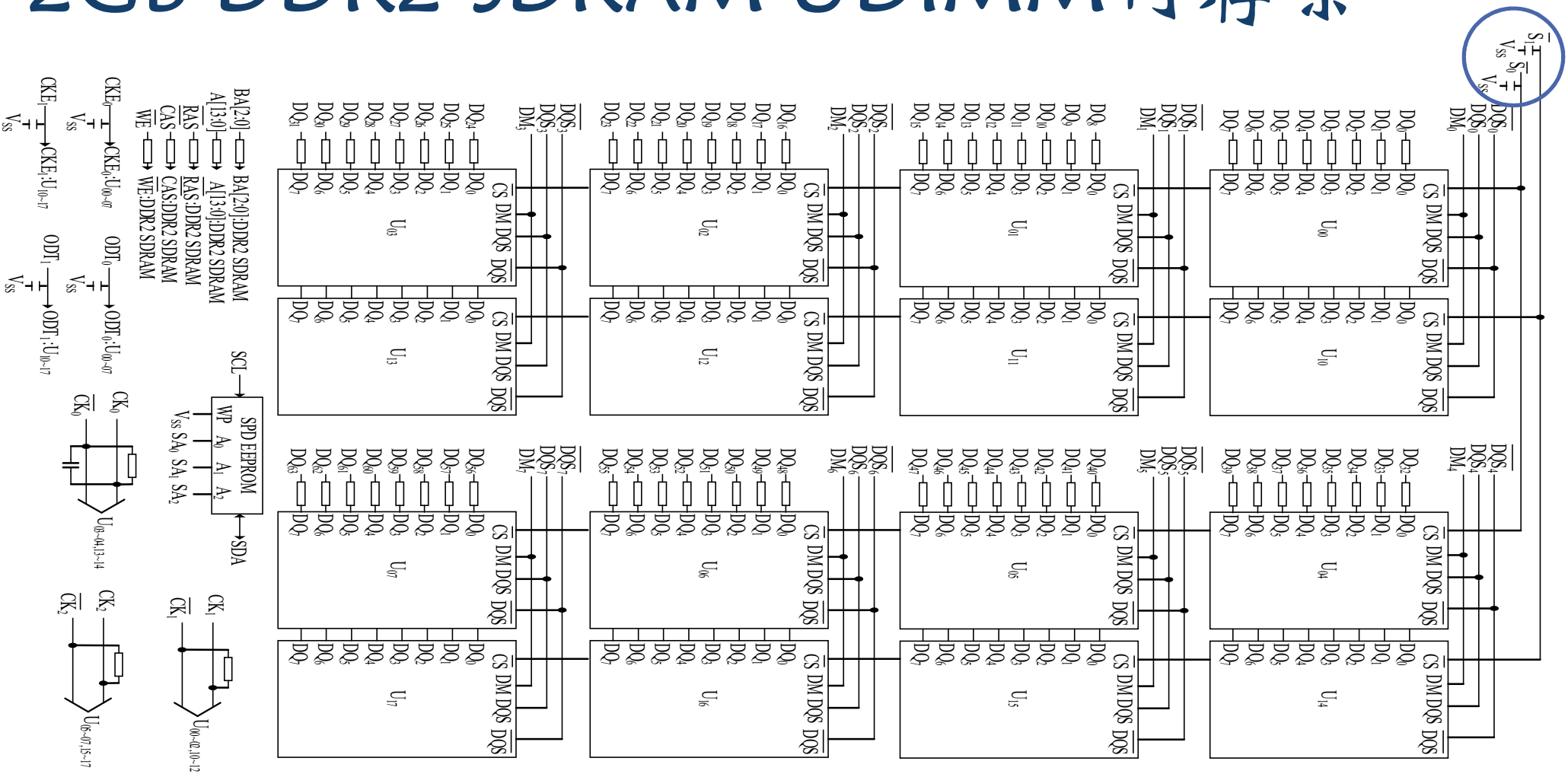


DIMM内存条

参数

MB/s	第一代采用DDR SDRAM存储芯片，184个引脚； PC1600、PC2100、PC2700、PC3200
	第二代采用DDR2 SDRAM存储芯片，240个引脚； PC2-3200、PC2-4200、PC2-5300、PC2-6400
	第三代采用DDR3 SDRAM存储芯片，240个引脚； PC3-6400, PC3-8500, PC3-10600, PC3-12800
	第四代采用DDR4 SDRAM存储芯片，288个引脚。
MT/s	PC4-1600, PC4-1866, PC4-2133, PC4-2400

2GB DDR2 SDRAM UDIMM内存条



小结

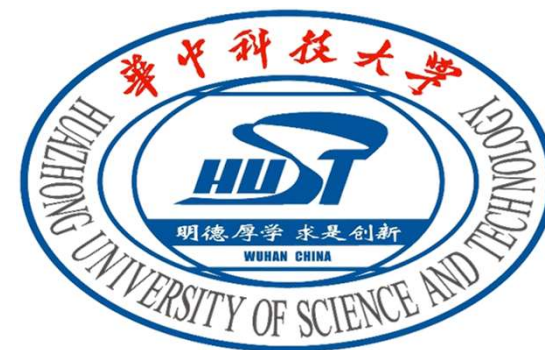
- 内存条分类
- 内存条参数识别
- 内存条结构

下一讲：EMC存储控制器

微机原理与接口技术

存储控制器

华中科技大学 左冬红



存储控制器

EMC存储控制器

SRAM、Flash

MIG存储控制器

DRAM

AXI EMC存储控制器

存储器类型

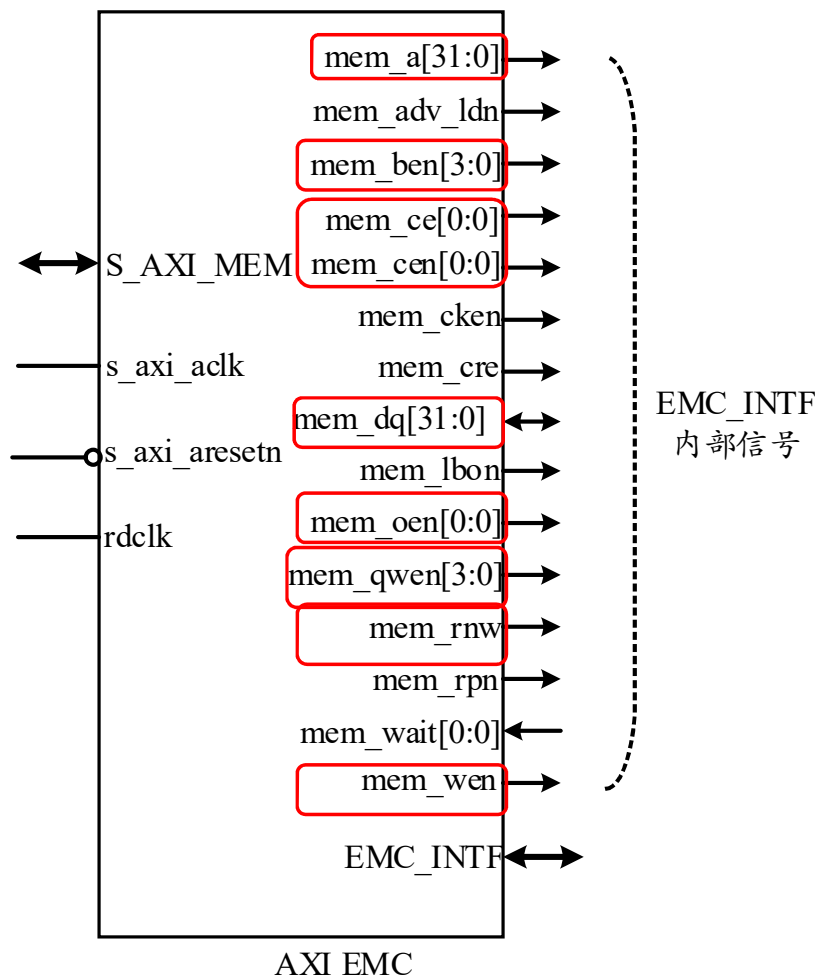
同步/异步SRAM存储器

行/页访问模式Flash存储器

PSRAM (pseudo static random access memory)伪随机静态存储器

一个EMC可连接四种不同类型存储器，每种类型存储器为一个存储模块

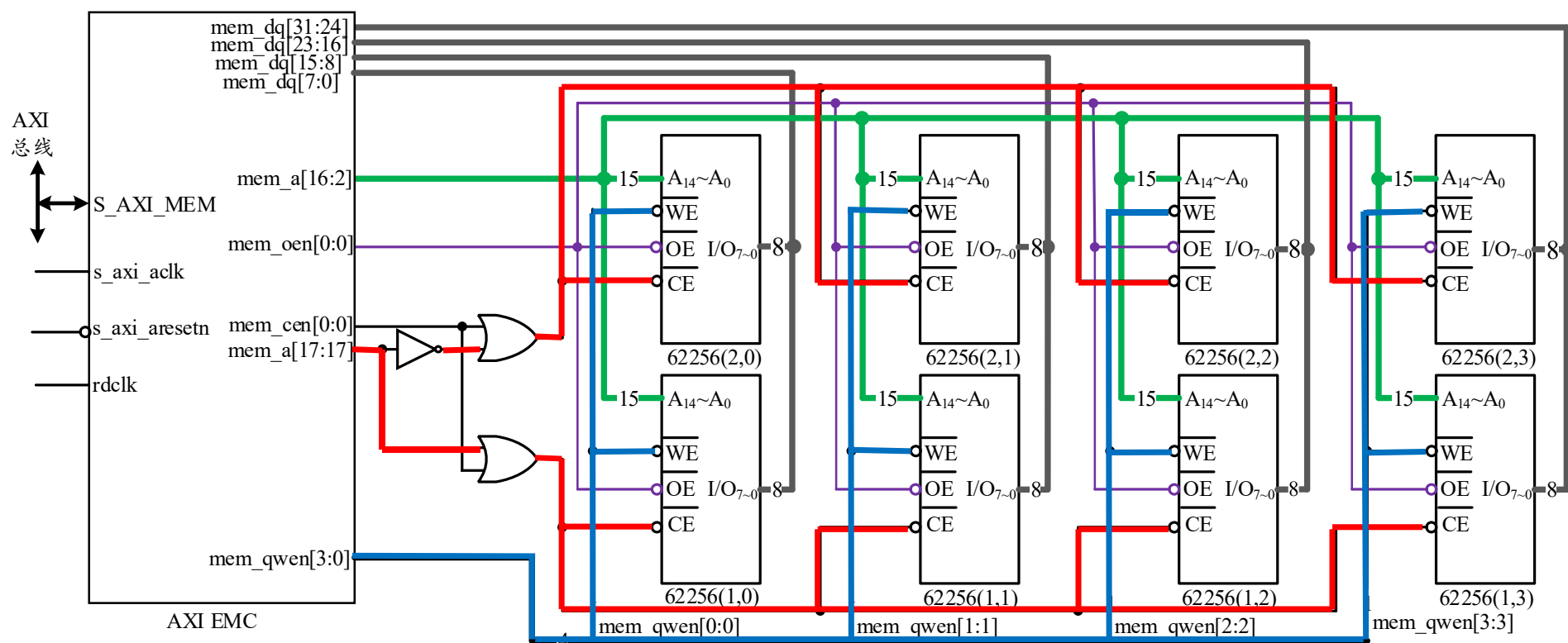
EMC存储控制器引脚



其余信号根据存储芯片
类型确定是否有意义

示例

异步SRAM存储芯片62256设计一个64K×32b的AXI总线接口存储器，可支持8位、16位、32位不同位宽的数据访问，试设计存储器接口电路。

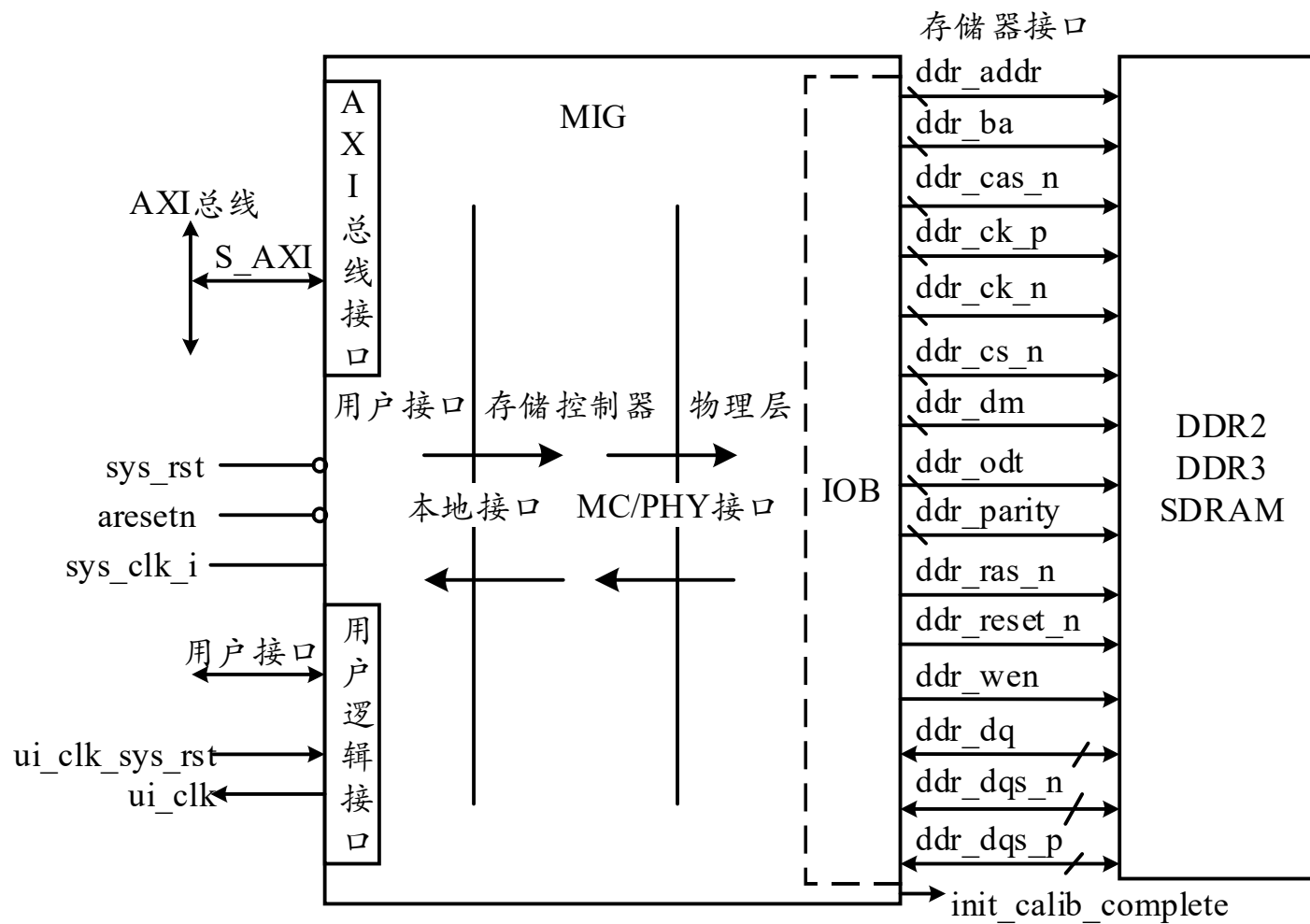


MIG存储器接口生成器

DDR3、DDR2 SDRAM、QDR II+ SRAM、RLDRAM II、
RLDRAM III，以及LPDDR2 SDRAM等存储芯片的存储器接口

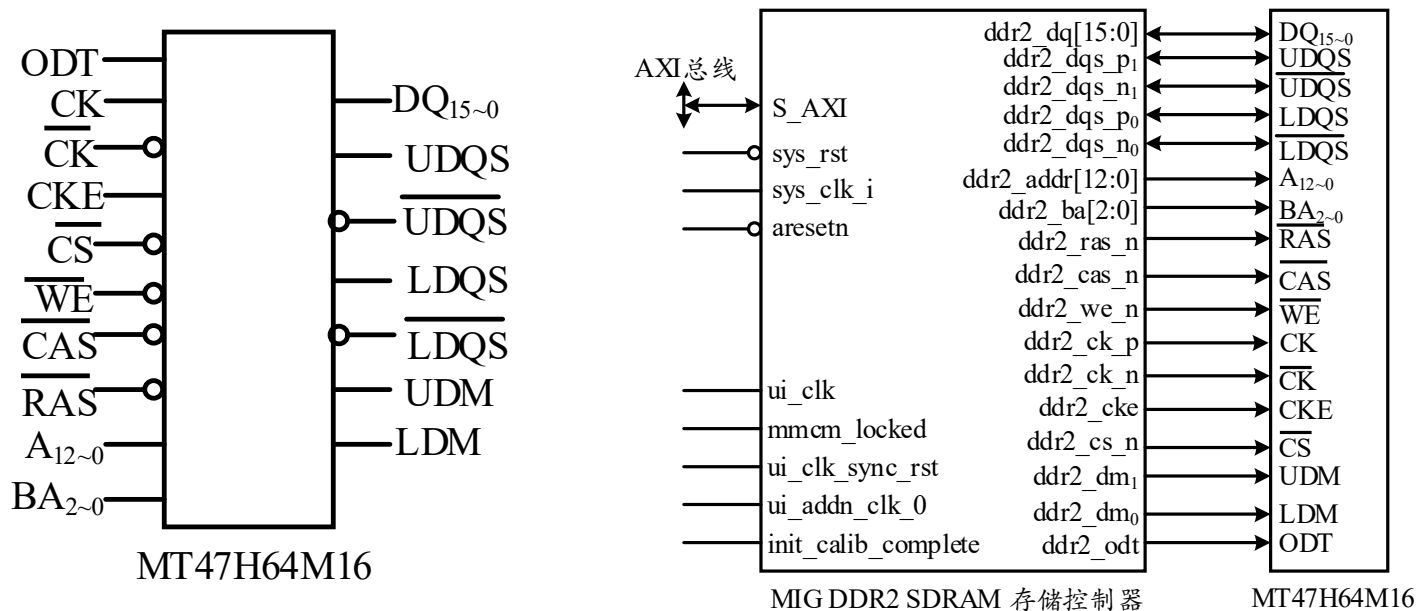
最多支持8个存储器接口

MIG逻辑结构



示例

DDR2 SDRAM存储芯片MT47H64M16引脚结构如图所示，它的容量为128MB，存储结构为 $8M \times 16b \times 8$ ，即8个存储模块，16位数据宽度，每个存储模块8M个数据。共13位行地址，10位列地址，对外地址线13根。试设计MIG与该存储器之间的接口电路。



示例

DDR2 SDRAM存储芯片MT47H64M16引脚结构如图所示，它的容量为128MB，存储结构为 $8M \times 16b \times 8$ ，即8个存储模块，16位数据宽度，每个存储模块8M个数据。共13位行地址，10位列地址，对外地址线13根。试设计MIG与该存储器之间的接口电路。

AXI总线地址	$A_{26 \sim 24}$	$A_{23 \sim 11}$	$A_{10 \sim 1}$	A_0
MT47H64M16存储芯片接口地址	块地址($BA_{9 \sim 0}$)	行地址($A_{12 \sim 0}$)	列地址($A_{9 \sim 0}$)	$dqs_{1 \sim 0}$

小结

- EMC、MIG IP核设计存储器接口电路
 - 基于用户接口配置时序参数
 - 逻辑设计

下一讲：IO接口技术基础