

Міністерство освіти і науки України
Національний університет “Львівська політехніка”

Кафедра ЕОМ



Звіт

З лабораторної роботи №1

З дисципліни: «Моделювання комп'ютерних систем»

На тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.
Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA»

Варіант-19

Виконав: ст. гр. КІ-201

М'якішев Є.М.

Прийняв:

Козак Н.Б.

Львів 2024

Мета роботи:

Інсталиювати та ознайомитися з середовищем розробки Xilinx ISE.
Ознайомитися зі стендом Elbert V2 – Spartan 3A FPGA.

Етапи роботи:

1. Інсталяція Xilinx ISE та додавання ліцензії. Побудова дешифратора (згідно варіанту) за допомогою ISE WebPACK™
2. Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
3. Генерування Bit файала та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA.

Варіант виконання роботи:

Мій номер в списку – 19. Нижче наведена таблиця вхідних та вихідних сигналів для мого варіанту.

Табл.1.1. Вхідні та вихідні сигнали.

in_2	in_1	in_0	out_0	out_1	out_2	out_3
0	0	0	0	1	0	0
0	0	1	0	1	1	0
0	1	0	0	1	0	1
0	1	1	0	1	0	0
1	0	0	0	1	0	0
1	0	1	1	1	0	1
1	1	0	0	1	1	1
1	1	1	0	0	0	1

Мінімізація функцій вихідних сигналів:

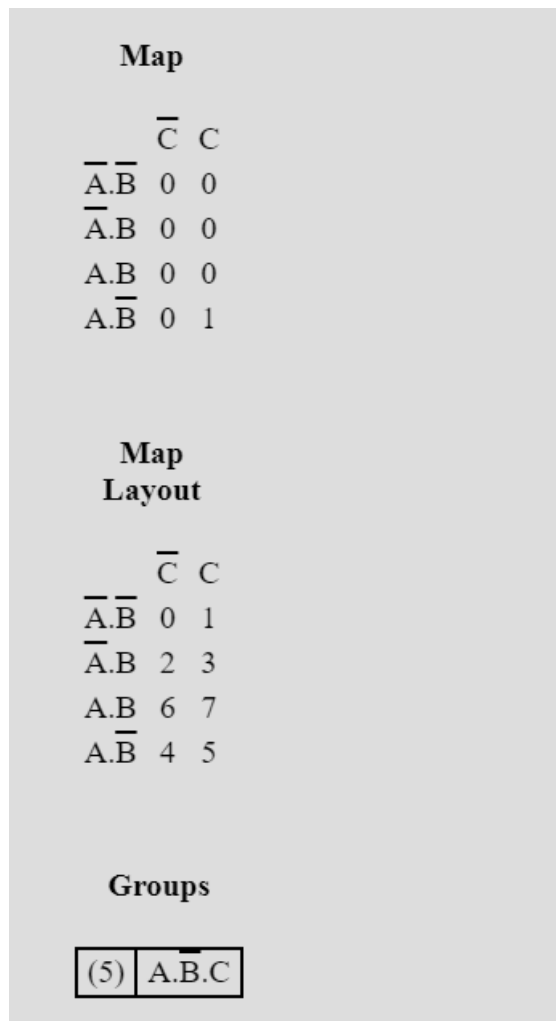


Рис. 1.1. Мінімізація функції OUT_0 .

$$OUT_0 = IN_2 * \overline{IN_1} * IN_0;$$

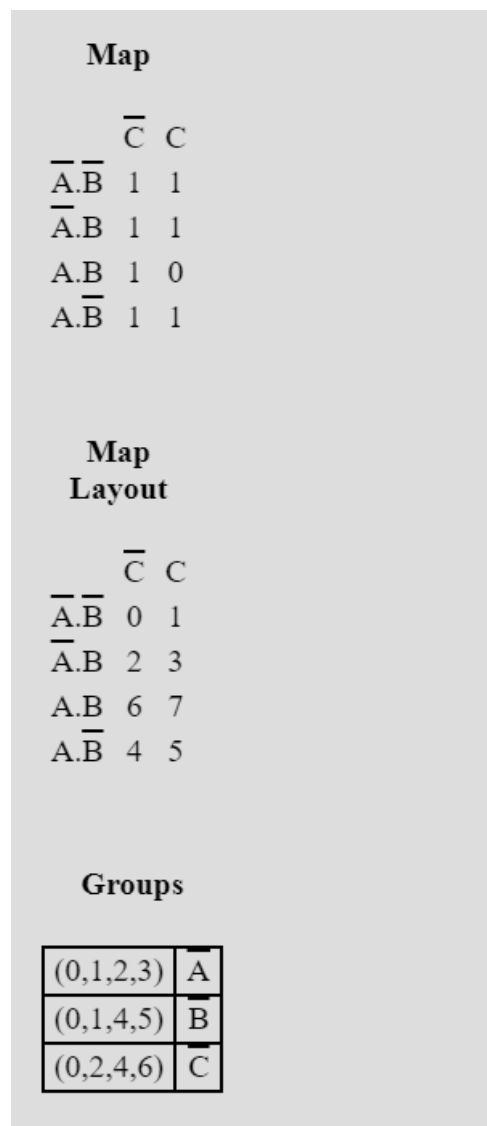


Рис. 1.2. Мінімізація функції OUT_1 .

$$OUT_1 = \overline{IN_2} + \overline{IN_1} + \overline{IN_0};$$

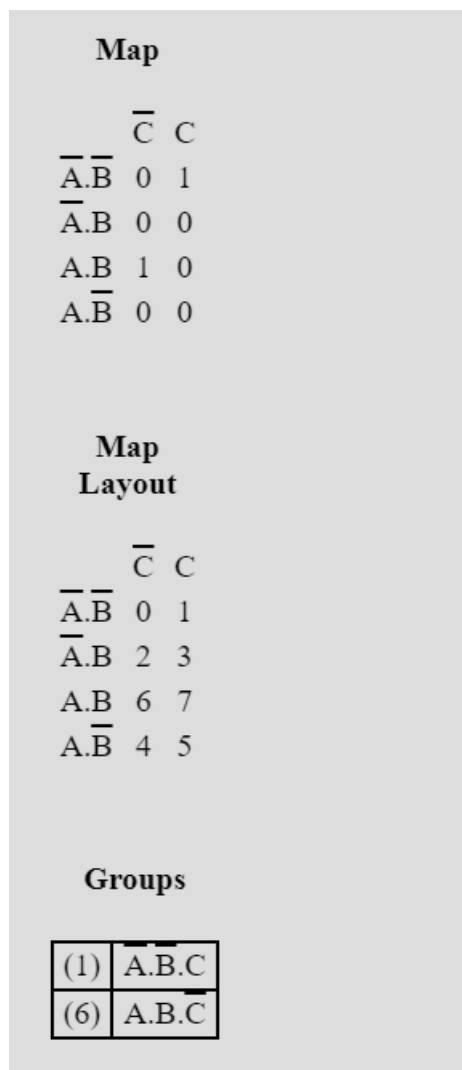


Рис. 1.3. Мінімізація функції OUT_2 .

$$OUT_2 = \overline{IN_2} * \overline{IN_1} * IN_0 + IN_2 * IN_1 * \overline{IN_0};$$

Map		
	\overline{C}	C
$\overline{A}.\overline{B}$	0	0
$\overline{A}.B$	1	0
$A.\overline{B}$	1	1
$A.B$	0	1

Map Layout		
	\overline{C}	C
$\overline{A}.\overline{B}$	0	1
$\overline{A}.B$	2	3
$A.\overline{B}$	6	7
$A.B$	4	5

Groups	
(2,6)	$B.\overline{C}$
(5,7)	$A.C$

Рис. 1.4. Мінімізація функції OUT_3 .

$$OUT_3 = IN_1 * \overline{IN_0} + IN_2 * IN_0;$$

Виконання роботи:

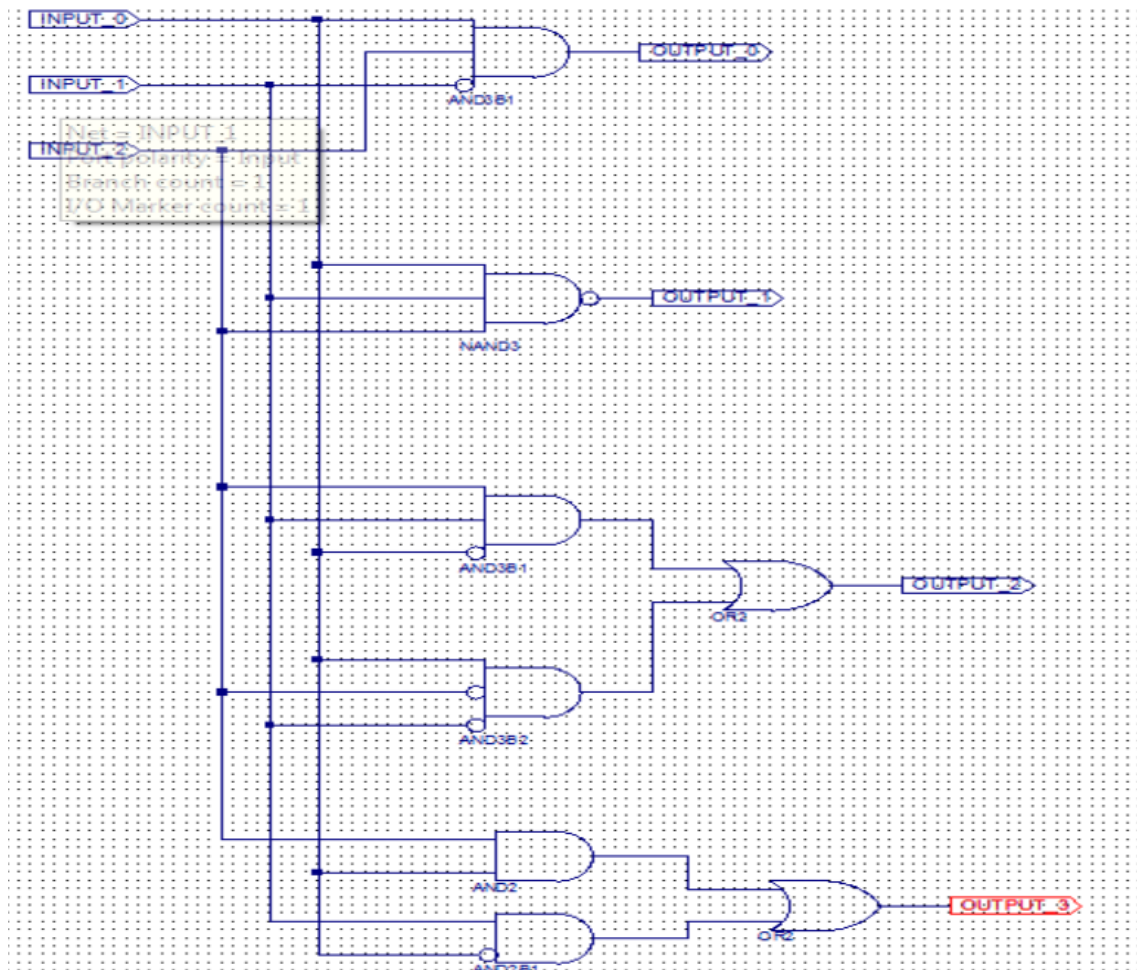


Рис 1.5. Схема.

```

#*****
#                               UCF for ElbertV2 Development Board
#*****
CONFIG VCCAUX = "3.3" ;

# Clock 12 MHz
#NET "Clk"                LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;

#*****
#                               LED
#*****

NET "OUTPUT_0"            LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUTPUT_1"            LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUTPUT_2"            LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUTPUT_3"            LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

#*****
#                               DP Switches
#*****

NET "INPUT_0"             LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "INPUT_1"             LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "INPUT_2"             LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

```

Рис 1.6. Файл з призначенням фізичних входів та виходів для сигналів.



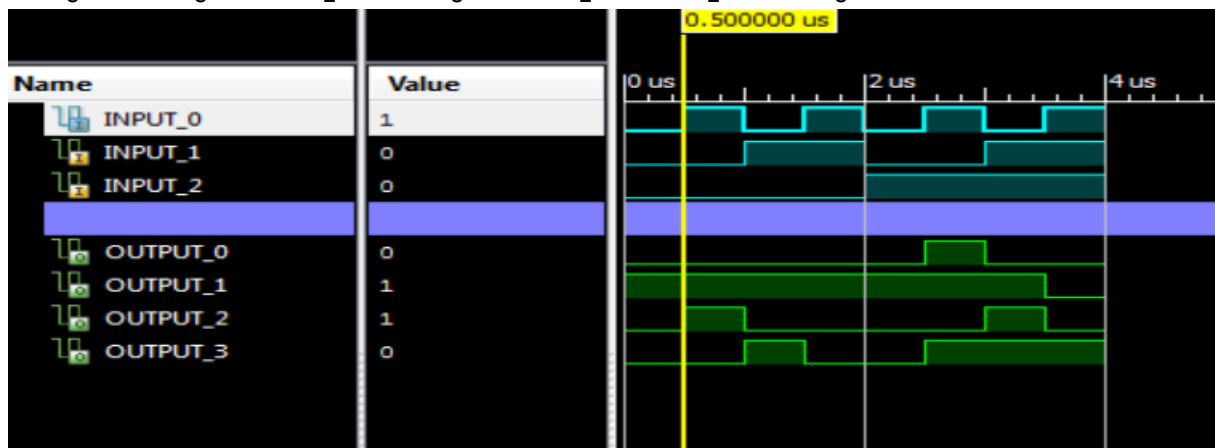
Рис 1.7. Повна симуляція роботи схеми в ISim.

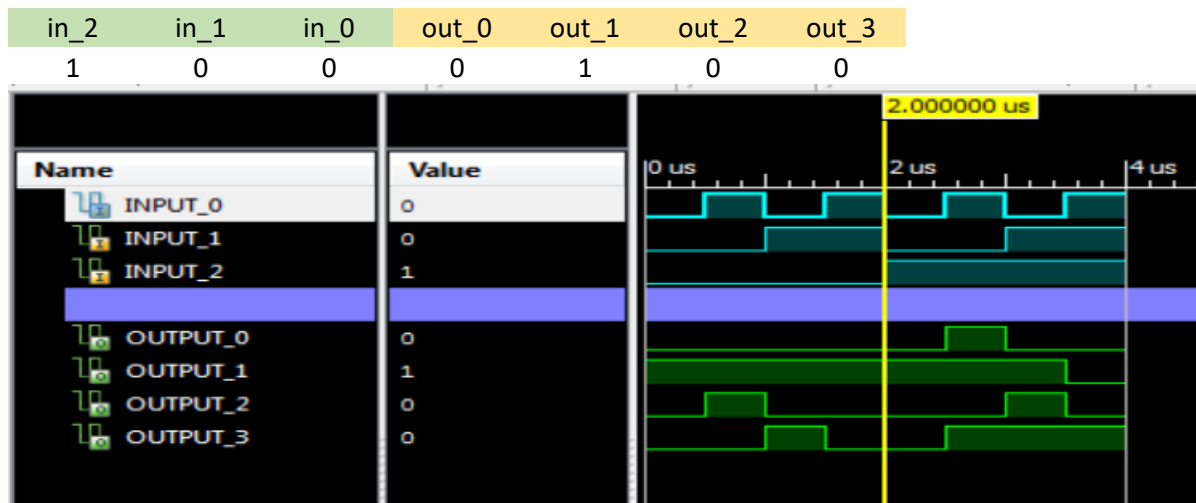
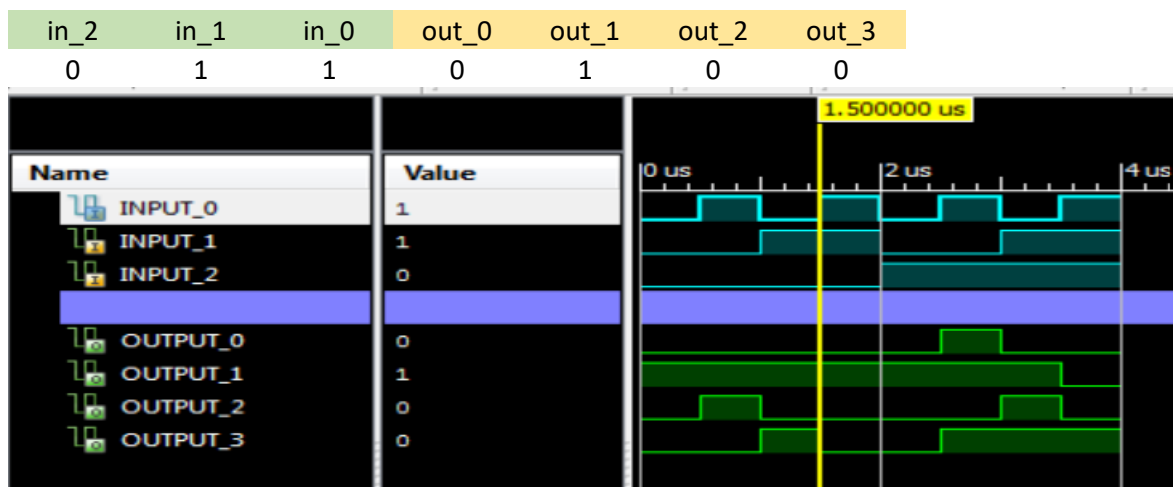
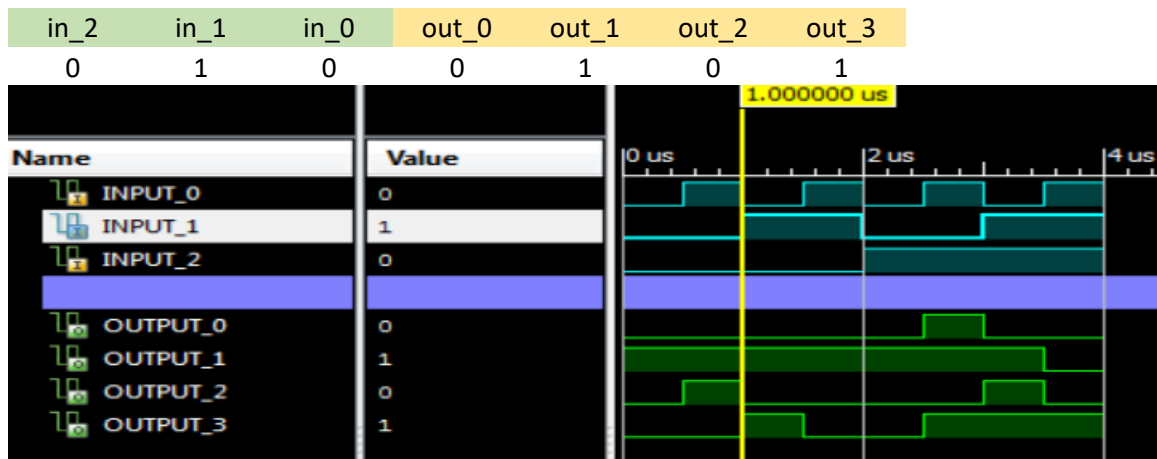
Порівняння сигналів:

in_2	in_1	in_0	out_0	out_1	out_2	out_3
0	0	0	0	1	0	0



in_2	in_1	in_0	out_0	out_1	out_2	out_3
0	0	1	0	1	1	0





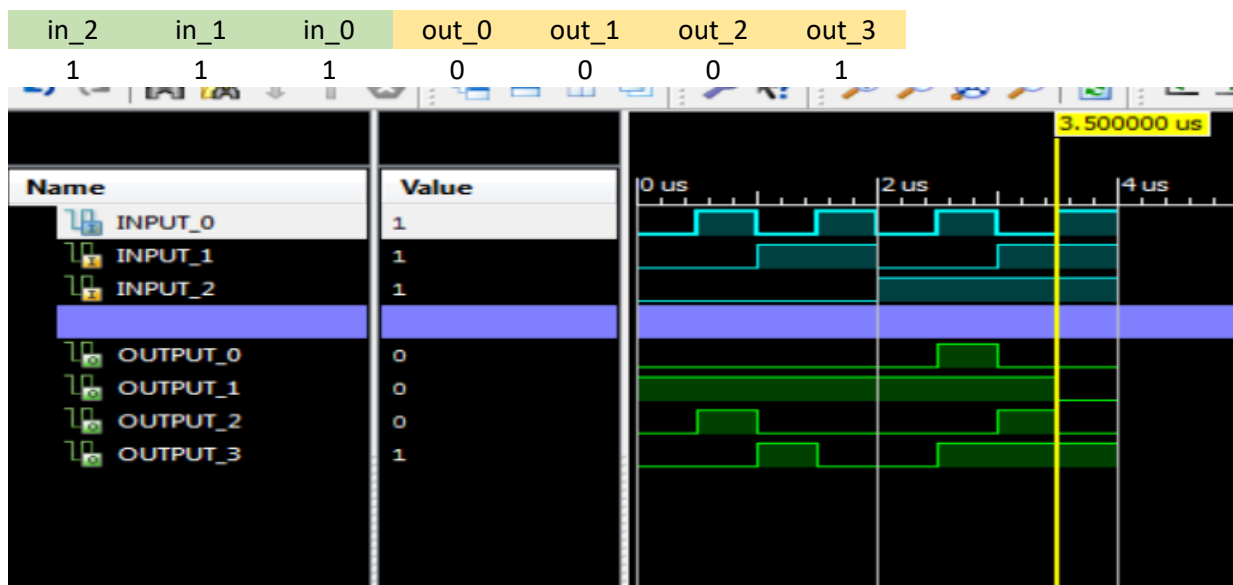
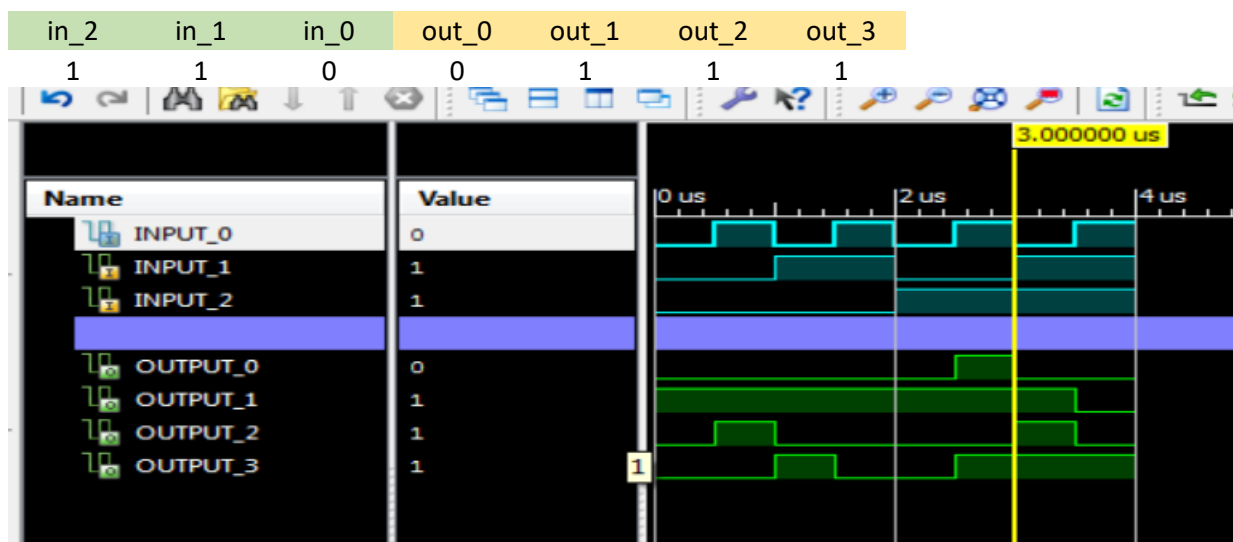
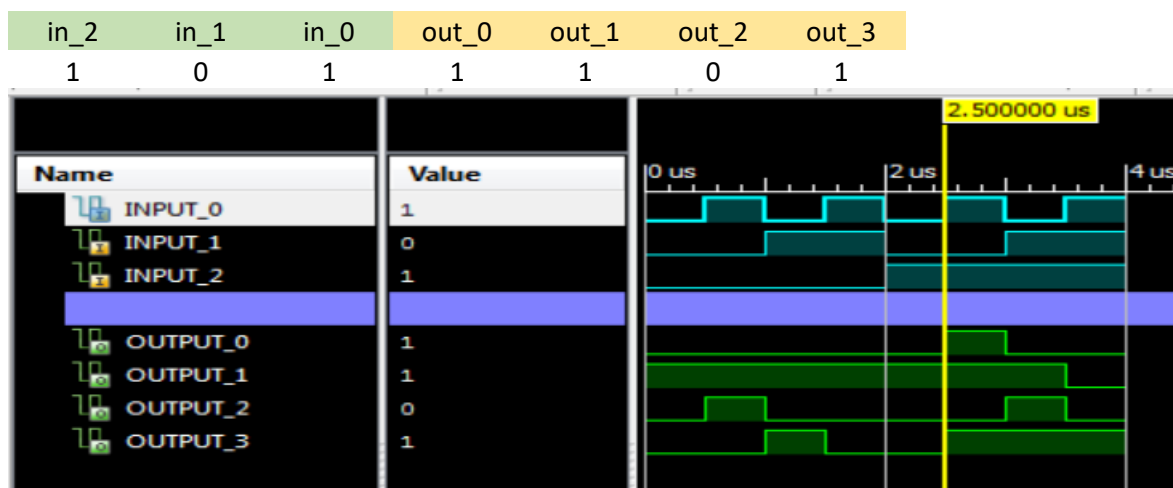


Рис 1.8.1 – 1.8.8. Порівняння сигналів з Табл.1.1 та симуляції ISim.

Висновок:

В ході виконання цієї лабораторної роботи я ознайомився з середовищем розробки Xilinx ISE. В цьому середовищі я розробив схему, згідно з таблицею істинності для мого варіанту. Я протестував усі можливі комбінації вхідних сигналів в ISim та порівняв вихідні сигнали з таблицею істинності. Також я ознайомився зі стендом Elbert V2 – Spartan 3A FPGA.