

Codificadores e Decodificadores e Saídas de Alta Impedância

Universidade Federal de Uberlândia Faculdade de Computação Prof. João Henrique de Souza Pereira

Créditos dos slides para o Prof. Dr. Daniel D. Abdala

Na Aula Passada ...

- Motivação do Problema de correção de erros;
- Método de Paridade;
- Código de Hamming;
- Circuito gerador de paridade;
- Circuito verificador de paridade;
- Código de Hamming(7,4).

Nesta Aula

- Implementação de circuitos codificadores;
- Codificador binário-BCD8421;
- Código Johnson;
- Código Excesso de 3;
- Código Gray;
- Código ASCII;
- Display de 7 segmentos;
- Saídas de alta impedância (buffers).

Codificadores/Decodificadores

- Circuitos combinacionais que transformam um código em outro;
- As denominações codificador e decodificador dependem da base de referência;
- · Construídos a partir da tabela verdade dos códigos.

	BCD	8421		Excesso de 3					
Α	В	С	D	S3	S2	S1	S0		
0	0	0	0	0	0	1	1		
0	0	0	1	0	1	0	0		
0	0	1	0	0	1	0	1		
0	0	1	1	0	1	1	0		
0	1	0	0	0	1	1	1		
0	1	0	1	1	0	0	0		
0	1	1	0	1	0	0	1		
0	1	1	1	1	0	1	0		
1	0	0	0	1	0	1	1		
1	0	0	1	1	1	0	0		
1	0	1	0						
1	0	1	1						
1	1	0	0						
1	1	0	1						
1	1	1	0						
1	1	1	1						

- Da tabela da verdade, extraímos as seguintes expressões de saída:
 - $-S3 = \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BC\overline{D} + A\overline{B}\overline{C}D + A\overline{B}\overline{C}D$
 - $-S2 = \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}\overline{C}D$
 - $-S1 = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D} + \overline{A}BCD + \overline{A}\overline{B}\overline{C}\overline{D}$
 - $-SO = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}\overline{D}$

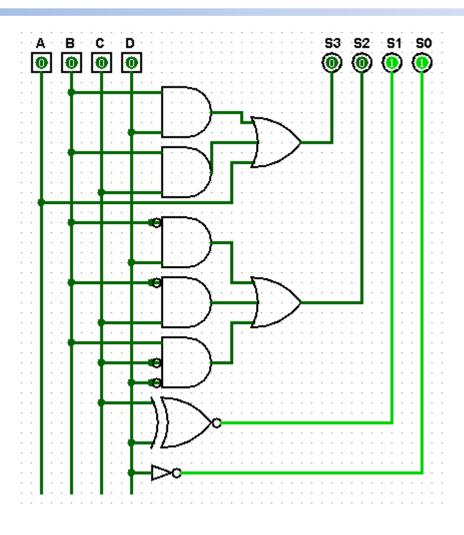
 Após a simplificação, obtêm-se as seguintes expressões de saída:

$$-S3 = A + BD + BC$$

$$-S2 = \overline{B}D + \overline{B}C + B\overline{C}\overline{D}$$

$$-S1 = \overline{CD} + CD = C \otimes D$$

$$-S0 = \overline{D}$$



Excesso de 3 – BCD 8421

	Excess	o de 3		Excesso de 3					
Α	В	С	D	S8	S4	S2	S1		
0	0	1	1	0	0	0	0		
0	1	0	0	0	0	0	1		
0	1	0	1	0	0	1	0		
0	1	1	0	0	0	1	1		
0	1	1	1	0	1	0	0		
1	0	0	0	0	1	0	1		
1	0	0	1	0	1	1	0		
1	0	1	0	0	1	1	1		
1	0	1	1	1	0	0	0		
1	1	0	0	1	0	0	1		
1	1	0	1						
1	1	1	0						
1	1	1	1						
0	0	0	0						
0	0	0	1						
0	0	1	0						

Excesso de 3 – BCD 8421

 Da tabela verdade, obtêm-se as seguintes expressões de saída:

$$-S8 = A\overline{B}CD + AB\overline{C}\overline{D}$$

$$-S4 = \overline{A}BCD + A\overline{B}\overline{C}\overline{D} + A\overline{B}\overline{C}D + A\overline{B}C\overline{D}$$

$$-S2 = \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + A\overline{B}\overline{C}D + A\overline{B}C\overline{D}$$

$$-S1 = \overline{A}B\overline{C}\overline{D} + \overline{A}BC\overline{D} + A\overline{B}\overline{C}\overline{D} + A\overline{B}C\overline{D} + AB\overline{C}\overline{D}$$

Excesso de 3 – BCD 8421

 Após a simplificação, obtêm-se as seguintes expressões de saída:

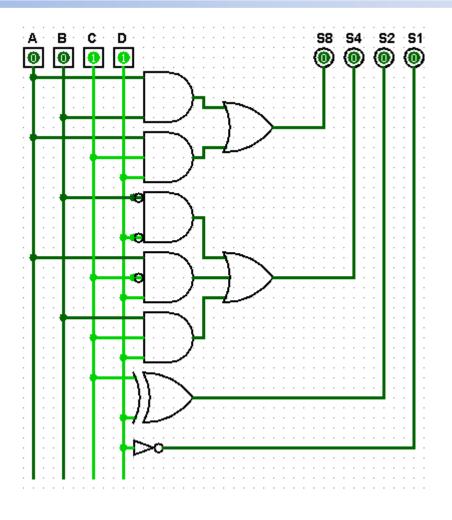
$$-S8 = AB + ACD$$

$$-S4 = \overline{B}\overline{D} + A\overline{C}D + BCD$$

$$-S2 = \overline{C}D + C\overline{D} = C \oplus D$$

$$-S1 = \overline{D}$$

Excesso de 3 - BCD 8421



	BCD	8421						98765	43210				
Α	В	С	D	S9	S8	S7	S6	S5	S4	S3	S2	S1	S0
0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	0	1	0	0
0	0	1	1	0	0	0	0	0	0	1	0	0	0
0	1	0	0	0	0	0	0	0	1	0	0	0	0
0	1	0	1	0	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1	0	0	0	0	0	0
0	1	1	1	0	0	1	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	0	0	0	0	0
1	0	1	0										
1	0	1	1										
1	1	0	0										
1	1	0	1										
1	1	1	0										
1	1	1	1										

Da tabela verdade, extraímos as seguintes expressões:

•
$$S1 = \overline{A}\overline{B}\overline{C}D$$

•
$$S2 = \overline{ABCD}$$

• S3 =
$$\overline{A}\overline{B}CD$$

•
$$S4 = \overline{A}B\overline{C}\overline{D}$$

•
$$S5 = \overline{A}B\overline{C}D$$

•
$$S6 = \overline{A}BC\overline{D}$$

•
$$S7 = \overline{A}BCD$$

• S8 =
$$\overline{ABCD}$$

• S9 =
$$\overline{ABCD}$$

• SO =
$$\overline{A}\overline{B}\overline{C}\overline{D}$$

Transpondo cada saída para um diagrama de Veitch-Karnaugh, obtemos:

•
$$S1 = \overline{A}\overline{B}\overline{C}D$$

•
$$S2 = \overline{B}C\overline{D}$$

• S3 =
$$\overline{B}CD$$

•
$$S4 = B\overline{C}\overline{D}$$

• S5 =
$$B\overline{C}D$$

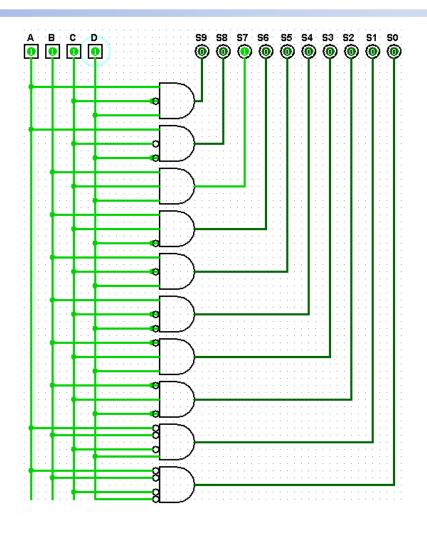
•
$$S6 = BC\overline{D}$$

• S8 =
$$A\overline{C}\overline{D}$$

•
$$S9 = A\overline{C}D$$

•
$$SO = \overline{A}\overline{B}\overline{C}\overline{D}$$

*obs: note que para obter as simplificações acima utilizamos os estados don't care:



Decodificador BCD 8421 para 2 entre 5

	BCD	8421		2 entre 5						
Α	В	С	D	S4	S3	S2	S1	S0		
0	0	0	0	0	0	0	1	1		
0	0	0	1	0	0	1	0	1		
0	0	1	0	0	0	1	1	0		
0	0	1	1	0	1	0	0	1		
0	1	0	0	0	1	0	1	0		
0	1	0	1	0	1	1	0	0		
0	1	1	0	1	0	0	0	1		
0	1	1	1	1	0	0	1	0		
1	0	0	0	1	0	1	0	0		
1	0	0	1	1	1	0	0	0		
1	0	1	0							
1	0	1	1							
1	1	0	0							
1	1	0	1							
1	1	1	0							
1	1	1	1							

BCD 8421 - Johnson

	BCD	8421		Johnson						
Α	В	С	D	S4	S3	S2	S1	SO SO		
0	0	0	0	0	0	0	0	0		
0	0	0	1	0	0	0	0	1		
0	0	1	0	0	0	0	1	1		
0	0	1	1	0	0	1	1	1		
0	1	0	0	0	1	1	1	1		
0	1	0	1	1	1	1	1	1		
0	1	1	0	1	1	1	1	0		
0	1	1	1	1	1	1	0	0		
1	0	0	0	1	1	0	0	0		
1	0	0	1	1	0	0	0	0		
1	0	1	0							
1	0	1	1							
1	1	0	0							
1	1	0	1							
1	1	1	0							
1	1	1	1							

Prof. Dr. rer. nat . Daniel Duarte Abdala

BCD 8421 - Gray

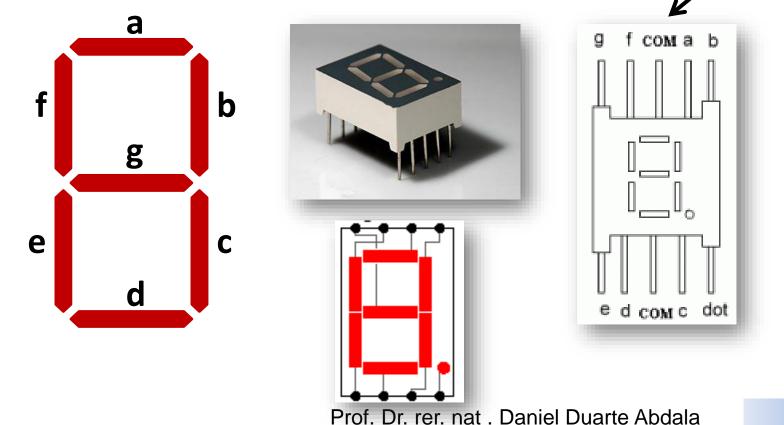
	BCD	8421		Gray						
Α	В	С	D	S3	S2	S1	S0			
0	0	0	0	0	0	0	0			
0	0	0	1	0	0	0	1			
0	0	1	0	0	0	1	1			
0	0	1	1	0	0	1	0			
0	1	0	0	0	1	1	0			
0	1	0	1	0	1	1	1			
0	1	1	0	0	1	0	1			
0	1	1	1	0	1	0	0			
1	0	0	0	1	1	0	0			
1	0	0	1	1	1	0	1			
1	0	1	0	1	1	1	1			
1	0	1	1	1	1	1	0			
1	1	0	0	1	0	1	0			
1	1	0	1	1	0	1	1			
1	1	1	0	1	0	0	1			
1	1	1	1	1	0	0	0			

Prof. Dr. rer. nat . Daniel Duarte Abdala

Display de 7 Segmentos

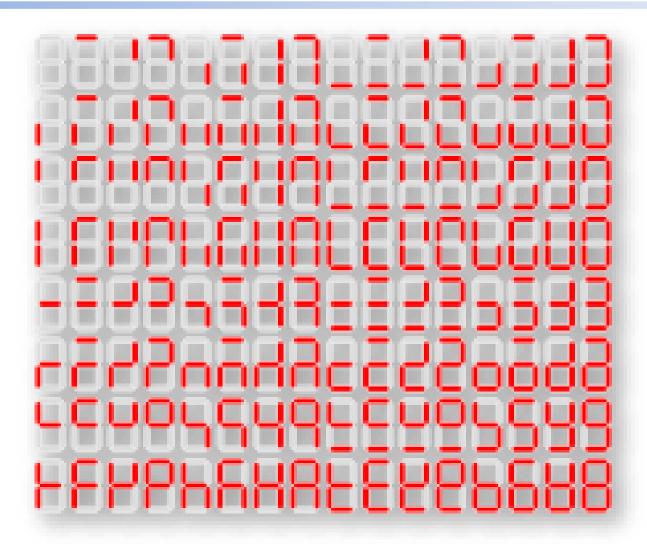
Componente eletrônico muito comum

Possibilita a apresentação de dígitos

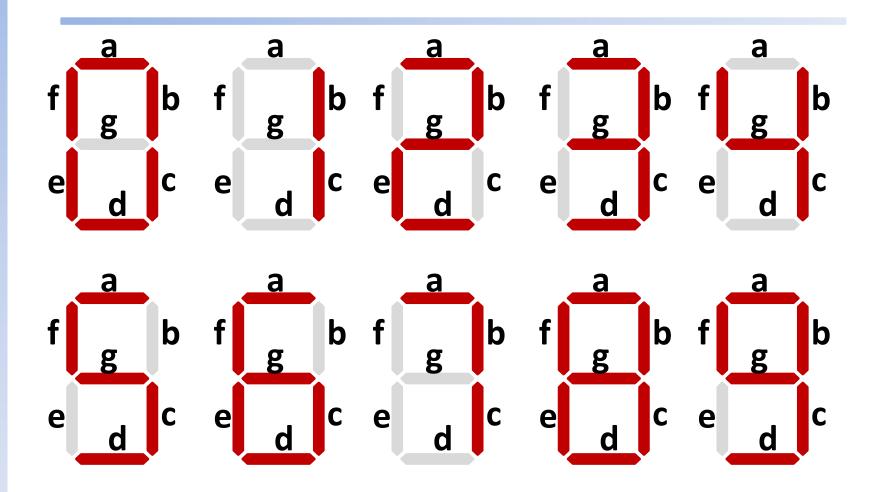


TTL TIL321

Display de 7 Segmentos



Display de 7 Segmentos



Decimal – 7 Segmentos

Decimal	7 Segmentos									
	а	b	С	d	е	f	g			
0	1	1	1	1	1	1	0			
1	0	1	1	0	0	0	0			
2	1	1	0	1	1	0	1			
3	1	1	1	1	0	0	1			
4	0	1	1	0	0	1	1			
5	1	0	1	1	0	1	1			
6	1	0	1	1	1	1	1			
7	1	1	1	0	0	0	0			
8	1	1	1	1	1	1	1			
9	1	1	1	1	0	1	1			

Decimal – 7 Segmentos

Decimal	Decimal BCD 8421 7 Segmentos						7	Segment	os		
	Α	В	С	D	а	b	С	d	е	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1
	1	0	1	0							
	1	0	1	1							
	1	1	0	0							
-	1	1	0	1							
	1	1	1	0							
	1	1	1	1							

Decimal – 7 Segmentos

 Extraindo os mintermos para cada uma das saídas e simplificando, obtêm-se:

$$-a = A + C + \overline{B}\overline{D} + BD = A + C + B \otimes D$$

$$-b = B + \overline{C}\overline{D} + CD = B + C \otimes D$$

$$-c = \overline{C} + B + D$$

$$-d = A + \overline{B}\overline{D} + \overline{B}C + C\overline{D} + B\overline{C}D$$

$$-e = \overline{B}\overline{D} + CD$$

$$-f = A + \overline{C}\overline{D} + B\overline{C} + B\overline{D}$$

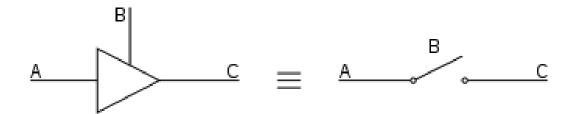
$$-g = A + \overline{C}B + \overline{B}C + \overline{D}C = A + \overline{D}C + B \oplus C$$

Saída 3-State

- Portas lógicas com saída 3-state permitem a geração de valores 0, 1 ou Z.
- O estado Z é considerado como uma saída desconectada do resto do circuito, pois esta se apresenta em um estado de alta impedância.
- A real intenção do terceiro estado (Z) é para efetivamente remover a influência de uma dada parte do circuito do restante.
- Permitem a implementação eficiente de multiplexadores.

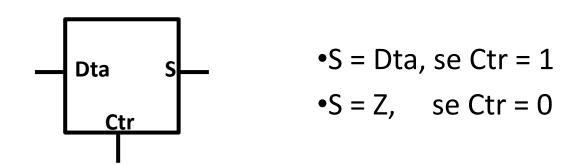
Saída 3-State

- 'A' = entrada
- 'B' = "chave"
- 'C' = 'A' se 'B' = 1
- 'A' = Z se 'B' = 0 (Z = alta impedância)



Circuitos para Habilitar e Desabilitar

 Idea: projetar um circuito que receba como entrada um sinal de controle Ctr e um sinal de dados Dta. Dta será copiado para a saída do circuito apenas de Ctr estiver habilitado.



Pro lar

- Leitura (Tocci): 4.4 (pp. 106)
- Leitura (Capuano): 5.2 5.2.10 (pp. 145 161)
- Exercícios (Capuano:) 5.2.11 (pp. 168)

Bibliografia Comentada

- TOCCI, R. J., WIDMER, N. S., MOSS, G. L.
 Sistemas Digitais Princípios e Aplicações.
 11ª Ed. Pearson Prentice Hall, São Paulo,
 S.P., 2011, Brasil.
- CAPUANO, F. G., IDOETA, I. V. **Elementos de Eletrônica Digital**. 40º Ed. Editora Érica. São Paulo. S.P. 2008. Brasil.