

Musterlösung Übungsblatt 3

CMOS-Technologie und Schaltnetze

Vorlesung *Technische Grundlagen der Informatik 1*, Sommersemester 2020

Erstellt von Dr.-Ing. Kristian Ehlers

Aufgabe 1 CMOS-Technologie

Gegeben ist die in Abbildung 1.1 dargestellte unvollständige CMOS-Schaltung.

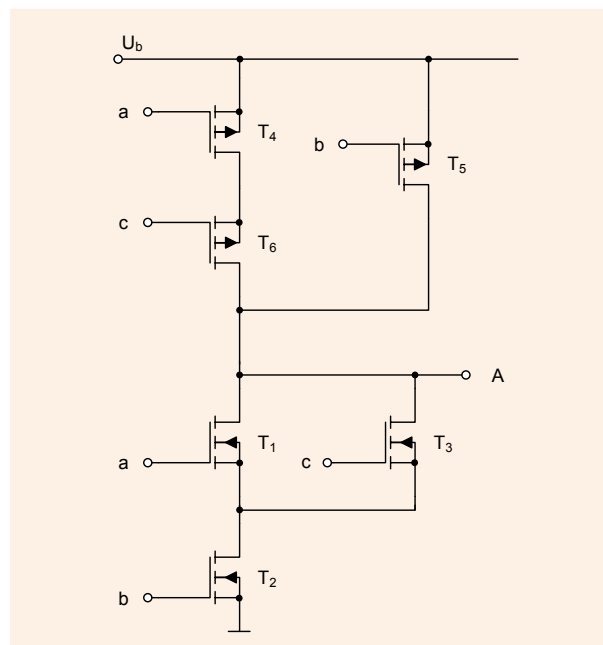


Abbildung 1.1: CMOS-Schaltung

(a) FET

Um welche Feldeffekttransistortypen handelt es sich bei den in der Schaltung vorkommenden Transistoren? Bei welchem Eingangspegel leiten diese Transistoren?

Es handelt sich um n-Kanal MOSFETs, d.h. sie leiten erst, wenn an ihrem Gate eine positive Spannung oberhalb einer Schwellwertspannung angelegt wird.

(b) CMOS vs. RTL-Technologie

Welchen Vorteil bietet die CMOS-Technologie im Vergleich zur RTL-Technologie?

Bis auf den Moment des Schaltens fließt „kein“ Strom.

(c) Komplementärschaltung

Ergänzen Sie die komplementäre Transistorschaltung im oberen Schaltungsteil zwischen Versorgungsspannung und dem Ausgang.

Das komplementäre Netz verhindert, dass (bei konstantem Input) ein Strom fließt. Da immer das Hauptnetz oder das komplementäre Netz sperren werden. Damit wird Strom gespart.

(d) Funktion

Welche logische Funktion realisiert die CMOS-Schaltung?

$$f(a, b, c) = \overline{b(a + c)}$$

(e) Schaltzustände der Transistoren

Bestimmen Sie die Schaltzustände leitend (on) bzw. gesperrt (off) aller Transistoren für alle möglichen Eingangskombinationen und den Pegel (H/L) von A.

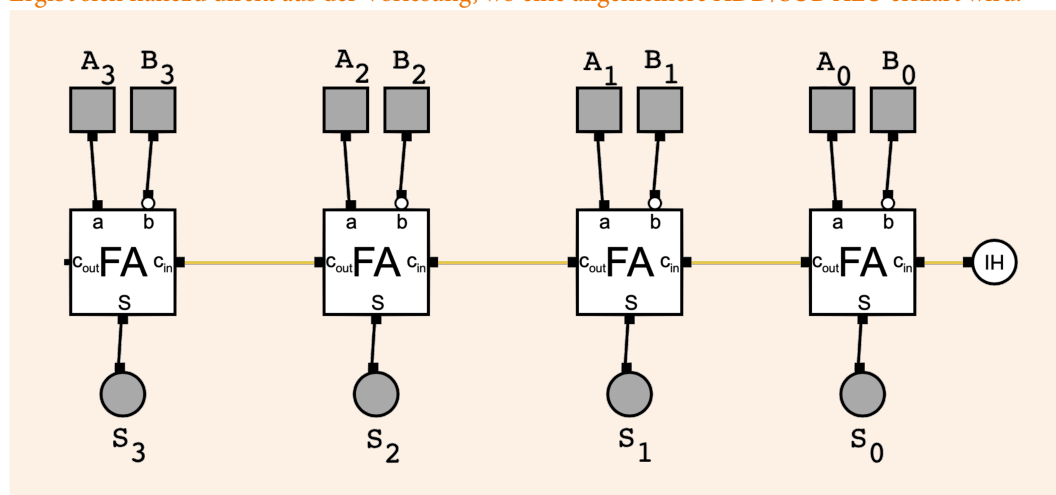
a	b	c	T1	T2	T3	T4	T5	T6	A
L	L	L	OFF	OFF	OFF	ON	ON	ON	H
L	L	H	OFF	OFF	ON	ON	ON	OFF	H
L	H	L	OFF	ON	OFF	ON	OFF	ON	H
L	H	H	OFF	ON	ON	ON	OFF	OFF	L
H	L	L	ON	OFF	OFF	OFF	ON	ON	H
H	L	H	ON	OFF	ON	OFF	ON	OFF	H
H	H	L	ON	ON	OFF	OFF	OFF	ON	L
H	H	H	ON	ON	ON	OFF	OFF	OFF	L

Aufgabe 2 Subtrahierer

(a) Realisierung

Implementieren Sie einen 4-Bit Subtrahierer in LogicCircuits unter Verwendung von Volladdierer-Bausteinen. Gehen Sie davon aus, dass Minuend A (4 Bit) und Subtrahend B (4 Bit) jeweils im 2er-Komplement dargestellt sind und das MSB damit das Vorzeichen enthält. Die Differenz $S = A - B$ (4 Bit) soll ebenfalls im 2er-Komplement dargestellt werden.

Ergibt sich nahezu direkt aus der Vorlesung, wo eine allgemeinere ADD/SUB ALU erklärt wird.



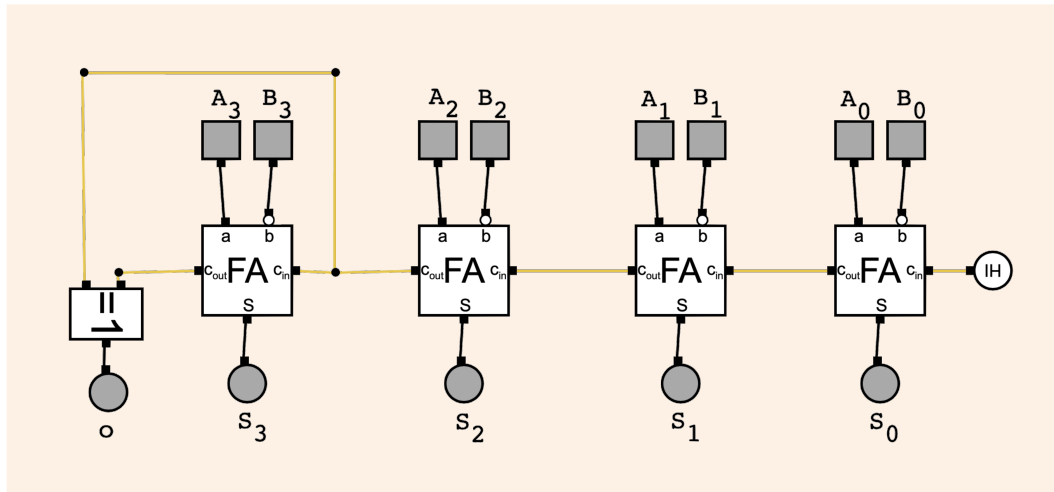
(b) Overflow-Bit

Bei manchen Eingaben kann die Differenz nicht mehr korrekt in 4 Bit mittels Zweierkomplement dargestellt werden. In solchen Fällen kommt es zu einem Overflow. Geben Sie die Bedingung an, bei der ein Overflow auftritt und ergänzen Sie die Schaltung in der Art, dass das Overflow-Bit herausgeführt und als Lampe dargestellt wird.

Der Overflow wird wahrscheinlich im Bereich des oberen Bits generiert. Aus diesem Grund stellen wir eine Wahrheitstafel auf, die als Eingaben die oberen beiden Bit und das eingehende Carry berücksichtigt. Nach Ausfüllen der Tabellen, versuchten wir den einzelnen Zeilen Bedeutungen zuzuweisen und daran die fehlerhaften Fälle zu erkennen.

A_3	B_3	c_{out2}	c_{out3}	VZ	Bemerkung
0	0	0	0	1	positive Zahl - positive Zahl -> negatives Ergebnis
0	0	1	1	0	positive Zahl - positive Zahl -> positives Ergebnis
0	1	0	0	0	positive Zahl - negative Zahl -> positives Ergebnis < 7
0	1	1	0	1	positive Zahl - negative Zahl -> positives Ergebnis > 7
1	0	0	1	0	negative Zahl - positive Zahl -> positives Ergebnis Widerspruch
1	0	1	1	1	negative Zahl - positive Zahl -> negatives Ergebnis
1	1	0	0	1	negative Zahl - negative Zahl -> positives Ergebnis
1	1	1	1	0	negative Zahl - negative Zahl -> negatives Ergebnis

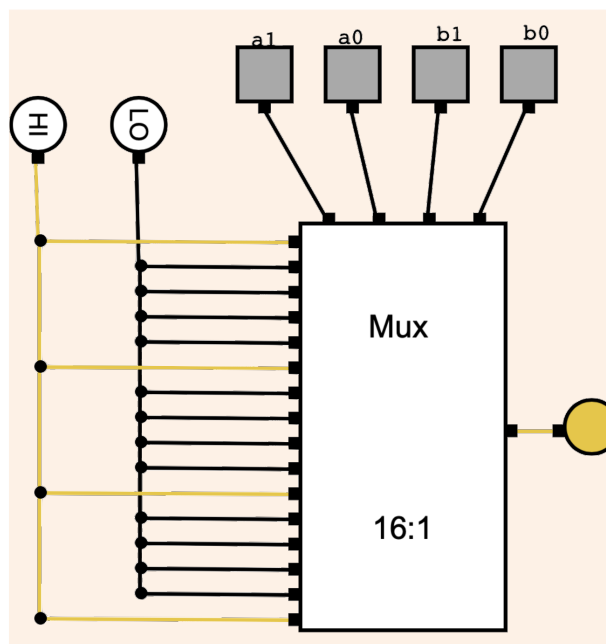
$$\Rightarrow O = c_{out2} \text{ XOR } c_{out3}$$



Aufgabe 3 Komparator

(a) MUX₄

Realisieren Sie einen Komparator in LogicCircuits, der zwei 2-Bit Zahlen auf Äquivalenz überprüft. Ihnen stehen ein MUX mit 4 Steuereingängen (MUX₄ oder 16:1 MUX) sowie die Signale HIGH und Low zur Verfügung.



(b) MUX₂

Leider gibt es einen Lieferengpass bei den MUX₄-Bausteinen. Realisieren Sie aus diesem Grund dieselbe Schaltung mittels eines MUX₂ (4:1 MUX), zweier XOR-Gatter und zweier NOT-Gatter.

