

МИНИСТЕРСТВО ОБРАЗОВАНИЯ РЕСПУБЛИКИ БЕЛАРУСЬ

УЧРЕЖДЕНИЕ ОБРАЗОВАНИЯ
ГОМЕЛЬСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
ИМЕНИ П. О. СУХОГО

Кафедра «Промышленная электроника»

РАСЧЕТНО-ПОЯСНИТЕЛЬНАЯ ЗАПИСКА
к курсовой работе
по дисциплине «Схемотехника цифровых устройств»
на тему:
«Преобразователь индивидуальных данных студента»

Исполнитель: студент гр. ЗПЭ-31с
А.Г. Вербицкий
Руководитель: ст. преподаватель
Ю.Е. Котова

Дата проверки: _____
Дата допуска к защите: _____
Дата защиты: _____

Оценка работы: _____

Подписи членов комиссии
по защите курсовой работы: _____

Гомель 2022

СОДЕРЖАНИЕ

ВВЕДЕНИЕ	4
1 РАЗРАБОТКА СТРУКТУРНОЙ СХЕМЫ УСТРОЙСТВА	5
1.2 Составление таблицы истинности	5
1.3 Разработка структурной схемы преобразователя.....	7
1.4 Минимизация булево выражения при помощи карт Карно	8
2 РАЗРАБОТКА ГЕНЕРАТОРА ИМПУЛЬСОВ, РАСЧЕТ ЕГО ЭЛЕМЕНТОВ....	10
3 РАЗРАБОТКА МНОГОРАЗРЯДНОГО СЧЕТЧИКА ИМПУЛЬСОВ И РАСЧЕТ ЕГО ЭЛЕМЕНТОВ	14
4 РАЗРАБОТКА ВЫХОДНЫХ РЕГИСТРОВ ПАМЯТИ.....	17
5 РАЗРАБОТКА СХЕМЫ ЭЛЕКТРИЧЕСКОЙ ПРИНЦИПИАЛЬНОЙ	20
Список использованных источников.....	24
Приложение А Преобразователь индивидуальных данных студента. Схема электрическая принципиальная.....	25
Приложение Б Преобразователь индивидуальных данных студента. Перечень элементов	26

					ГГТУ 1-36.04.02.01.31с.05 ПЗ			
Изм	Лист	№ докум.	Подп.	Дата				
Разраб.	Вербицкий				Преобразователь индивидуальных данных студента Пояснительная записка		Лит.	Лист
Пров.								3
.								26
Н. контр.							ЗПЭ-31с.05	
Утв.								

ВВЕДЕНИЕ

Радиолокация, автоматика и телемеханика, спутниковая связь и системы глобального позиционирования, медицина и фотография, аудиовизуальная техника и бытовая радиоэлектроника, системы видеонаблюдения и охранные системы – это области широкого применения разнообразных цифровых устройств и компьютеров.

Это связано с тем, цифровые устройства не требуют индивидуальных настроек, что весьма важно при массовом производстве. Они малогабаритны, надежны, экономичны, многофункциональны. Развитие инфокоммуникационных технологий неразрывно связано с развитием цифровой и микропроцессорной техники.

Увеличение объема выпуска ЭВМ и систем автоматизации регистрации и обработки данных, требует высокой подготовки по базовым инженерным знаниям о принципах работы, построения и применения цифровых устройств.

Это позволяет будущему специалисту привить навыки и умения технически грамотного анализа и синтеза принципиальных схем цифровых трактов радиоэлектронной аппаратуры и ЭВМ, обоснованного выбора структуры и компонентов этих устройств, строящихся на единой элементной базе. Представленная курсовая работа обеспечивает подготовку по затронутым вопросам.

В курсовой работе рассматривается способ преобразования двоичного кода букв улицы из домашнего адреса студента в код Грея в зависимости от расположения буквы и частоты повторения.

Выполнение работы требует составления таблицы истинности, разработки схемы генератора импульсов, разработки схем совпадения кодов и схем сохранения кодов букв в ячейках памяти. Принципиальная схема выполнена на интегральных микросхемах КМОП.

					ГГТУ 1-36.04.02.01.31с.05 ПЗ	Лист
						4
Изм.	Лист	№ докум.	Подпись	Дата		

1 РАЗРАБОТКА СТРУКТУРНОЙ СХЕМЫ УСТРОЙСТВА

На основании задания необходимо составить таблицу истинности для пяти входных переменных А, В, С, D, Е.

В правой части таблицы должно быть n столбцов $F_1, F_2, F_3, \dots, F_n$, где: n – количество букв в названии улицы, F_n – последняя буква в названии. В каждом из n столбцов правой части 1 будет только в строке соответствующей, коду Грея буквы и порядку следования этой буквы в названии улицы.

Структурная схема должна содержать и выполнять:

- генератор импульсов с частотой повторения $f = (100 + 10 \cdot k)$ кГц и нестабильностью частоты $\pm 0,5 \%$, где k – количество букв в названии улицы;
- к выходу генератора импульсов необходимо подключить счетчик, формирующий код каждой буквы в названии;
- к выходам счетчика подключить n схем совпадения кодов, обеспечивающих формирование импульсов записи в момент совпадения кода Грея буквы с младшими пятью разрядами кода счетчика в соответствии с порядком следования буквы в названии;
- по каждому из этих n импульсов произвести запись кода Грея буквы в соответствующий регистр памяти.

Принципиальная схема выполнена на ИМС КМОП.

1.2 Составление таблицы истинности

Составим таблицу истинности исходя из числа и значения букв в названии улицы. Переменная ABCDE содержит код Грея буквы (см. таблицу 1.2), двоичное число $F_1 \dots F_n$ кодирует название улицы (F_1 – первая буква, F_n – последняя буква). В столбце F_n значение 1 выставляется в соответствии с порядком следования буквы в названии улицы.

					ГГТУ 1-36.04.02.01.31с.05 ПЗ	Лист
						5
Изм.	Лист	№ докум.	Подпись	Дата		

Таблица 1.1 – Таблица соответствия порядкового номера буквы алфавита коду Грея

Буква алфавита	Порядковый номер	Двоичный код	Код Грея
А	1	00001	00001
Б	2	00010	00011
В	3	00011	00010
Г	4	00100	00110
Д	5	00101	00111
Е	6	00110	00101
Ж	7	00111	00100
З	8	01000	01100
И	9	01001	01101
Й	10	01010	01111
К	11	01011	01110
Л	12	01100	01010
М	13	01101	01011
Н	14	01110	01001
О	15	01111	01000
П	16	10000	11000
Р	17	10001	11001
С	18	10010	11011
Т	19	10011	11010
У	20	10100	11110
Ф	21	10101	11111
Х	22	10110	11101
Ц	23	10111	11100
Ч	24	11000	10100
Ш	25	11001	10101
Щ	26	11010	10111
Ы	27	11011	10110
Ь	28	11100	10010
Э	29	11101	10011
Ю	30	11110	10001
Я	31	11111	10000

Таблица 1.2 – Таблица истинности преобразователя

Улица	С	О	В	Е	Т	С	К	А	Я
ABCDE	F1	F2	F3	F4	F5	F6	F7	F8	F9
11011	1	0	0	0	0	0	0	0	0
01000	0	1	0	0	0	0	0	0	0
00010	0	0	1	0	0	0	0	0	0

Окончание таблицы 1.2

Улица	С	О	В	Е	Т	С	К	А	Я
00101	0	0	0	1	0	0	0	0	0
11010	0	0	0	0	1	0	0	0	0
11011	0	0	0	0	0	1	0	0	0
01110	0	0	0	0	0	0	1	0	0
00001	0	0	0	0	0	0	0	1	0
10000	0	0	0	0	0	0	0	0	1

1.3 Разработка структурной схемы преобразователя

Позиционный код буквы состоит из двух составляющих:

1 Код Грея буквы – младшие разряды ABCDE.

2 Позиционный код буквы в названии – четыре старших разряда FGHIJ.

Позиционный код представлен в таблице 1.3.

Таблица 1.3 – Позиционный код

№	Буква	FGHIJ	ABCDE
1	С	0000	11011
2	О	0001	01000
3	В	0010	00010
4	Е	0011	00101
5	Т	0100	11010
6	С	0101	11011
7	К	0110	01110
8	А	0111	00001
9	Я	1000	10000

Назначение блоков структурной схемы:

ТГ – тактовый генератор;

СТ – двоичный счетчик;

ССК – схема совпадения кодов, формирующая управляющий сигнал при совпадении двоичного кода на выходах счетчика с позиционным кодом FGHIJABCDE;

РГ – регистр памяти, хранящий код каждой буквы.

Структурная схема преобразователя представлена на рисунке 1.1.

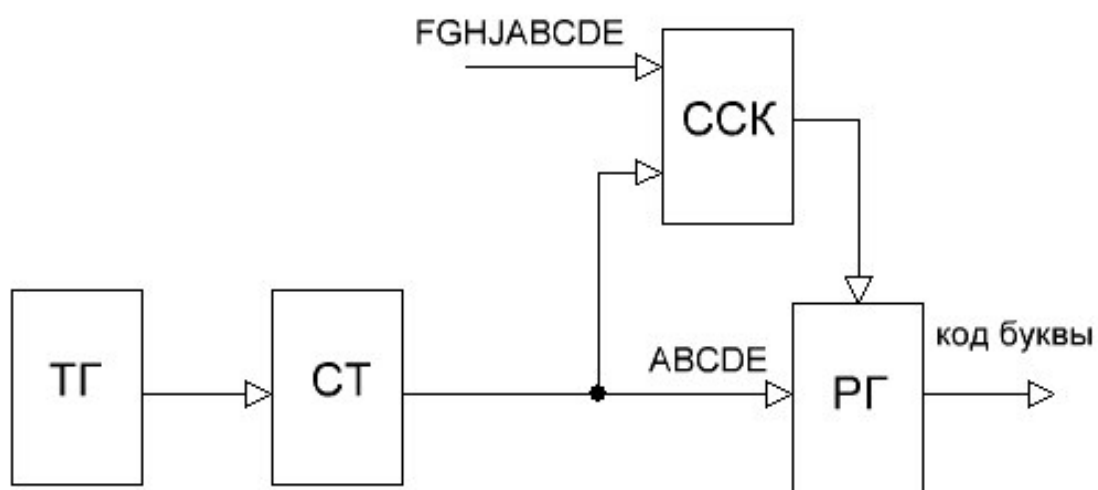


Рисунок 1.1 – Структурная схема преобразователя

1.4 Минимизация булево выражения при помощи карт Карно

Преобразуем первоначальную таблицу истинности, объединив в одном столбце правой части таблицы все единицы всех столбцов правой части таблицы истинности.

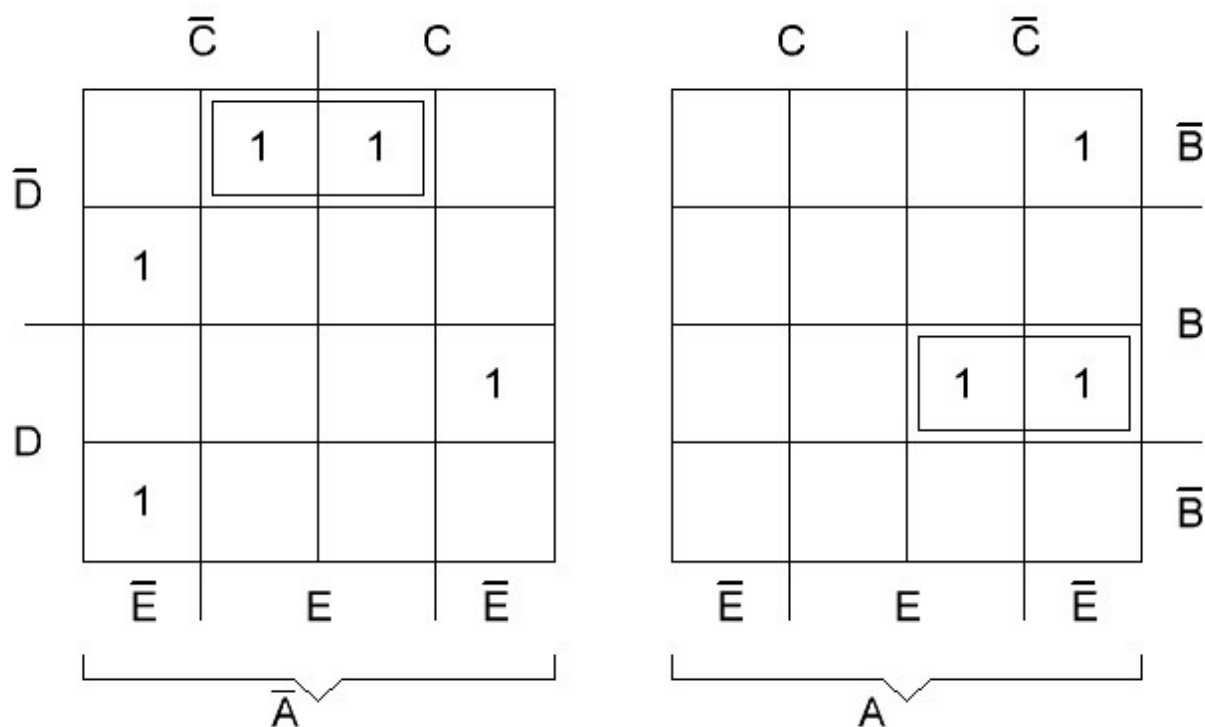
Таблица 1.4 – Преобразованная таблица истинности

№	Буква	ABCDE	F
1	С	11011	1
2	О	01000	1
3	В	00010	1
4	Е	00101	1
5	Т	11010	1
6	С	11011	1
7	К	01110	1
8	А	00001	1
9	Я	10000	1

По полученной таблице истинности запишем булево выражение

$$F = ABCDE + \overline{A}BCDE + \overline{A}BC\overline{D}E + \overline{A}BC\overline{D}\overline{E} + \\ + ABC\overline{D}\overline{E} + ABCDE + \overline{A}BCDE + \overline{A}BC\overline{D}\overline{E} + \overline{A}BC\overline{D}E$$

Произведем минимизацию булево выражения при помощи карт Карно



Минимизированное выражение имеет вид

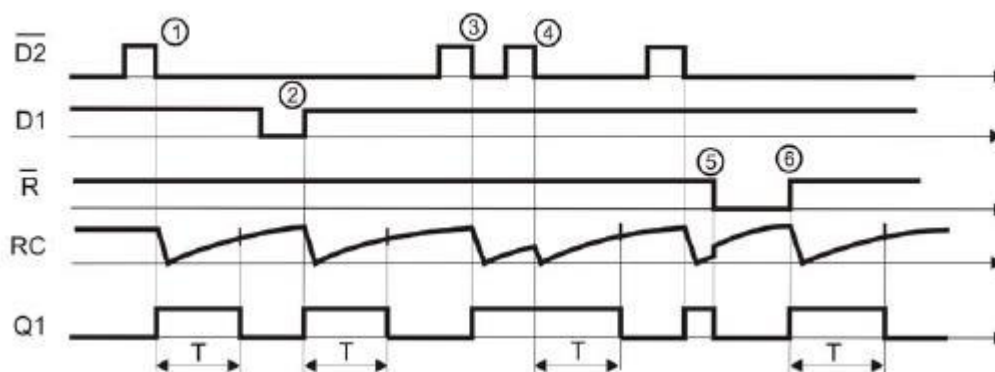
$$F = ABCD + \overline{A}BCDE + \overline{A}BC\overline{D}E + \overline{A}BC\overline{D}\overline{E} + \overline{A}BDE + \overline{A}BCDE + \overline{A}BC\overline{D}\overline{E}$$

2 РАЗРАБОТКА ГЕНЕРАТОРА ИМПУЛЬСОВ, РАСЧЕТ ЕГО ЭЛЕМЕНТОВ

Специализированные микросхемы – одновибраторы, таймеры – выпускают в различных сериях ТТЛ и КМОП. Они обладают широкими функциональными возможностями, но самое главное – имеют значительно меньшие погрешности длительности выходных импульсов, а также слабую зависимость длительности от температуры, питающего напряжения, от времени и от замены микросхемы.

Так, для К564АГ1 приводятся данные о погрешности длительности импульса порядка 0,5 %, в то время, как обычные одновибраторы и генераторы, собранные на логических элементах И-НЕ, ИЛИ-НЕ, D-триггерах или триггерах Шмита, имеют погрешность длительности импульса порядка ± 30 %.

По заданию относительная нестабильность частоты генератора $\pm 0,5$ %. Используем микросхему К1564АГЗ, которая содержит два ждущих мультивибратора (ЖМВБР) с входами перезапуска и предварительной установки в ноль (сброса). Автогенератор (генератор) строится на двух ЖМВБР по кольцевой схеме. Временная диаграмма работы ИМС приведена на рисунке 2.1.



1. Запуск по спаду положительного импульса
2. Запуск по фронту отрицательного импульса
3. Запуск по спаду положительного импульса
4. Перезапуск по спаду положительного импульса
5. Очистка
6. Запуск

Рисунок 2.1 – Временная диаграмма ИМС

Условное графическое обозначение микросхемы К1564АГЗ представлено на рисунке 2.2.

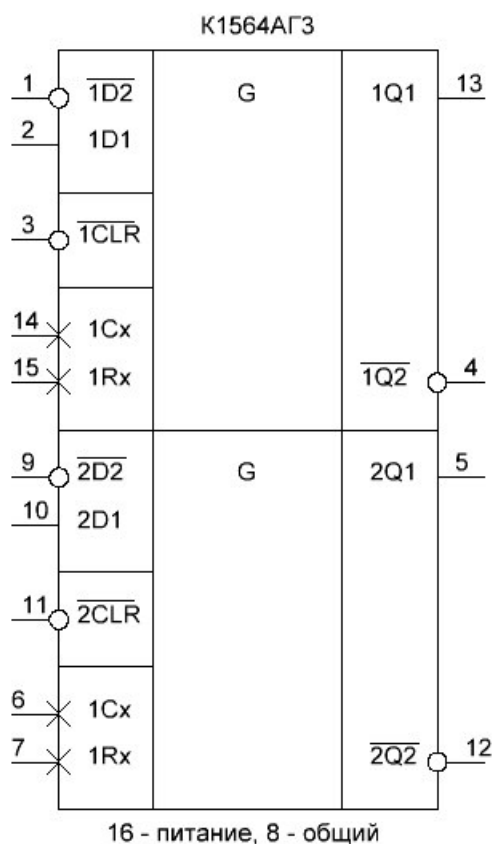


Рисунок 2.2 – Условное графическое обозначение К1564АГЗ

Основные технические параметры микросхемы приведены в таблице 2.1.

Таблица 2.1 – Технические параметры К1564АГЗ

$U_{\text{ип}}, \text{В}$	$U^0_{\text{вых}}, \text{В}$	$U^1_{\text{вых}}, \text{В}$	$I^0_{\text{вых}}, \text{мкА}$	$I^1_{\text{вых}}, \text{мкА}$	$t^{0,1}_{\text{зд.р}}, \text{нс}$	$t^{1,0}_{\text{зд.р}}, \text{нс}$	$I_{\text{пот}}, \text{мА}$
5	0,1	4,4	0,1	0,1	210	143	3,2

Каждый мультивибратор имеет два выхода Q1 и $\overline{Q2}$, Вход сброса $\overline{\text{CLR}}$ (активный уровень – низкий) и два входа запуска D – прямой с активным высоким уровнем, $\overline{D2}$ – инверсный с активным низким уровнем. Для микросхемы К1564АГЗ длительность импульса при $C > 0,001 \text{ нФ}$ определяется по формуле

$$T = R \cdot C. \quad (2.1)$$

Так же номиналы R и C можно определить по графику представленному на рисунке 2.3.

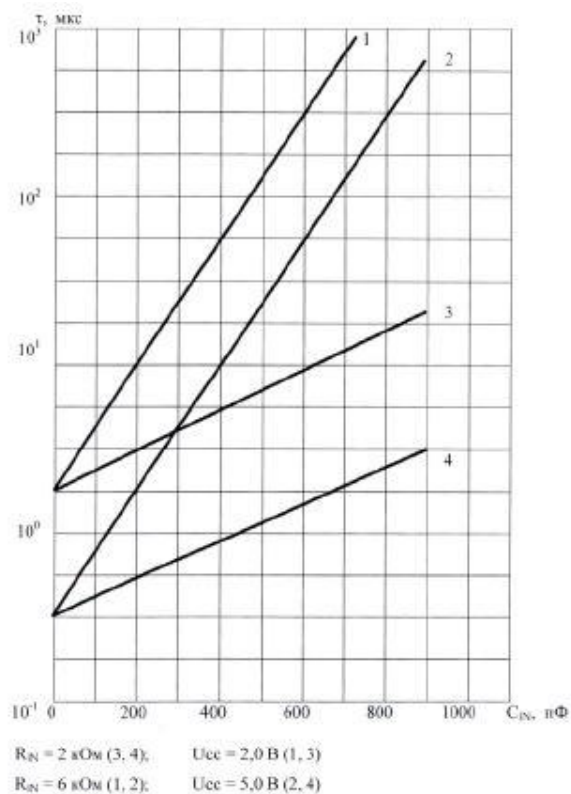


Рисунок 2.3 – Диаграмма для определения периода импульса К1564АГЗ

На рисунке 2.4 представлена принципиальная схема автогенератор построенная на двух ЖМВБР по кольцевой схеме.

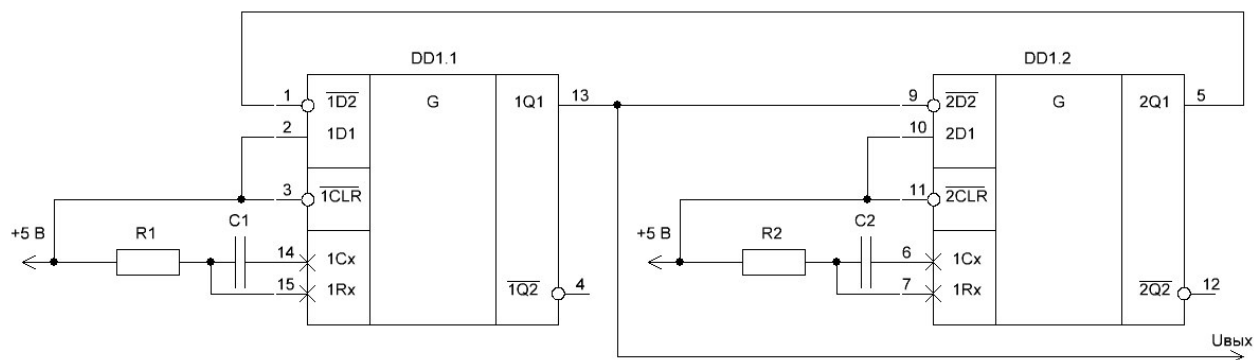


Рисунок 2.4 – Принципиальная схема автогенератора

Расчет параметров генератора на частоту

$$f = (100 + 10 \cdot k) = 100 + 10 \cdot 9 = 190 \text{ кГц},$$

где $k = 9$ – количество букв в названии улицы.

Параметры генератора равны:

- полупериод колебаний

$$T = T_1 = T_2 = 1/(2f) = 1/(2 \cdot 190 \cdot 10^3) = 2,632 \cdot 10^{-6} \text{ с};$$

- принимаем $C = C_1 = C_2 = 100 \text{ пФ}$;

- сопротивление резистора $R = R_1 = R_2$ определим из выражения (2.1)

$$R = \frac{T}{C} = \frac{2,632 \cdot 10^{-6}}{100 \cdot 10^{-12}} = 26320 \text{ Ом}.$$

Сопротивление выбираем из ряда E192 равное 26,4 кОм. Выбираем резисторы и конденсаторы [1]:

C_1, C_2 – К10-17а-50 В-100 пФ $\pm 5 \%$,

R_1, R_2 – С2-29В-0,125-26,4 кОм $\pm 0,5 \%$.

3 РАЗРАБОТКА МНОГОРАЗРЯДНОГО СЧЕТЧИКА ИМПУЛЬСОВ И РАСЧЕТ ЕГО ЭЛЕМЕНТОВ

Счетчик строим на основе микросхемы K1554ИЕ23 [2]. ИМС ИЕ23 содержит два одинаковых четырехразрядных счетчика с параллельным выходом. Условное графическое обозначение счетчика приведено на рисунке 3.1.

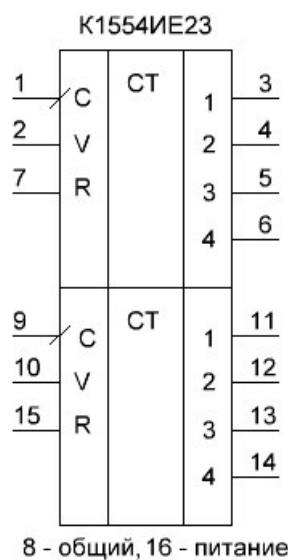


Рисунок 3.1 – Условное графическое обозначение K1554ИЕ23

Подача счетных импульсов может производиться высоким уровнем на вход С, либо в инверсной логике низким уровнем на вход V. В первом случае разрешение счета устанавливается высоким уровнем на входе V, а во втором – низким уровнем на входе С.

Каждый из четырехразрядных счетчиков имеет статический вход сброса R. Если на вход сброса R подать напряжение высокого уровня, то счетчик по всем выходам устанавливается в нулевое состояние (низкий уровень напряжения). Когда на вход R подано напряжение низкого уровня, то с приходом на вход С тактового импульса начнется режим счета. Основные технические параметры счетчика представлены в таблице 3.1.

Таблица 3.1 – Технические параметры К1554ИЕ23

$U_{\text{ИП}}, \text{В}$	$I_{\text{ПОТ}}, \text{мкА}$	$U^0_{\text{ВЫХ}}, \text{В}$	$U^1_{\text{ВЫХ}}, \text{В}$	$I^0_{\text{ВЫХ}}, \text{мА}$	$I^1_{\text{ВЫХ}}, \text{мА}$	$t^{0,1}_{\text{ЗД.Р}}, \text{нс}$	$t^{1,0}_{\text{ЗД.Р}}, \text{нс}$
5	8	0,32	4,86	86	-75	20	20

Разрядность счетчика равна

$$5 + \log_2 n = 5 + \log_2 9 = 5 + \ln 9 / \ln 2 = 8,2 \approx 9, \quad (3.1)$$

где n – количество букв в названии улицы, $n = 9$.

Каскадная схема соединения счетчиков при числе разрядов $N = 9$ имеет вид, представленный на рисунке 3.2.

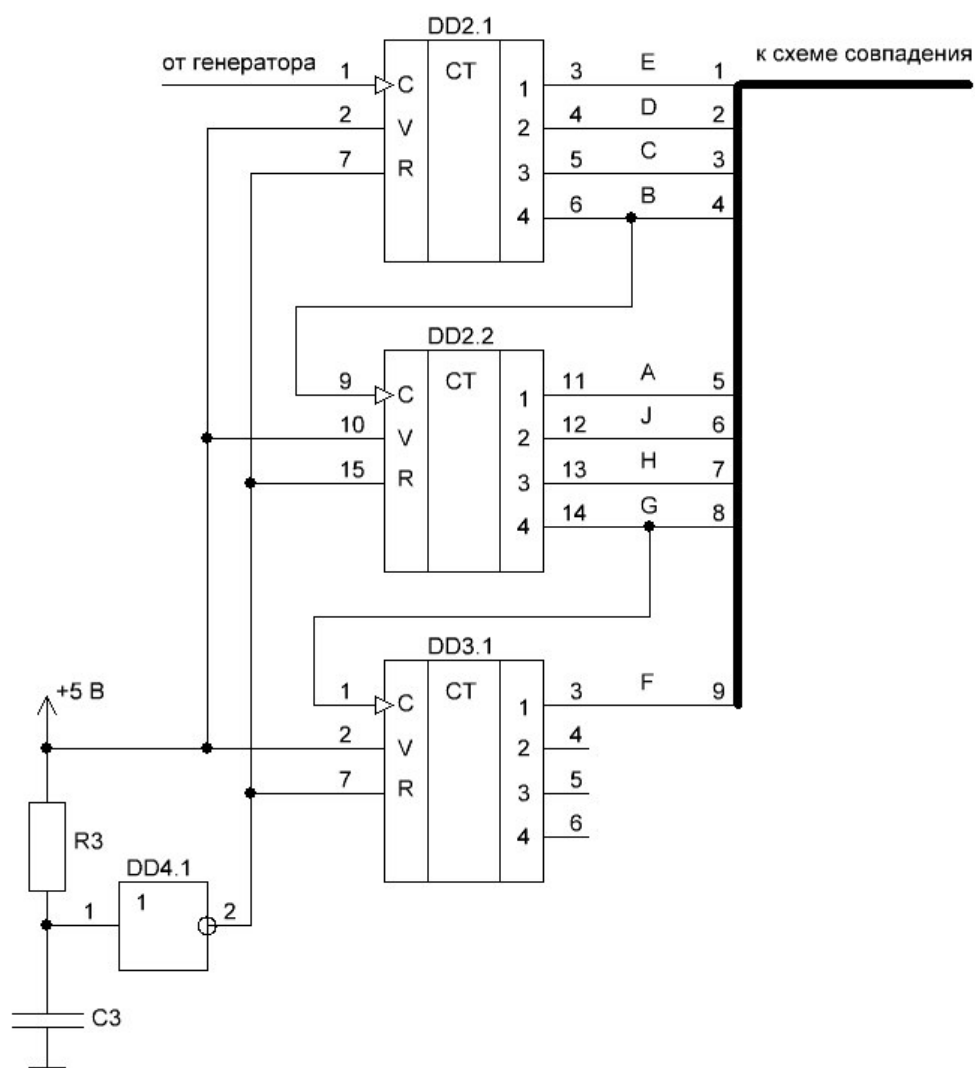


Рисунок 3.2 – Каскадное соединение счетчиков при числе разрядов $N = 9$

Цепочка C_3, R_3 обеспечивает сброс при подаче электропитания. В первый момент времени при включении питания напряжение на емкости равно нулю и на вход инвертора DD4.1 подается логический «0», таким образом, на выходе инвертора установлена логическая «1» и осуществляется сброс счетчиков. Затем происходит заряд емкости через сопротивление R_3 и на входе инвертора DD4.1 устанавливается логическая «1», а на его выходе логический «0» и соответственно для схемы счетчиков разрешен режим счета.

В качестве инвертора используем микросхему K1554ЛН1 [2]. Условное графическое обозначение микросхемы приведено на рисунке 2.3. Основные технические параметры микросхемы K1554ЛН1 представлены в таблице 2.1.

Входная емкость микросхемы составляет 4,5 пФ, а максимальная емкость нагрузки, при которой характеристики микросхемы не выходят из заданных пределов, не превышает 500 пФ.

Для КМОП микросхем сопротивление резистора R_3 выбирают равным от 10 кОм до 10 МОм. Выбираем резисторы и конденсаторы [1]: C_3 – К10-17а-50 В-100 пФ $\pm 5\%$, R_3 – С2-29В-0,125-10 кОм $\pm 0,5\%$.

4 РАЗРАБОТКА ВЫХОДНЫХ РЕГИСТРОВ ПАМЯТИ

В качестве элементов памяти используем регистр К1554ИР35 [2]. Условное графическое обозначение регистра представлено на рисунке 4.1.

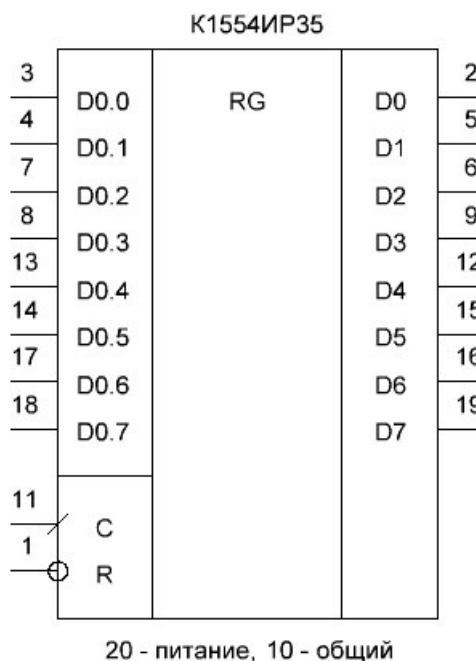


Рисунок 4.1 – Условное графическое обозначение К1554ИР35

Основные технические параметры счетчика представлена в таблице 4.1.

Таблица 4.1 – Технические параметры К1554ИР35

$U_{\text{ИП}}, \text{В}$	$I_{\text{ПОТ}}, \text{мкА}$	$U_{\text{ВЫХ}}^0, \text{В}$	$U_{\text{ВЫХ}}^1, \text{В}$	$I_{\text{ВЫХ}}^0, \text{мА}$	$I_{\text{ВЫХ}}^1, \text{мА}$	$t_{\text{ЗД.Р.}}^{0,1}, \text{нс}$	$t_{\text{ЗД.Р.}}^{1,0}, \text{нс}$
5	8	0,1	4,4	86	-75	10	9

Микросхема ИР35 – это восьмиразрядный регистр с параллельным вводом информации. Логическая структура микросхемы приведена на рисунке 4.2.

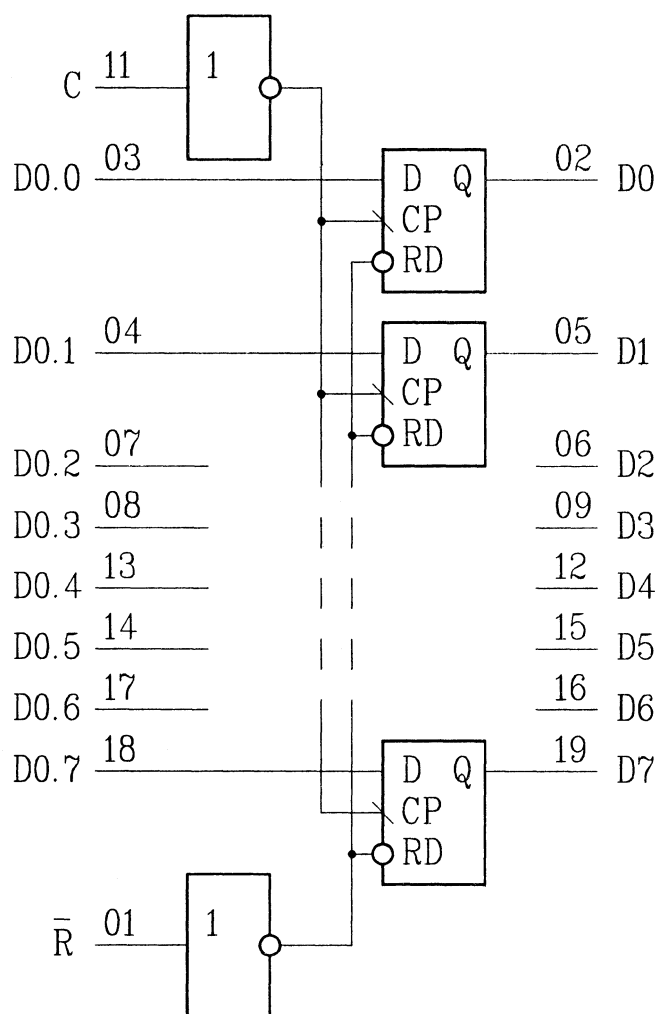


Рисунок 4.2 – Структура регистра IP35

Микросхема имеет две группы информационных выводов:

- входы для параллельной записи информации D0.0-D0.7;
- выходы для параллельного считывания информации D0-D7;
- вход для подачи тактовых импульсов C;
- вход сброса в состояние логического нуля R.

При логическом «0» на входе R независимо, от состояния других входов на выходах D0-D7 регистру устанавливается логический «0». Запись производится фронтом импульса на входе C (синхронная запись), при этом на входе R должен быть логическая «1».

Принципиальная схема для одного разряда схемы показана на рисунке 4.3.

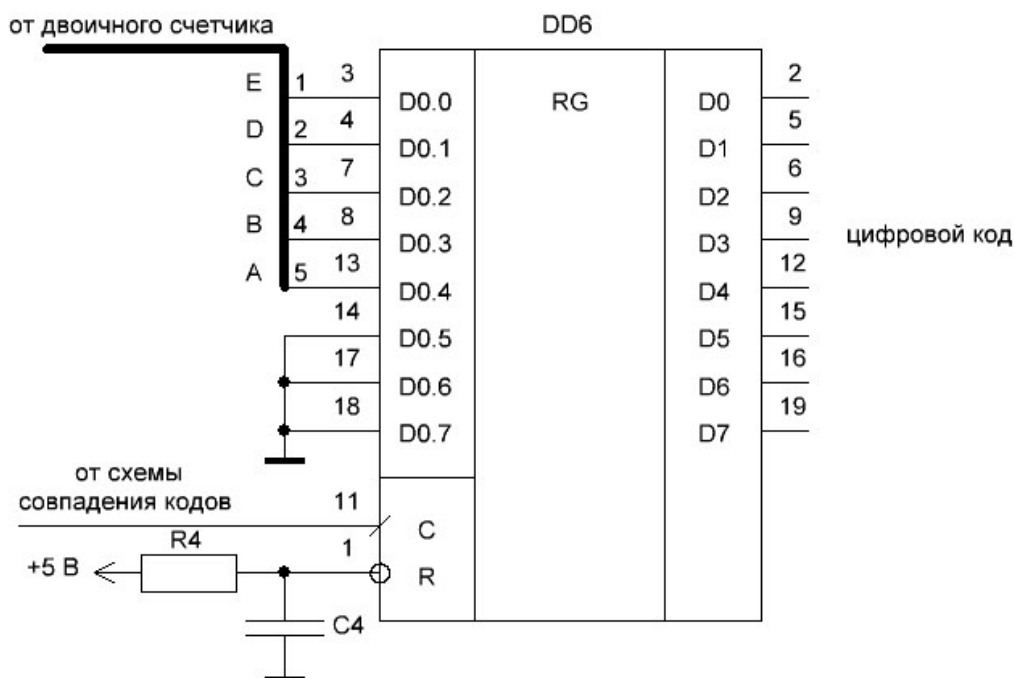


Рисунок 4.3 – Схема одного разряда

Цепочка C_4 , R_4 обеспечивает сброс при подаче электропитания. В первый момент времени при включении питания напряжение на емкости равно нулю и на вход R регистра подается логический «0», тогда согласно рисунка 4.2, осуществляется сброс регистра. Затем происходит заряд емкости через сопротивление R_4 и на входе R регистра устанавливается логическая «1», и соответственно для схемы регистра разрешен режим работы.

Входная емкость микросхемы составляет 4,5 пФ, а максимальная емкость нагрузки, при которой характеристики микросхемы не выходят из заданных пределов, не превышает 500 пФ.

Для КМОП микросхем сопротивление резистора R_4 выбирают равным от 10 кОм до 10 МОм. Выбираем резисторы и конденсаторы [1]: C_4 – К10-17а-50 В-100 пФ $\pm 5\%$, R_4 – С2-29В-0,125-10 кОм $\pm 0,5\%$.

5 РАЗРАБОТКА СХЕМЫ ЭЛЕКТРИЧЕСКОЙ ПРИНЦИПИАЛЬНОЙ

Устройство преобразователя основано на схеме совпадения кодов. Схема совпадения кодов построена на основе логического элемента К176ЛИ1[2], выполняющего логическую функцию $mИ$ с добавлением инвертора на выходе и логического элемента К1554ЛН1, выполняющего логическую функцию НЕ.

Условное графическое обозначение микросхем К176ЛИ1 представлено на рисунке 5.1.

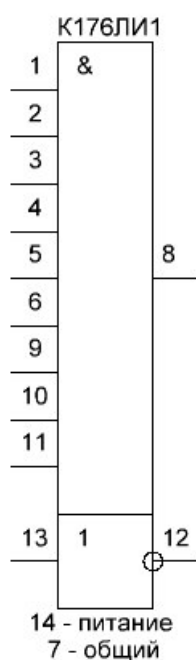


Рисунок 5.1 – Условное графическое обозначение К176ЛИ1

Основные технические параметры микросхемы К176ЛИ1 представлены в таблице 5.1.

Таблица 5.1 – Технические параметры К176ЛИ1

$U_{ин}, В$	$I_{пот}, мА$	$U^0_{вых}, В$	$U^1_{вых}, В$	$I^0_{вых}, мА$	$I^1_{вых}, мА$	$t^{0,1}_{зд.р.}, нс$	$t^{1,0}_{зд.р.}, нс$
5	0,7	0,95	3,6	0,4	0,5	200	120

Принципиальная схема для одного разряда схемы совпадения кодов представлена на рисунке 5.2.

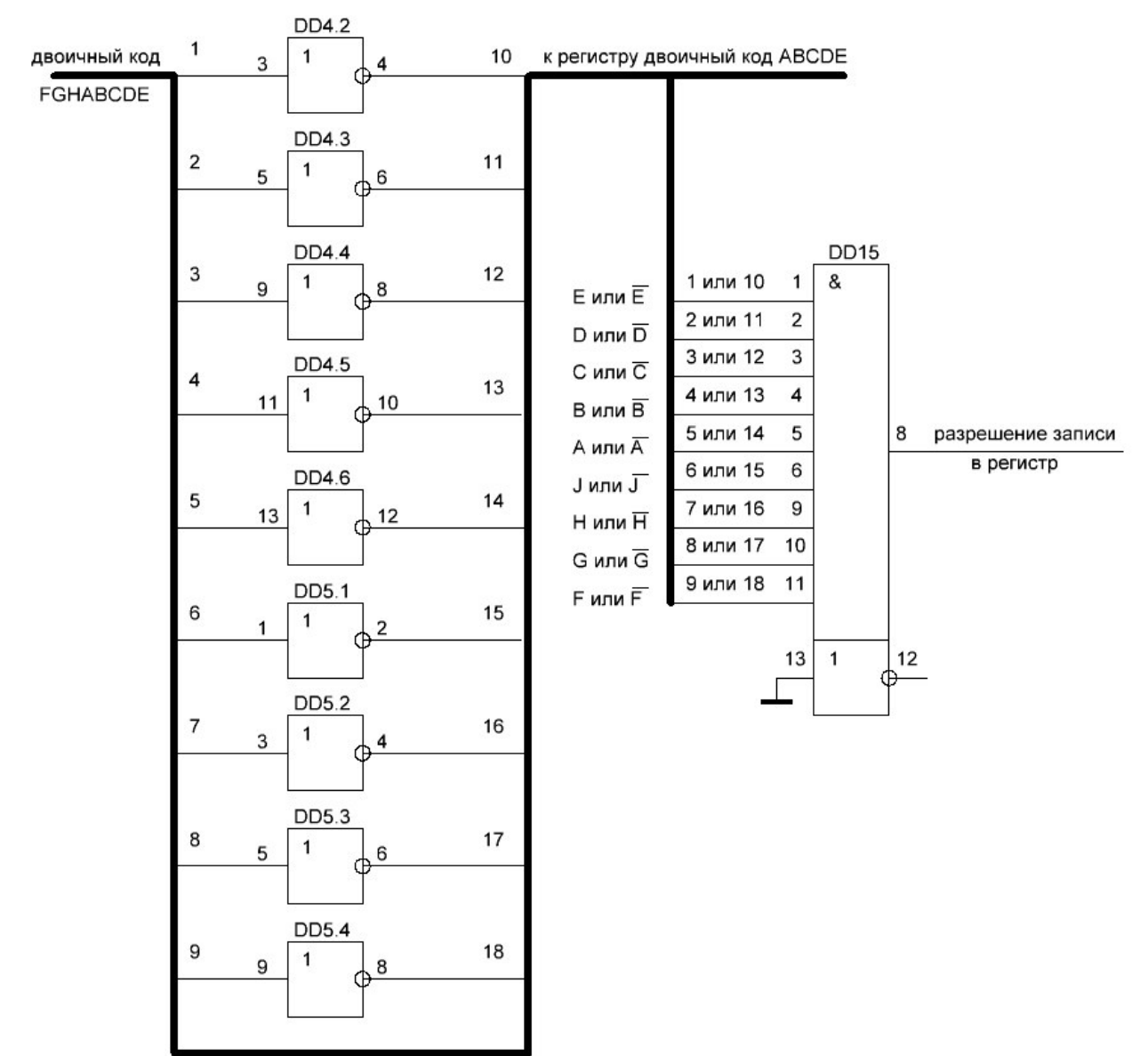


Рисунок 5.2 – Схема совпадения кодов одного разряда

Схема совпадения кодов на основе логического элемента К176ЛИ1, выполняющего логическую функцию 9И, формирует управляющий сигнал для записи данных в регистр при совпадении двоичного кода на выходах счетчика с позиционным кодом FGHIABCDE.

Для формирования позиционного кода в соответствии с таблицей 1.3 на входы логического элемента К176ЛИ1 подается сигнал непосредственно со счетчика, что соответствует логической единице в позиционном коде, или инвертированный сигнал, что соответствует логическому нулю в позиционном коде.

Выбираем номинальное напряжение источника питания равным +5 В. Номинальный ток оценим на основании данных таблицы 5.2.

Таблица 5.2 – Ток потребления элементов цепи

Элемент	Кол-во	И _{пот} , мА	Итого И _{пот} , мА
		+5 В	+5 В
К1564АГ3	1	3,2	3,2
К1554ИЕ23	2	0,008	0,016
К1554ЛН1	2	0,004	0,008
К1554ИР35	9	0,008	0,072
К176ЛИ1	9	0,7	6,3
Итого			9,596

Принимаем номинальный ток равным $I_{\text{НОМ}} \approx 10 \text{ мА}$.

Потребляемая мощность равна

$$P_{\text{ПОТ}} = U_{\text{ПИТ}} \cdot I_{\text{НОМ}} = 5 \cdot 0,010 = 0,05 \text{ Вт.} \quad (5.1)$$

ЗАКЛЮЧЕНИЕ

В результате выполнения курсовой работы была составлена таблица истинности для 5-ти входных переменных А, В, С, D, Е и переменных F1...Fn, обозначающих буквы в названии улицы.

Разработана схема генератора импульсов с частотой повторения 190 кГц и нестабильностью частоты $\pm 0,5\%$.

Подсчет импульсов генератора производится счетчиком импульсов с числом разрядов $N = 9$, выполненном по каскадной схеме. Пять младших разряда счетчика сравниваются с кодом Грея буквы, по результату совпадения производится разрешение на запись в ячейку памяти кода буквы. Для этого была разработана схема совпадения кодов.

Выбор буквы осуществляется дешифрацией четыре первых разрядов счетчика в соответствии с таблицей истинности. В качестве ячеек памяти используются однобайтные регистры памяти.

В качестве базовых элементов при построении принципиальной схемы выбраны элементы КМОП логики.

					ГГТУ 1-36.04.02.01.31с.05 ПЗ	Лист
						23
Изм.	Лист	№ докум.	Подпись	Дата		

Список использованных источников

1. Акимов, Н.Н. Резисторы, конденсаторы, трансформаторы, дроссели, коммутационные устройства РЭА: справочник / Н. Н. Акимов. – Мн. : Беларусь, 1994.
2. Петровский, И. И. Логические ИС КР1533, КР1544 : справочник / И. И. Петровский, А. В. Прибыльский, А. А. Троян. – М. : ТОО Бином, 1993.
3. Зельдин, Е. А. Цифровые интегральные микросхемы в информационно–измерительной аппаратуре / Е. А. Зельдин. – М. : Энергоатомиздат, 1986 г.
4. Потемкин, И. С. Функциональные узлы цифровой автоматики / И. С. Потемкин. – М. : Энергоатомиздат, 1988.
5. Пухальский, Г. И. Проектирование дискретных устройств на интегральных микросхемах: справочник / Г. И. Пухальский, Т. Я. Новосельцева. – М. : Радио и связь, 1990.
6. Шило, В. Л. Популярныe цифровые микросхемы: справочник / В. Л. Шило. – М. : Радио и связь, 1989.
7. Янсен, Й. Курс цифровой электроники. В 4–х т. / Й. Янсен. – М. : Мир, 1987.

					ГГТУ 1-36.04.02.01.31с.05 ПЗ	Лист
						24
Изм.	Лист	№ докум.	Подпись	Дата		

Преобразователь индивидуальных данных студента.

Схема электрическая принципиальная

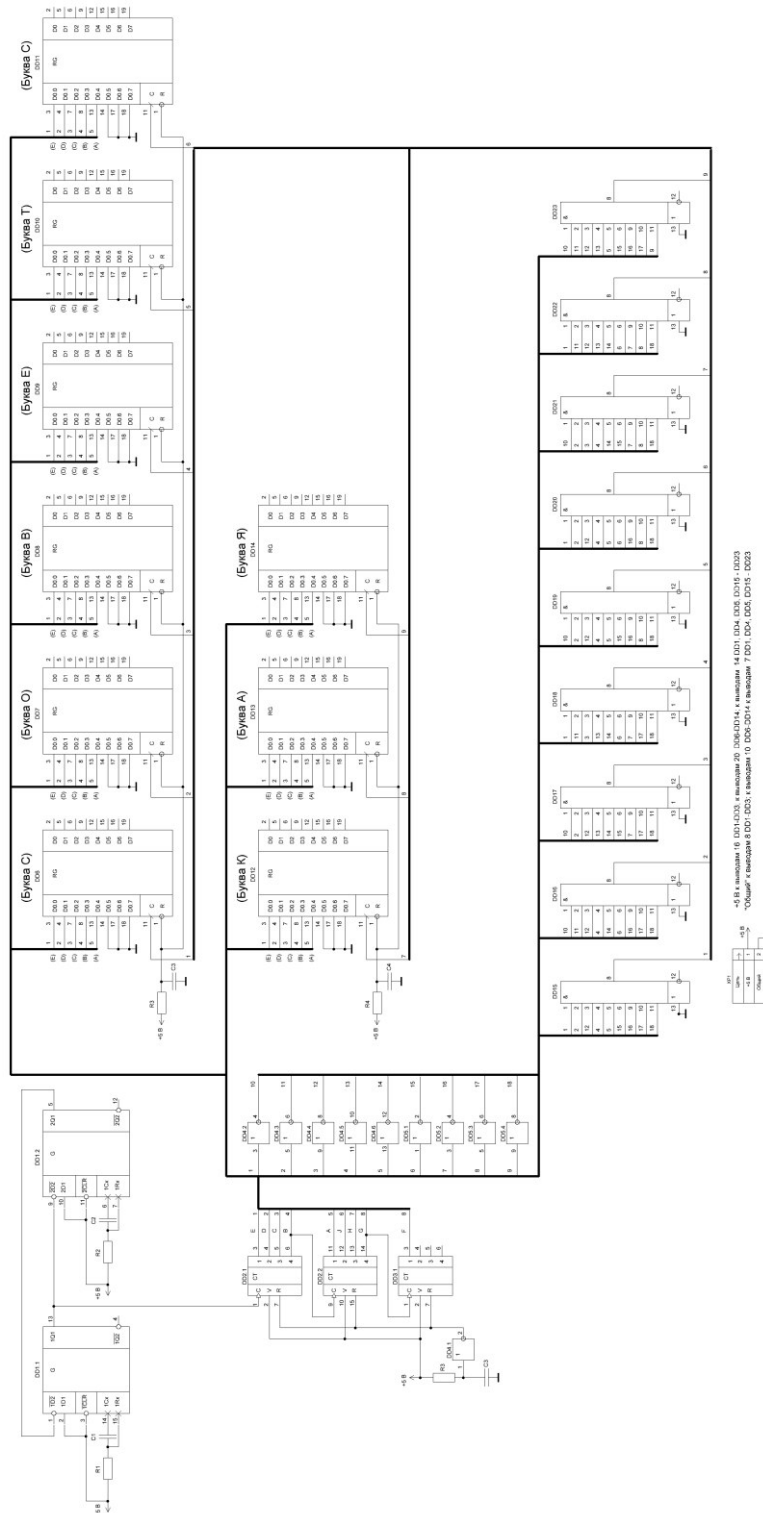


Рисунок А.1 – Схема электрическая принципиальная

ПРИЛОЖЕНИЕ Б

[illegible]