

МИНИСТЕРСТВО ОБРАЗОВАНИЯ РЕСПУБЛИКИ БЕЛАРУСЬ

УЧРЕЖДЕНИЕ ОБРАЗОВАНИЯ  
ГОМЕЛЬСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ  
ИМЕНИ П. О. СУХОГО

Кафедра «Промышленная электроника»

РАСЧЕТНО-ПОЯСНИТЕЛЬНАЯ ЗАПИСКА  
к курсовой работе  
по дисциплине «Схемотехника цифровых устройств»  
на тему:  
«Преобразователь индивидуальных данных студента»

Исполнитель: студент гр. ЗПЭ-31  
А.Н. Притуленец  
Руководитель: ст. преподаватель  
Ю.Е. Котова

Дата проверки: \_\_\_\_\_  
Дата допуска к защите: \_\_\_\_\_  
Дата защиты: \_\_\_\_\_  
Оценка работы: \_\_\_\_\_

Подписи членов комиссии  
по защите курсовой работы: \_\_\_\_\_

Гомель 2022

## СОДЕРЖАНИЕ

ВВЕДЕНИЕ .....	4
1 РАЗРАБОТКА СТРУКТУРНОЙ СХЕМЫ УСТРОЙСТВА .....	5
1.2 Составление таблицы истинности .....	5
1.3 Разработка структурной схемы преобразователя.....	7
1.4 Минимизация булево выражения при помощи карт Карно .....	8
2 РАЗРАБОТКА ГЕНЕРАТОРА ИМПУЛЬСОВ, РАСЧЕТ ЕГО ЭЛЕМЕНТОВ....	10
3 РАЗРАБОТКА МНОГОРАЗРЯДНОГО СЧЕТЧИКА ИМПУЛЬСОВ И РАСЧЕТ ЕГО ЭЛЕМЕНТОВ .....	13
4 РАЗРАБОТКА ВЫХОДНЫХ РЕГИСТРОВ ПАМЯТИ.....	16
5 РАЗРАБОТКА СХЕМЫ ЭЛЕКТРИЧЕСКОЙ ПРИНЦИПИАЛЬНОЙ .....	20
Список использованных источников.....	24
Приложение А Преобразователь индивидуальных данных студента. Схема электрическая принципиальная .....	25
Приложение Б Преобразователь индивидуальных данных студента. Перечень элементов .....	26

					ГГТУ 1-36.04.02.01.31.15 ПЗ			
Изм	Лист	№ докум.	Подп.	Дата				
Разраб.	Притуленец				Преобразователь индивидуальных данных студента Пояснительная записка		Лит.	Лист
Пров.								3
.								26
Н. контр.							ЗПЭ-31.15	
Утв.								

## ВВЕДЕНИЕ

Радиолокация, автоматика и телемеханика, спутниковая связь и системы глобального позиционирования, медицина и фотография, аудиовизуальная техника и бытовая радиоэлектроника, системы видеонаблюдения и охранные системы – это области широкого применения разнообразных цифровых устройств и компьютеров.

Это связано с тем, цифровые устройства не требуют индивидуальных настроек, что весьма важно при массовом производстве. Они малогабаритны, надежны, экономичны, многофункциональны. Развитие инфокоммуникационных технологий неразрывно связано с развитием цифровой и микропроцессорной техники.

Увеличение объема выпуска ЭВМ и систем автоматизации регистрации и обработки данных, требует высокой подготовки по базовым инженерным знаниям о принципах работы, построения и применения цифровых устройств.

Это позволяет будущему специалисту привить навыки и умения технически грамотного анализа и синтеза принципиальных схем цифровых трактов радиоэлектронной аппаратуры и ЭВМ, обоснованного выбора структуры и компонентов этих устройств, строящихся на единой элементной базе. Представленная курсовая работа обеспечивает подготовку по затронутым вопросам.

В работе рассматривается способ кодирования букв в фамилии студента в зависимости от расположения буквы в алфавите и частоты повторения в фамилии. Выполнение работы требует составления таблицы истинности, разработки схемы генератора импульсов, разработки схем совпадения кодов и схем сохранения кодов букв в ячейках памяти. Принципиальная схема выполнена на интегральных микросхемах ТТЛ.

# 1 РАЗРАБОТКА СТРУКТУРНОЙ СХЕМЫ УСТРОЙСТВА

На основании задания необходимо составить таблицу истинности для пяти входных переменных А, В, С, D, Е.

В правой части таблицы должно быть  $n$  столбцов  $F_1, F_2, F_3, \dots, F_n$ , где:  $n$  – количество букв в фамилии студента,  $F_n$  – последняя буква в фамилии. В каждом из  $n$  столбцов правой части 1 будет только в строке соответствующей, двоичному коду буквы и порядку следования этой буквы в фамилии.

Структурная схема должна содержать и выполнять:

- генератор импульсов с частотой повторения  $f = (100 + 10 \cdot k)$  кГц и нестабильностью частоты  $\pm 0,5 \%$ , где  $k$  – количество букв в фамилии;
- к выходу генератора импульсов необходимо подключить счетчик, формирующий код каждой буквы в фамилии;
- к выходам счетчика подключить  $n$  схем совпадения кодов, обеспечивающих формирование импульсов записи в момент совпадения двоичного кода буквы с младшими пятью разрядами кода счетчика в соответствии с порядком следования буквы в фамилии;
- по каждому из этих  $n$  импульсов произвести запись двоичного кода буквы в соответствующий регистр памяти.

Принципиальная схема выполнена на интегральных микросхемах ТТЛ.

## 1.2 Составление таблицы истинности

Составим таблицу истинности исходя из числа и значения букв в фамилии студента. Переменная ABCDE содержит двоичный код буквы (см. таблицу 1.2), двоичное число  $F_1 \dots F_n$  кодирует фамилию студента ( $F_1$  – первая буква,  $F_n$  – последняя буква). В столбце  $F_n$  значение 1 выставляется в соответствии с порядком следования буквы в фамилии студента.

Таблица 1.1 – Таблица соответствия порядкового номера буквы алфавита  
двоичному коду

Буква алфавита	Порядковый номер	Двоичный код
А	1	00001
Б	2	00010
В	3	00011
Г	4	00100
Д	5	00101
Е	6	00110
Ж	7	00111
З	8	01000
И	9	01001
Й	10	01010
К	11	01011
Л	12	01100
М	13	01101
Н	14	01110
О	15	01111
П	16	10000
Р	17	10001
С	18	10010
Т	19	10011
У	20	10100
Ф	21	10101
Х	22	10110
Ц	23	10111
Ч	24	11000
Ш	25	11001
Щ	26	11010
Ы	27	11011
Ь	28	11100
Э	29	11101
Ю	30	11110
Я	31	11111

Таблица 1.2 – Таблица истинности преобразователя

Фамилия	П	Р	И	Т	У	Л	Е	Н	Е	Ц
ABCDE	F1	F2	F3	F4	F5	F6	F7	F8	F9	F10
10000	1	0	0	0	0	0	0	0	0	0
10001	0	1	0	0	0	0	0	0	0	0
01001	0	0	1	0	0	0	0	0	0	0
10011	0	0	0	1	0	0	0	0	0	0

## Окончание таблицы 1.2

Фамилия	П	Р	И	Т	У	Л	Е	Н	Е	Ц
ABCDE	F1	F2	F3	F4	F5	F6	F7	F8	F9	F10
10100	0	0	0	0	1	0	0	0	0	0
01100	0	0	0	0	0	1	0	0	0	0
00110	0	0	0	0	0	0	1	0	0	0
01110	0	0	0	0	0	0	0	1	0	0
00110	0	0	0	0	0	0	0	0	1	0
10111	0	0	0	0	0	0	0	0	0	1

### 1.3 Разработка структурной схемы преобразователя

Позиционный код буквы состоит из двух составляющих:

1 Бинарный код буквы – младшие разряды ABCDE.

2 Позиционный код буквы в фамилии – четыре старших разряда FGHIJ.

Позиционный код представлен в таблице 1.3.

Таблица 1.3 – Позиционный код

№	Буква	FGHIJ	ABCDE
1	П	0000	10000
2	Р	0001	10001
3	И	0010	01001
4	Т	0011	10011
5	У	0100	10100
6	Л	0101	01100
7	Е	0110	00110
8	Н	0111	01110
9	К	1000	00110
10	Ц	1001	10111

Назначение блоков структурной схемы, см. рисунок 1.1:

ТГ – тактовый генератор;

СТ – двоичный счетчик;

ССК – схема совпадения кодов, формирующая управляющий сигнал при совпадении двоичного кода на выходах счетчика с позиционным кодом FGHIJABCDE;

РГ – регистр памяти, хранящий код каждой буквы.

Структурная схема преобразователя представлена на рисунке 1.1.

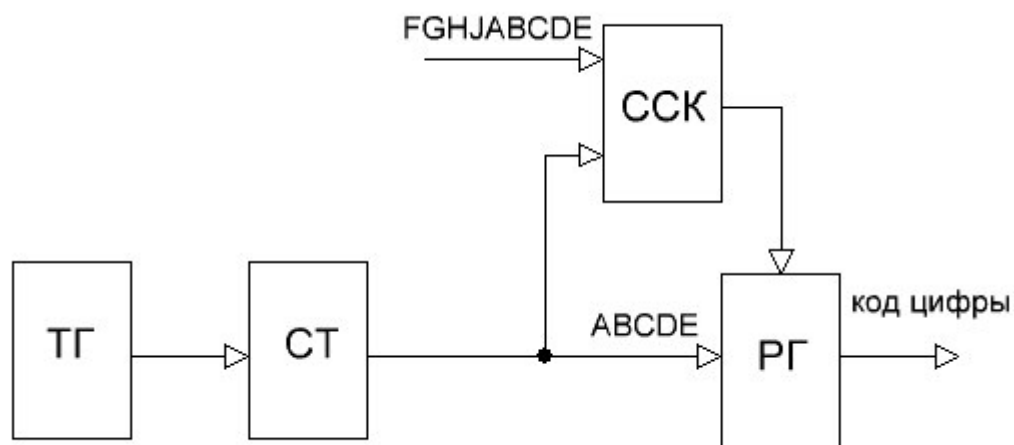


Рисунок 1.1 – Структурная схема преобразователя

#### 1.4 Минимизация булево выражения при помощи карт Карно

Преобразуем первоначальную таблицу истинности, объединив в одном столбце правой части таблицы все единицы всех столбцов правой части таблицы истинности.

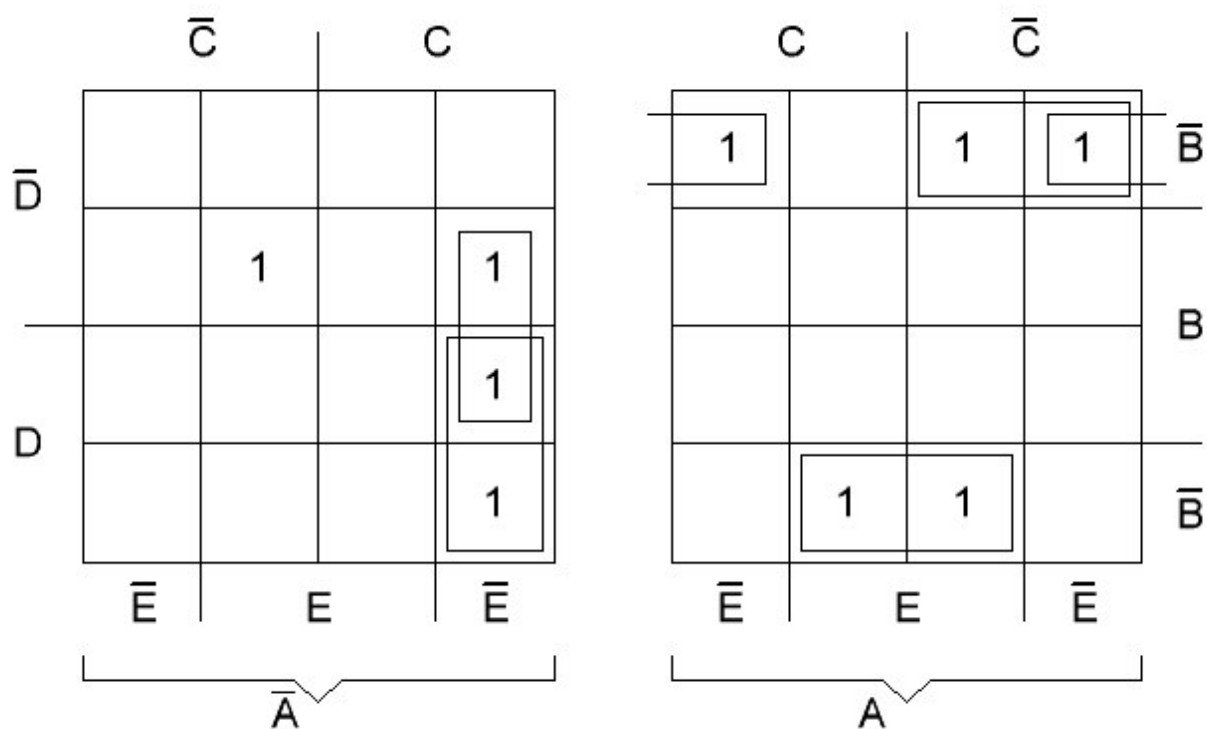
Таблица 1.4 – Преобразованная таблица истинности

№	Буква	ABCDE	F
1	П	10000	1
2	Р	10001	1
3	И	01001	1
4	Т	10011	1
5	У	10100	1
6	Л	01100	1
7	Е	00110	1
8	Н	01110	1
9	К	00110	1
10	Ц	10111	1

По полученной таблице истинности запишем булево выражение

$$F = \overline{A}\overline{B}\overline{C}\overline{D}\overline{E} + \overline{A}\overline{B}\overline{C}\overline{D}E + \overline{A}\overline{B}\overline{C}D\overline{E} + \overline{A}\overline{B}\overline{C}DE + \overline{A}\overline{B}C\overline{D}\overline{E} + \overline{A}\overline{B}C\overline{D}E + \overline{A}\overline{B}CD\overline{E} + \overline{A}\overline{B}CDE + A\overline{B}\overline{C}\overline{D}\overline{E} + A\overline{B}\overline{C}\overline{D}E$$

Произведем минимизацию булево выражения при помощи карт Карно



Минимизированное выражение имеет вид

$$F = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D$$



## 2 РАЗРАБОТКА ГЕНЕРАТОРА ИМПУЛЬСОВ, РАСЧЕТ ЕГО ЭЛЕМЕНТОВ

Специализированные микросхемы – одновибраторы, таймеры – выпускают в различных сериях ТТЛ и КМОП. Они обладают широкими функциональными возможностями, но самое главное – имеют значительно меньшие погрешности длительности выходных импульсов, а также слабую зависимость длительности от температуры, питающего напряжения, от времени и от замены микросхемы.

Так, для 1533АГ1 приводятся данные о погрешности длительности импульса порядка 0,5 %, в то время, как обычные одновибраторы и генераторы, собранные на логических элементах И-НЕ, ИЛИ-НЕ, D-триггерах или триггерах Шмита, имеют погрешность длительности импульса порядка  $\pm 30$  %.

По заданию относительная нестабильность частоты генератора  $\pm 0,5$  %.

Используем микросхему К1533АГ3, которая содержит два ждущих мультивибратора (ЖМВБР) с входами перезапуска и предварительной установки в ноль (сброса). Автогенератор (генератор) строится на двух ЖМВБР по кольцевой схеме.

Функциональная схема мультивибратора приведена на рисунке 2.1.

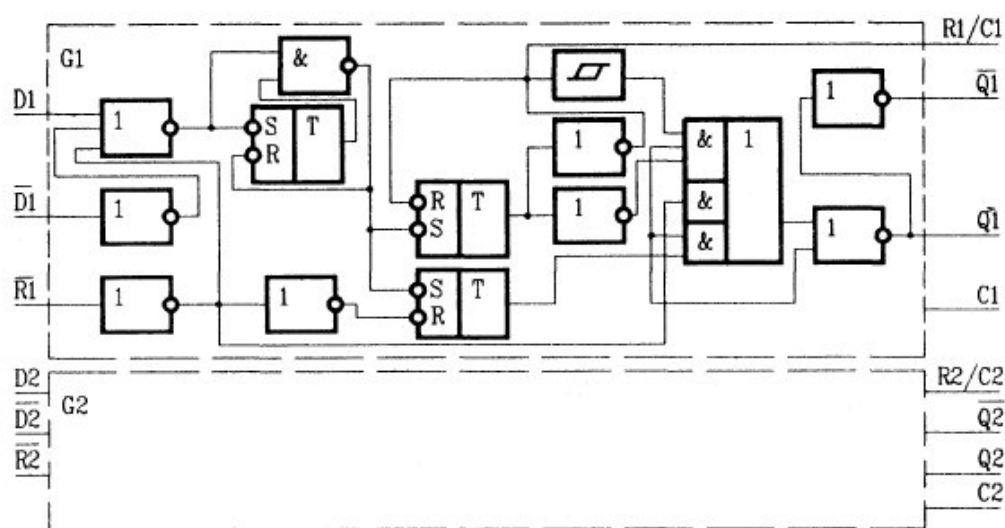


Рисунок 2.1 – Функциональная схема мультивибратора

Условное графическое обозначение микросхемы К1533АГЗ представлено на рисунке 2.2.

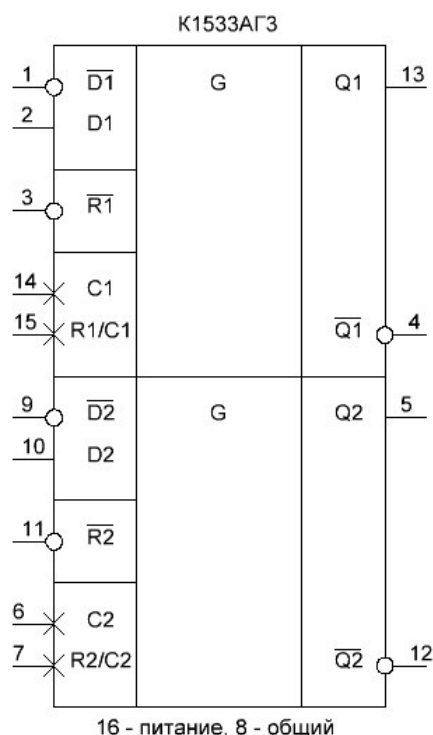


Рисунок 2.2 – Условное графическое обозначение К1533АГЗ

Основные технические параметры микросхемы приведены в таблице 2.1.

Таблица 2.1 – Технические параметры К1533АГЗ

$I_{ВХ}^0$ , мА	$I_{ВХ}^1$ , мА	$I_{ПОТ}$ , мА	$t_{зд.р.}^{1,0}$ , нс	$t_{зд.р.}^{0,1}$ , нс
-0,11	0,02	20	48	38

Каждый мультивибратор имеет два выхода Q и  $\bar{Q}$ , Вход сброса  $\bar{R}$  (активный уровень – низкий) и два входа запуска, D – прямой с активным высоким уровнем,  $\bar{D}$  – инверсный с активным низким уровнем.

Для микросхемы К1533АГЗ длительность импульса при  $C > 1000$  пФ определяется по формуле

$$T = RC, \quad (2.1)$$

где  $R, C$  – внешние элементы подключаемые к автогенератору.

На рисунке 2.3 представлена принципиальная схема автогенератор построенная на двух ЖМВБР по кольцевой схеме.

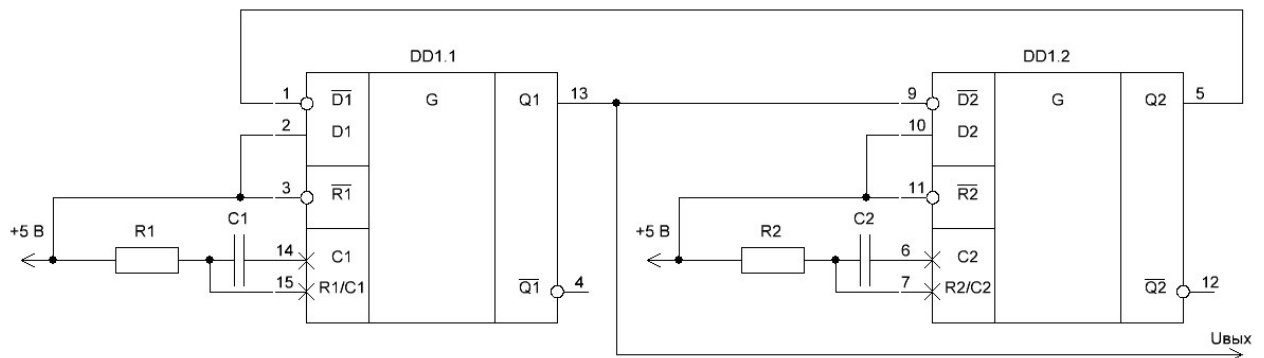


Рисунок 2.3 – Принципиальная схема автогенератора

Расчет параметров генератора на частоту

$$f = (100 + 10 \cdot k) = 100 + 10 \cdot 10 = 200 \text{ кГц},$$

где  $k = 10$  – количество букв в фамилии.

Параметры генератора равны:

- полупериод колебаний

$$T = T_1 = T_2 = 1/(2f) = 1/(2 \cdot 200 \cdot 10^3) = 2,5 \cdot 10^{-6} \text{ с};$$

- принимая  $C = C_1 = C_2 = 1 \text{ нФ}$ , определим из выражения (2.1) сопротивление резистора  $R = R_1 = R_2$

$$R = \frac{T}{C} = \frac{2,5 \cdot 10^{-6}}{1 \cdot 10^{-9}} = 2500 \text{ Ом}.$$

Сопротивление выбираем из ряда E192 равное 2,49 кОм. Выбираем резисторы и конденсаторы [1]:  $C_1, C_2$  – K10-17a-50 В-1000 пФ  $\pm 5\%$ ,  $R_1, R_2$  – C2-29B-0,125-2,49 кОм  $\pm 0,5\%$ .

### 3 РАЗРАБОТКА МНОГОРАЗРЯДНОГО СЧЕТЧИКА ИМПУЛЬСОВ И РАСЧЕТ ЕГО ЭЛЕМЕНТОВ

Счетчик строим на основе микросхемы К1533ИЕ5 [2]. Микросхема ИЕ5 является четырехразрядным асинхронным счетчиком. Условное графическое обозначение счетчика приведено на рисунке 3.1.

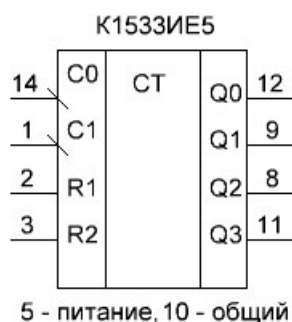


Рисунок 3.1 – Условное графическое обозначение К1533ИЕ5

Счетчик состоит из четырех JK - триггеров, образующих два независимых делителя на 2 и на 8. Счетчик имеет два входа R, объединенных по И-НЕ, для синхронного сброса (выводы 2 и 3), см. таблицу 3.1.

Таблица 3.1 – Таблица состояний К1533ИЕ5

Входы сброса		Выходы			
R1	R2	Q0	Q1	Q2	Q3
1	1	0	0	0	0
0	1	Счет			
1	0	Счет			
0	0	Счет			

Тактовые входы всех триггеров инверсные динамические, поэтому переключение триггеров будет происходить спадом импульса. Чтобы получить делитель на 16, необходимо внешней перемычкой соединить делители 2 и 8, замкнув выводы микросхемы 12 и 1. Входную последовательность импульсов

необходимо подать на тактовый вход первого триггера (вывод 14). При этом происходит одновременное деление на 2, 4, 8 и 16 по выводам 12, 9, 8, 11.

Основные технические параметры счетчика представлены в таблице 3.2.

Таблица 3.2 – Технические параметры К1533ИЕ5

$I_{ВХ}^0, \text{мА}$	$I_{ВХ}^1, \text{мА}$	$I_{ПОТ}, \text{мА}$	$t_{ЗД.Р.}^{1,0}, \text{нс}$	$t_{ЗД.Р.}^{0,1}, \text{нс}$
-0,11	0,02	13	70	70

Разрядность счетчика равна

$$5 + \log_2 n = 5 + \log_2 10 = 5 + \ln 10 / \ln 2 = 8,3 \approx 9, \tag{3.1}$$

где  $n$  – количество букв в фамилии,  $n = 10$ .

Каскадная схема соединения счетчиков при числе разрядов  $N = 9$  имеет вид, представленный на рисунке 3.2.

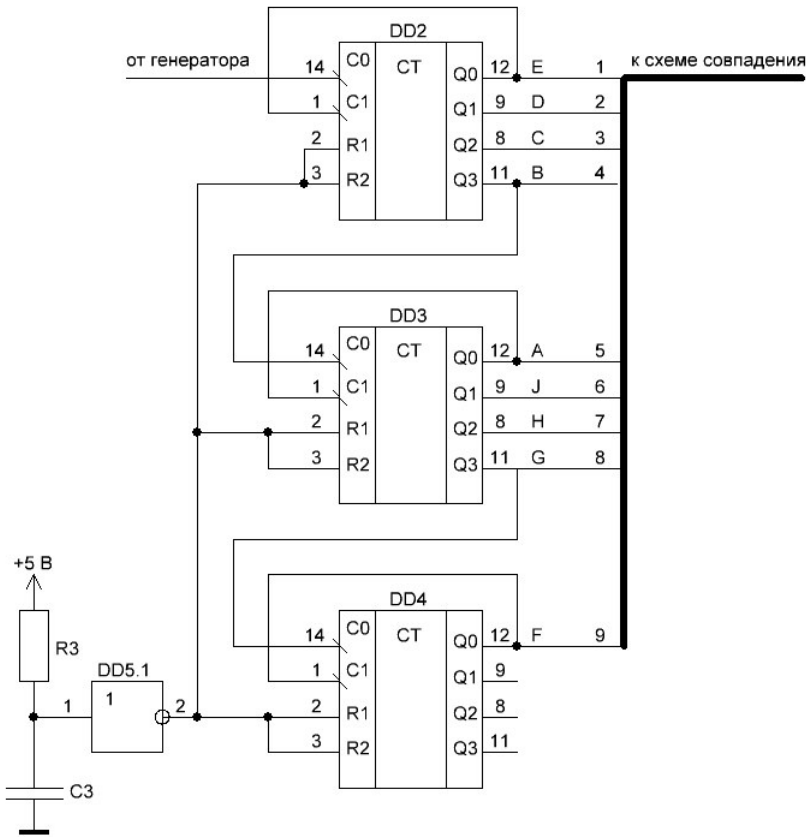


Рисунок 3.2 – Каскадное соединение счетчиков при числе разрядов  $N = 9$

Цепочка  $C_3, R_3$  обеспечивает сброс при подаче электропитания. В первый момент времени при включении питания напряжение на емкости равно нулю и на вход инвертора DD5.1 подается логический «0», таким образом, на выходе инвертора установлена логическая «1» и согласно таблицы 3.1 осуществляется сброс счетчиков. Затем происходит заряд емкости через сопротивление  $R_3$  и на входе инвертора DD5.1 устанавливается логическая «1», а на его выходе логический «0» и соответственно для схемы счетчиков разрешен режим счета.

При этом емкость конденсатора  $C_3$  надо выбирать такой, что бы длительность фронта не превышала значение  $t_{\phi} < 200$  нс (для 1533 серии), иначе на выходе микросхемы может возникнуть «звон» – паразитные колебания. Таким образом, принимая  $R_3 = 1$  кОм, получаем

$$C_3 \leq t_{\phi} / R_3 = 200 \cdot 10^{-9} / 10^3 = 200 \cdot 10^{-6} \text{ Ф.} \quad (3.2)$$

В качестве инвертора используем микросхему K1533ЛН1 [2]. Условное графическое обозначение микросхемы приведено на рисунке 2.3. Основные технические параметры микросхемы K1554ЛН1 представлены в таблице 2.1.

Выбираем резисторы и конденсаторы [1]:  $C_3$  – К10-17а-50 В-1000 пФ  $\pm 10\%$ ,  $R_3$  – С2-29В-0,125-1 кОм  $\pm 5\%$ .

## 4 РАЗРАБОТКА ВЫХОДНЫХ РЕГИСТРОВ ПАМЯТИ

В качестве элементов памяти используем регистр К1533ИР13 [2]. Условное графическое обозначение регистра представлено на рисунке 4.1.

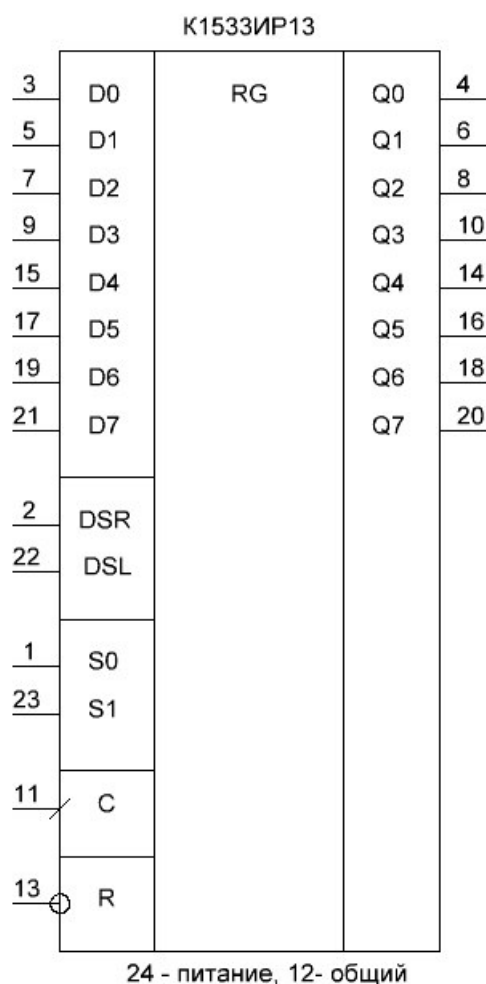


Рисунок 4.1 – Условное графическое обозначение К1533ИР13

Основные технические параметры счетчика представлены в таблице 4.1.

Таблица 4.1 – Технические параметры К1533ИР13

$I_{ВХ}^0$ , мА	$I_{ВХ}^1$ , мА	$I_{ПОТ}$ , мА	$t_{ЗД.Р.}^{1,0}$ , нс	$t_{ЗД.Р.}^{0,1}$ , нс
-0,11	0,02	40	25	18

Микросхема ИР13 – это восьмиразрядный синхронный реверсивный регистр сдвига.

Синхронную работу обеспечивают входы выбора режима S0 и S1:

- режим хранения, вход S0 = S1 = 0;
- параллельная загрузка, вход S0 = S1 = 1;
- сдвиг влево, вход S0 = 0 и S1 = 1;
- сдвиг вправо, входы S0 = 1 и S1 = 0.

Кроме параллельных входов D0...D7, первый и последний разряды регистра имеют дополнительные входы: DSR – для сдвига вправо, DSL – для сдвига влево. На входы S0 и S1 отрицательный перепад можно подавать, когда на входе С действует напряжение высокого уровня.

При параллельной загрузке данные, подготовленные на входах D0...D7, появятся на выходах Q0...Q7 после прихода очередного положительного перепада тактового импульса на вход С.

Для обнуления регистра (на выходах Q0...Q7 будет низкий уровень) необходимо на асинхронный вход сброса R подать низкий уровень напряжения. Состояния выходов и входов регистра приведены в таблице 4.2.

Таблица 4.2 – Состояния выходов и входов регистра К1533ИР13

Режим работы	Входы							Выходы		
	С	R	S0	S1	DSR	DSL	D <sub>n</sub>	Q0	Q1...Q6	Q7
Сброс	×	0	×	×	×	×	×	0	0...0	0
Хранение	↑	1	0	0	×	×	×	Q <sub>0</sub>	Q <sub>1</sub> ... Q <sub>6</sub>	Q <sub>7</sub>
Сдвиг влево	↑	1	1	0	×	0	×	Q <sub>1</sub>	Q <sub>2</sub> ... Q <sub>7</sub>	0
	↑	1	1	0	×	1	×	Q <sub>1</sub>	Q <sub>2</sub> ... Q <sub>7</sub>	1
Сдвиг вправо	↑	1	0	1	0	×	×	0	Q <sub>0</sub> ... Q <sub>5</sub>	Q <sub>6</sub>
	↑	1	0	1	1	×	×	1	Q <sub>0</sub> ... Q <sub>5</sub>	Q <sub>6</sub>
Параллельная загрузка	↑	1	1	1	1	×	d <sub>n</sub>	d <sub>0</sub>	d <sub>1</sub> ...d <sub>6</sub>	Q <sub>1</sub>

В данной работе используются следующие режимы работы регистра:

- параллельная загрузка данных синхронно с фронтом синхроимпульса на входе С при высоком уровне напряжения на входе S0, S1, т.е. S0 = S1 = 1;



- режим хранения при низком уровне напряжения на входе S0, S1, т.е. S0 = S1=0.

Схема для одного разряда схемы показана на рисунке 4.2.

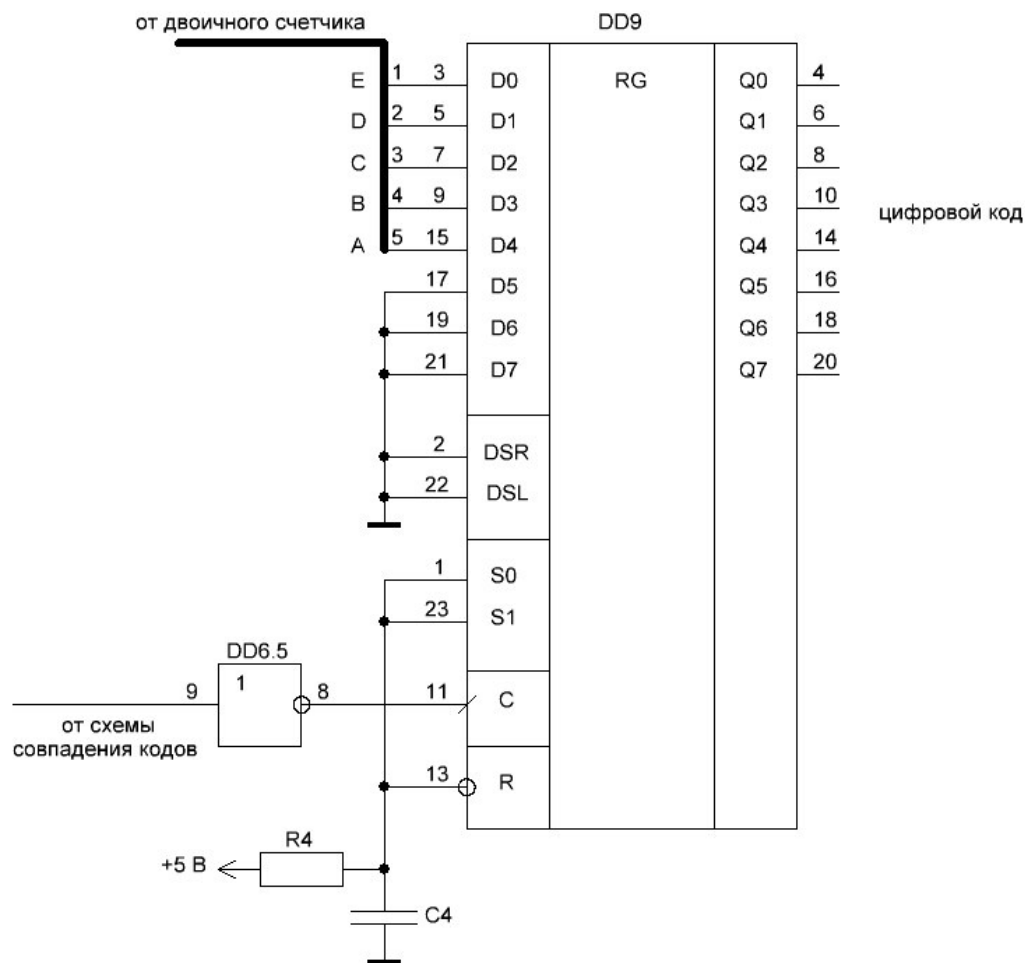


Рисунок 4.2 – Схема одного разряда

Цепочка C<sub>4</sub>, R<sub>4</sub> обеспечивает сброс при подаче электропитания. В первый момент времени при включении питания напряжение на емкости равно нулю и на вход R регистра подается логический «0», и согласно таблицы 4.2, осуществляется сброс регистра. Затем происходит заряд емкости через сопротивление R<sub>4</sub> и на входе R регистра устанавливается логическая «1», и соответственно для схемы регистра разрешен режим работы.

Емкость конденсатора  $C_4$  выбираем из условия  $t_{\phi} < 200$  нс (для 1533 серии), принимая  $R_4 = 1$  кОм, получаем

$$C_4 \leq t_{\phi} / R_4 = 200 \cdot 10^{-9} / 10^3 = 200 \cdot 10^{-6} \text{ Ф.} \quad (4.1)$$

Выбираем резисторы и конденсаторы [1]:  $C_4$  – К10-17а-50 В-1000 пФ  $\pm 10$  %,  $R_4$  – С2-29В-0,125-1 кОм  $\pm 5$  %.

					ГГТУ 1-36.04.02.01.31.15 ПЗ	Лист
						19
Изм.	Лист	№ докум.	Подпись	Дата		

## 5 РАЗРАБОТКА СХЕМЫ ЭЛЕКТРИЧЕСКОЙ ПРИНЦИПИАЛЬНОЙ

Устройство преобразователя основано на схеме совпадения кодов. Схема совпадения кодов построена на основе логического элемента К531ЛА19 [2], выполняющего логическую функцию 12И-НЕ и логического элемента К1533ЛН1, выполняющего логическую функцию НЕ.

Условное графическое обозначение микросхем К531ЛА19 представлено на рисунке 5.1.

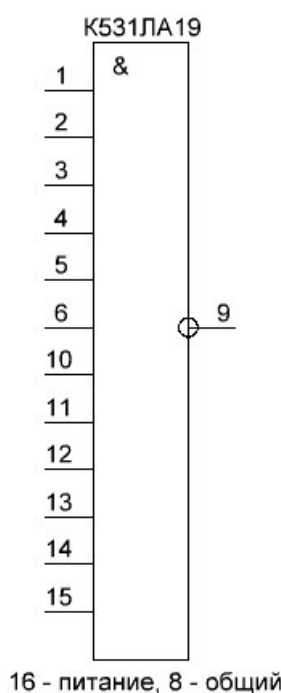


Рисунок 5.1 – Условное графическое обозначение К531ЛА19

Основные технические параметры микросхемы К531ЛА19 представлены в таблице 5.1.

Таблица 5.1 – Технические параметры К531ЛА19

$I_{ВХ}^0$ , мА	$I_{ВХ}^I$ , мА	$I_{ВЫХ}^0$ , мА	$t_{ЗДР}^{1,0}$ , нс	$t_{ЗДР}^{0,1}$ , нс	$I_{ПОТ}^I$ , мА	$I_{ПОТ}^0$ , мА
-0,4	0,1	20	7	6	5	10

Принципиальная схема для одного разряда схемы совпадения кодов представлена на рисунке 5.2.

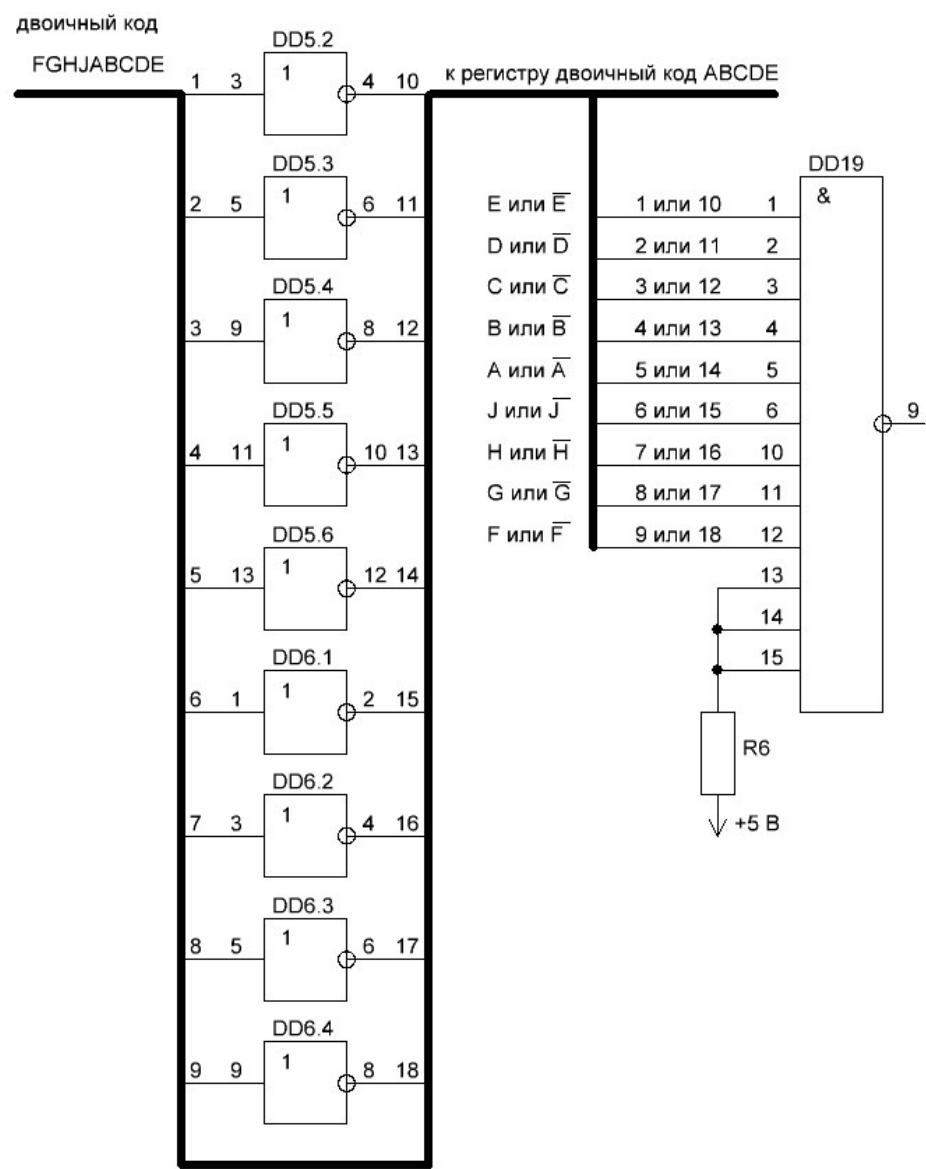


Рисунок 5.2 – Схема совпадения кодов одного разряда

Схема совпадения кодов на основе логического элемента К531ЛА19, выполняющего логическую функцию 12И-НЕ, формирует управляющий сигнал для записи данных в регистр при совпадении двоичного кода на выходах счетчика с позиционным кодом FGHIABCDE.

Для формирования позиционного кода в соответствии с таблицей 1.3 на входы логического элемента К531ЛА19 подается сигнал непосредственно со

счетчика, что соответствует логической единице в позиционном коде, или инвертированный сигнал, что соответствует логическому нулю в позиционном коде.

Выбираем резистор [1]  $R_5 - C2-29B-0,125-1 \text{ кОм} \pm 5 \%$ .

Номинальное напряжение источника питания равно +5 В. Номинальный ток оценим на основании данных таблицы 5.2.

Таблица 5.2 – Ток потребления элементов цепи

Элемент	Кол-во	И <sub>ПОТ</sub> , мА	Итого И <sub>ПОТ</sub> , мА
		+5 В	+5 В
K1533АГЗ	1	20	20
K1533ИЕ5	3	13	39
K1533ЛН1	4	4,2	16,8
K1533ИР13	10	40	400
K531ЛА19	10	10	100
Итого			575,8

Принимаем номинальный ток равным  $I_{НОМ} \approx 0,58 \text{ А}$ .

Потребляемая мощность равна

$$P_{ПОТ} = U_{ПИТ} \cdot I_{НОМ} = 5 \cdot 0,58 = 2,9 \text{ Вт.} \quad (5.1)$$

## ЗАКЛЮЧЕНИЕ

В результате выполнения курсовой работы была составлена таблица истинности для 5-ти входных переменных А, В, С, D, Е и переменных F1...Fn, обозначающих буквы фамилии студента.

Разработана схема генератора импульсов с частотой повторения 200 кГц и нестабильностью частоты  $\pm 0,5$  %.

Подсчет импульсов генератора производится счетчиком импульсов с числом разрядов  $N = 9$ , выполненном по каскадной схеме. Пять младших разряда счетчика сравниваются с кодом буквы, по результату совпадения производится разрешение на запись в ячейку памяти кода буквы. Для этого была разработана схема совпадения кодов.

Выбор буквы осуществляется дешифрацией четыре первых разрядов счетчика в соответствии с таблицей истинности. В качестве ячеек памяти используются однобайтные регистры памяти.

В качестве базовых элементов при построении принципиальной схемы выбраны элементы ТТЛ логики.

					ГГТУ 1-36.04.02.01.31.15 ПЗ	Лист
						23
Изм.	Лист	№ докум.	Подпись	Дата		

## Список использованных источников

1. Акимов, Н.Н. Резисторы, конденсаторы, трансформаторы, дроссели, коммутационные устройства РЭА: справочник / Н. Н. Акимов. – Мн. : Беларусь, 1994.
2. Петровский, И. И. Логические ИС КР1533, КР1544 : справочник / И. И. Петровский, А. В. Прибыльский, А. А. Троян. – М. : ТОО Бином, 1993.
3. Зельдин, Е. А. Цифровые интегральные микросхемы в информационно–измерительной аппаратуре / Е. А. Зельдин. – М. : Энергоатомиздат, 1986 г.
4. Потемкин, И. С. Функциональные узлы цифровой автоматики / И. С. Потемкин. – М. : Энергоатомиздат, 1988.
5. Пухальский, Г. И. Проектирование дискретных устройств на интегральных микросхемах: справочник / Г. И. Пухальский, Т. Я. Новосельцева. – М. : Радио и связь, 1990.
6. Шило, В. Л. Популярные цифровые микросхемы: справочник / В. Л. Шило. – М. : Радио и связь, 1989.
7. Янсен, Й. Курс цифровой электроники. В 4–х т. / Й. Янсен. – М. : Мир, 1987.

# ПРИЛОЖЕНИЕ А

## Преобразователь индивидуальных данных студента.

### Схема электрическая принципиальная

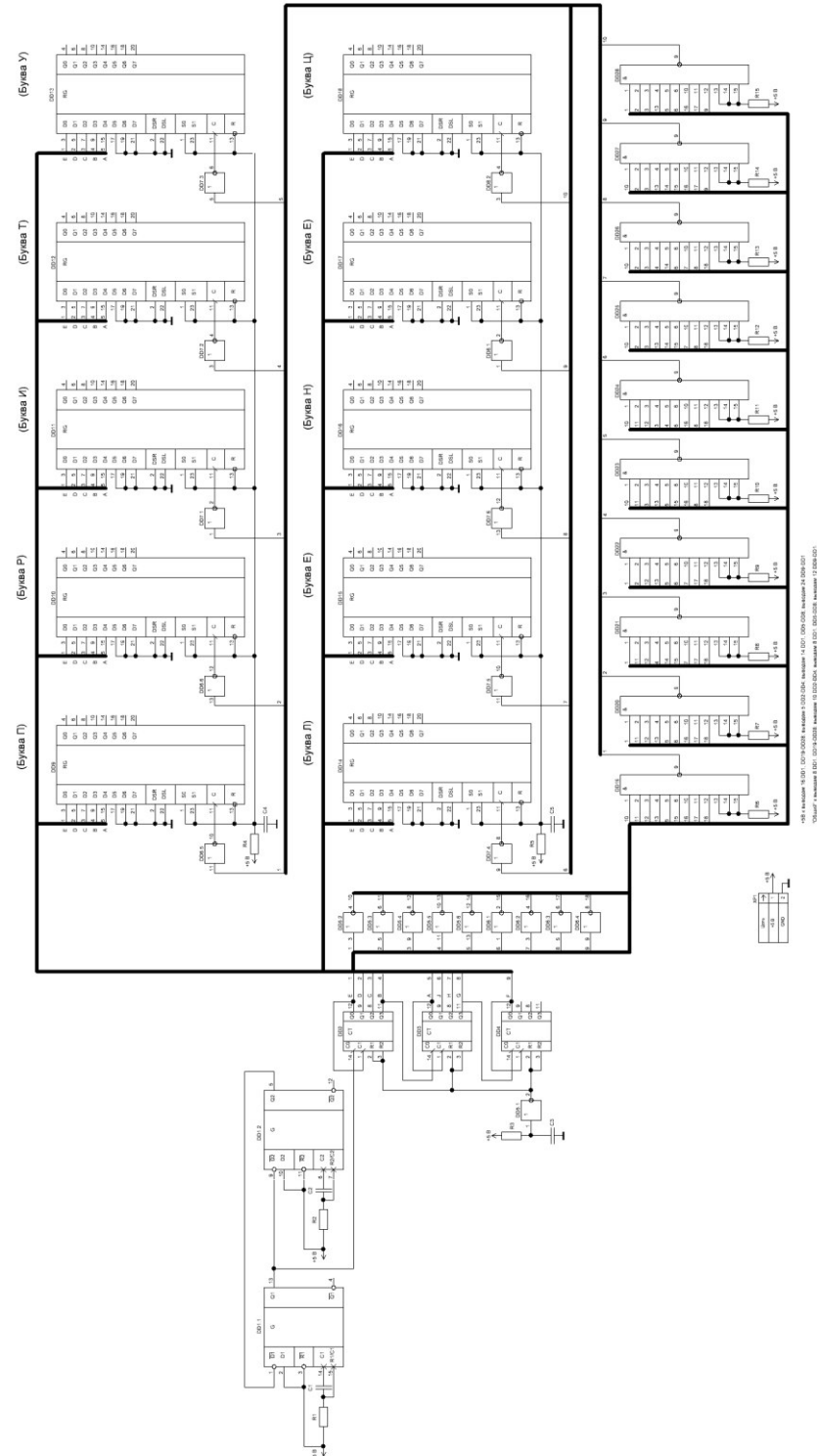


Рисунок А.1 – Схема электрическая принципиальная



## ПРИЛОЖЕНИЕ Б

[illegible]