

ЛАБОРАТОРНА РОБОТА №3

Назва роботи: використання потокового графу алгоритму при проектуванні паралельних обчислень.

Мета роботи: ознайомитися з використанням потокового графу алгоритму при паралельному програмуванні.

(детальніша інформація про паралельні обчислення, паралельне програмування та потоковий граф алгоритму в матеріалах лекційних занять)

1.1. Паралельні обчислення.

Паралельні обчислення — це форма обчислень, в яких кілька дій проводяться одночасно. Є кілька різних рівнів паралельних обчислень: **бітовий, інструкцій, даних та паралелізм задач**. Паралельні обчислення застосовуються вже протягом багатьох років, в основному в високопродуктивних обчисленнях, але зацікавлення ними зросло тільки недавно, через фізичні обмеження зростання частоти. Оскільки споживана потужність (і відповідно виділення тепла) комп'ютерами стало проблемою в останні роки, паралельне програмування стає домінуючою парадигмою в комп'ютерній архітектурі, в основному в формі багатоядерних процесорів.

Паралельні комп'ютери системи можуть бути грубо класифіковані згідно з рівнем, на якому апаратне забезпечення підтримує паралелізм: багатоядерні процесори; багатопроцесорні комп'ютери — комп'ютери, що мають багато обчислювальних елементів в межах одної машини, також сюди відносимо кластери; MPP та GRID — системи що використовують багато комп'ютерів для роботи над одним завданням. Також Іноді, поряд з цими традиційними комп'ютерними системами, використовуються спеціалізовані паралельні архітектури для прискорення особливих задач.

Програми для паралельних комп'ютерів писати значно складніше, ніж для послідовних, бо паралелізм додає кілька нових класів потенційних помилок, серед яких найпоширенішою є стан гонитви(конкуренції обчислювальних процесів). Комунікація, та синхронізація процесів зазвичай одна з найбільших перешкод для досягнення хорошої продуктивності паралельних програм.

1.2. Паралельні обчислення рівня машинних інструкцій.

Комп'ютерна програма, по суті, є потоком інструкцій, які виконуються процесором. Іноді ці інструкції можна перевпорядкувати, та об'єднати в групи, які потім виконувати паралельно, без зміни результату роботи програми, що відомо як паралелізм на рівні інструкцій. Такий підхід до збільшення продуктивності обчислень переважав з середини 80-тих до середини 90-тих. Сучасні процесори мають багатоетапні конвеєри команд. Кожен етап конвеєра відповідає іншій дії, що виконує процесор. Процесор що має конвеєр з N-ступенями, може одночасно обробляти N інструкцій, кожна на іншій стадії обробки. Класичним прикладом процесора з конвеєром є процесор архітектури RISC, що має п'ять етапів: завантаження інструкції, декодування, виконання, доступ до пам'яті, та запис результату. Процесор Pentium 4 має конвеєр з 35 етапами. На додачу до паралелізму на рівні інструкцій деякі процесори можуть виконувати більш ніж одну інструкцію за раз. Вони відомі як суперскалярні процесори. Інструкції групуються разом, якщо між ними не існує залежності даних. Щоб реалізувати паралелізм на рівні інструкцій використовують алгоритми Scoreboarding та Tomasulo algorithm (який аналогічний до попереднього, проте використовує перейменування регістрів).

1.3. Використання потокового графу алгоритму для паралельного програмування.

Потоковий граф алгоритму описує паралельні обчислення, в яких на заданому фрагменті виконання відсутні залежності керування за даними. Кожна вершина графу на одному ярусі виконується одночасно. Приміром на *рис.1.1* показано виконання швидкого перетворення Фур'є для 8-ми відліків.

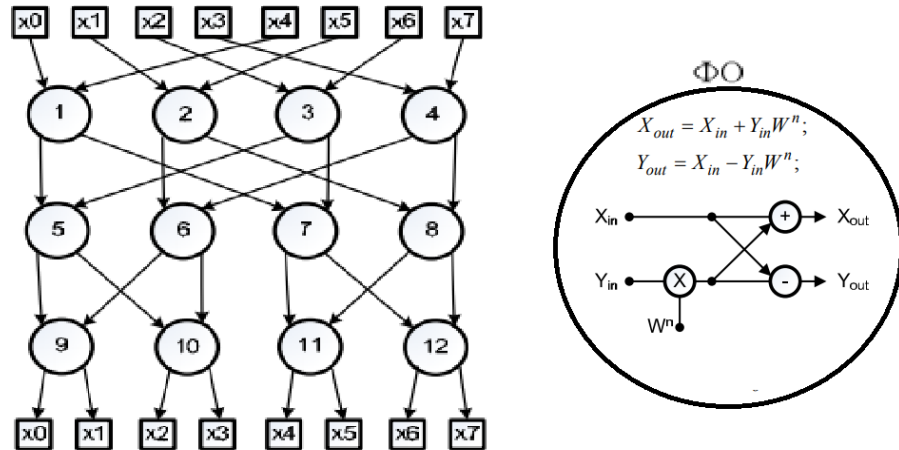


Рис.1.1. Приклад потокового графу алгоритму

1.4. Набір інструкцій SSE2.

SSE (англ. Streaming SIMD Extensions, потокове SIMD-розширення процесора) — це SIMD (англ. Single Instruction, Multiple Data, Одна інструкція — багато даних) набір інструкцій, розроблених Intel, і вперше представлених у процесорах серії Pentium III як відповідь на аналогічний набір інструкцій 3DNow! від AMD, який був представлений роком раніше. Цікаво, що початкова назва цих інструкцій була KIN, що розшифровувалася як Katmai New Instructions (Katmai — назва першої версії ядра процесора Pentium III).

128 bits	
xmm0	
xmm1	
xmm2	
xmm3	
xmm4	
xmm5	
xmm6	
xmm7	

SSE2 використовує вісім 128-бітних регістри (xmm0 до xmm7), що увійшли до архітектури x86 з вводом розширення SSE, кожний з яких трактується як послідовність 2 значень з плаваючою комою подвійної точності. SSE2 включає в себе набір інструкцій, який виконує дії зі скалярними і упакованими типами даних. Також SSE2 містить інструкції для потокової обробки даних з фіксованою комою у тих же 128-бітних xmm регістрах.

Лістинг 1.1

```

float a[4] = { 300.0, 4.0, 4.0, 12.0 };
float b[4] = { 1.5, 2.5, 3.5, 4.5 };
_asm {
movups xmm0, a ; // помістити 4 змінні з рухомою комою із a в регістр xmm0
movups xmm1, b ; // помістити 4 змінні з рухомою комою із b в регістр xmm1
mulps xmm1, xmm0 ; // перемножити пакети: xmm1=xmm1*xmm0
; // xmm10 = xmm10*xmm00
; // xmm11 = xmm11*xmm01
; // xmm12 = xmm12*xmm02
; // xmm13 = xmm13*xmm03
movups a, xmm1 ; // вивантажити результати із регістра xmm1 в a
};

```

1.5. Робота з SSE2 на рівні мов програмування високого рівня.

Для роботи з SSE, SSE2, SSE3, SSE4 та AVX в C/C++ зручно використовувати обгортки над цими інструкціями процесора. Їх реалізують *intrinsics-функції*, вичерпну інформацію по яких можна отримати за лінком: <https://software.intel.com/sites/landingpage/IntrinsicsGuide/>.

2. Приклад.

Математичні вирази зручно подавати у формі потокового графу алгоритму, оскільки в них або відсутні залежності керування за даними, або їх легко трансформувати в додаткові обчислення для вибору результату. Розглянемо потоковий граф алгоритму розв'язання квадратного рівняння (рис. 2.1.) для двократного розпаралелення при одночасному виконанні тільки однотипних інструкцій (відповідно до концепції SSE2).

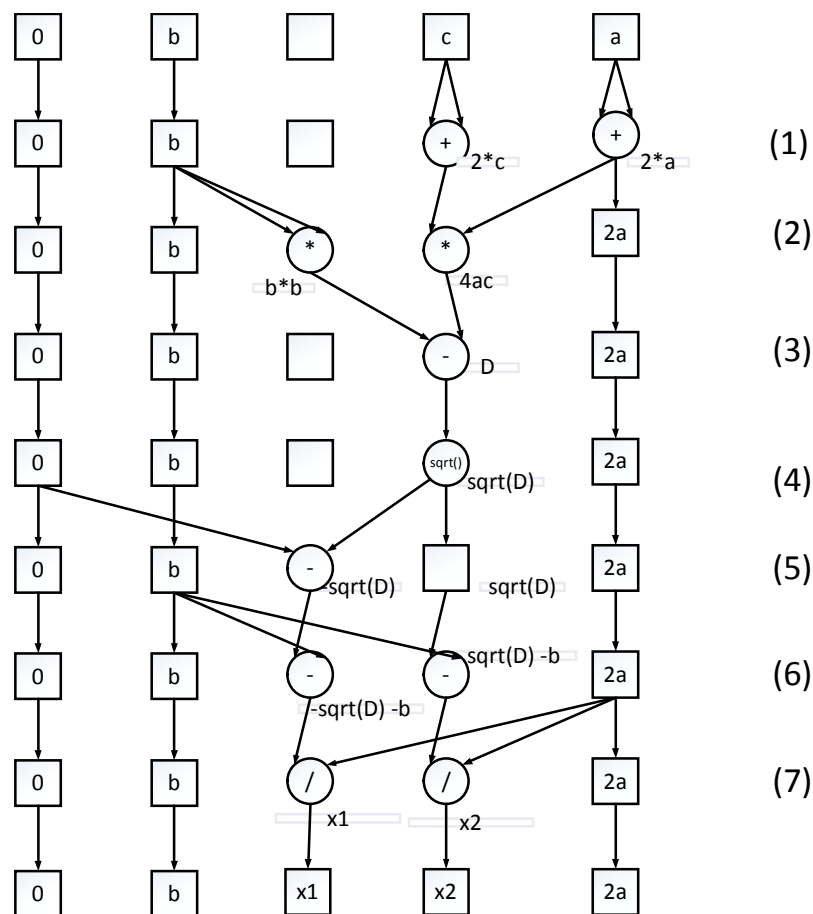


Рис. 2.1. ПГА для розв'язання квадратного рівняння