



universidade de aveiro
theoria poiesis praxis

Projeto Final: Milestone Intermédia

10. Relógio Despertador Programável

Departamento de Eletrónica, Telecomunicações e Informática

Mestrado Integrado em Engenharia Eletrónica e Telecomunicações

Ano Letivo 2018/2019

Laboratórios de Sistemas Digitais

P14 – Prof. José Luís Azevedo

Nome: Emanuel Veiga Pereira

Nmec: 93235;

18/05/2018

Introdução

O nosso trabalho consiste na modelação de hardware de um relógio despertador programável, tendo como exemplo os relógios do nosso quotidiano, com as funções: relógio normal, acerto ou configuração de horas/dias da semana e despertador programável. (R.D.P = relógio despertador programável)

Especificações do sistema

O funcionamento do R.D.P é o seguinte:

(Fase1) **Relógio normal**, quando o modo de configuração apresenta as entradas “00” inserida pelo utilizador: Neste caso relógio apresenta (HEX) um dígito para os minutos unidades, minutos dezenas, horas unidades, horas dezenas e dia da semana e um sinal para um LED que apresenta o batimento dos segundos, e a cada pulso de relógio deverá ser incrementado 1 minuto, sendo que deverá ser incluída a opção STOP que permite ao utilizador parar o relógio;

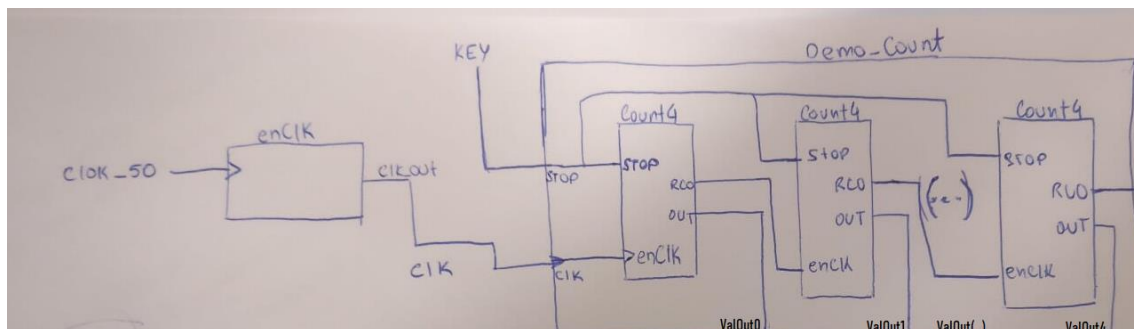
(Fase2) **Relógio ajustável**, quando o modo de configuração apresenta as entradas “01” inserida pelo utilizador: o relógio suspende e o utilizador tem acesso a configurar o relógio como pretender alterando de forma sequencial os minutos, horas e dia da semana;

(Fase3) **Relógio Despertador Programável**, quando o modo de configuração apresenta as entradas “11”: o relógio suspende e será programável pelo utilizador quando o despertador deve atuar;

Arquitetura detalhada do sistema a desenvolver

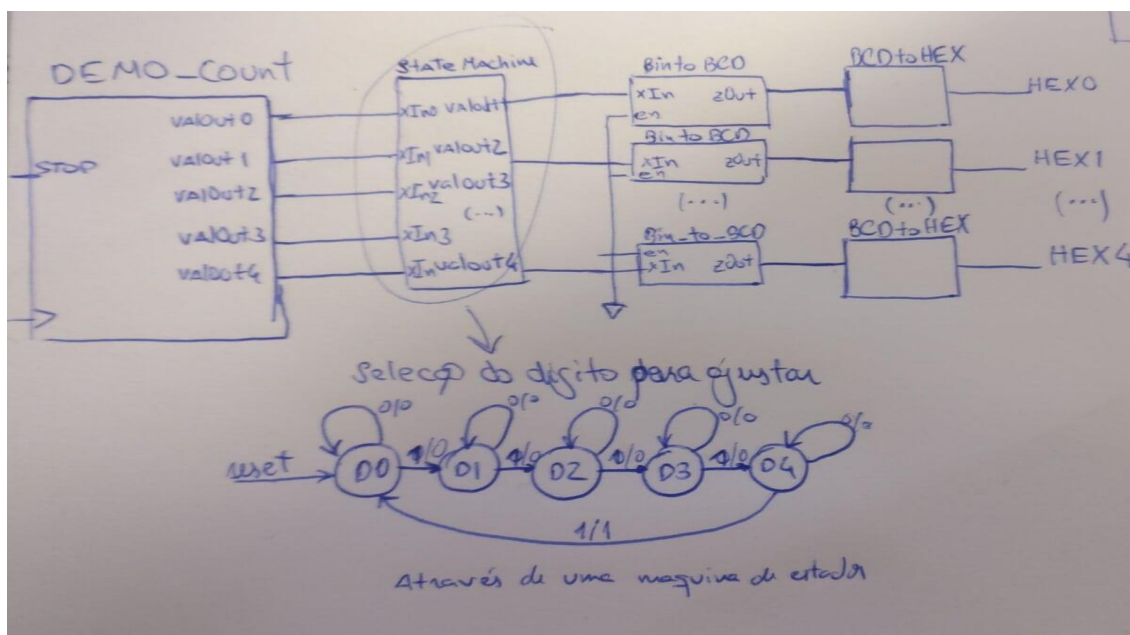
Neste projeto é necessário usar módulos como por exemplo:

Relógio normal, quando o modo de configuração apresenta as entradas “00” inserida pelo utilizador: Neste caso 5 contadores que servem como relógio (um contador para os minutos unidades, minutos dezenas, horas unidades, horas dezenas e dia da semana) e um sinal com frequência de 1Hz, vindo de um divisor de frequência que divide a frequência de entrada de 50MHz para 1Hz para os segundos. A cada pulso de relógio deverá ser incrementado 1 minuto, sendo que deverá ser incluída a opção STOP que permite ao utilizador parar o relógio;



- Demo_Count: Bloco de 5 contadores;
- enClk: Bloco para controlar o CLOCK_50 da FPGA;

Relógio ajustável terá as mesmas funcionalidades que o relógio normal sendo que o utilizador poderá selecionar o dígito que pretende alterar, de uma forma sequencialmente, através de uma máquina de estados. Sendo que em cada dígito poderá ter a opção de aumentar o dígito ou diminuir, através de um bloco de ajuste que incrementar ou decrementar como formo desejado;



Demo_Count;

State_Machine: Máquina de estados comunicantes para o modo de acerto;

BinToBCD: Binario para BCD; -> BCDtoHEX: BCD to HEX;

Relógio Despertador Programável: o sistema vai ter uma memória RAM que armazenará os alarmes inseridos pelo utilizador.

Abordagem faseada de desenvolvimento e validação

De forma a facilitar e organizar o desenvolvimento do projeto, este foi dividido em 3 fases/etapas:

Fase1: Implementação da funcionalidade de relógio;

Fase2: Além da fase acima descrita será acrescentada o acerto do relógio;

Fase3: Implementação da função de programação de alarmes a partir das fases de cima;

Manual do utilizador

SW(0) E SW(1) Modo de Configuração

"00"	Normal de contagem
"01"	Acerto de horas/dias da semana
"11"	Programação da função despertador

KEY/HEX

HEX0	Minutos, unidade
HEX1	Minutos, dezenas
HEX2	Horas, unidades
HEX3	Horas, dezenas
HEX4	Dia da semana
HEX7	Modo de Funcionamento
KEY0	Incrementar 1 unidade
KEY1	Decrementar 1 unidade
KEY2	Seleção de dígitos
KEY3	Seleção de alarmes

LEDG(8) – INDICAÇÃO DE SEGUNDOS

