

[Página Principal](#) / [Mis cursos](#) / [ArqComp21](#) / [Parcial 1](#) / [Parcial 1](#)

**Comenzado el** Friday, 24 de September de 2021, 09:00

**Estado** Finalizado

**Finalizado en** Friday, 24 de September de 2021, 11:26

**Tiempo empleado** 2 horas 25 minutos

**Calificación** 8,60 de 10,00 (86%)

Pregunta **1**

Correcta

Puntúa 0,25 sobre 0,25

Si no asigna una variable en todas las ejecuciones posibles de una instrucción `always_comb`, entonces... (seleccionar **todas** las respuestas que considere correctas)

- ☒ a. Se infiere un latch
- ☐ b. Se infiere una condición no importa (don't care).
- ☐ c. Se interpreta un `always_ff` en lugar del `always_comb`
- ☐ d. La variable se pone a cero



La respuesta correcta es: Se infiere un latch

Pregunta **2**

Parcialmente correcta

Puntúa 1,07 sobre 1,25

A continuación se describe en SystemVerilog el módulo "sequential". Completar los cuadros vacíos para su correcta interpretación.  
En todos los casos completar en minúsculas, sin espacios y usando los caracteres que considere necesarios.

```
module sequential #(
```

```
    parameter
```

```
    ✓ N=8)
```

```
    (
```

```
        output
```

```
    ✓ logic [N-1:0] y, z,
```

```
        input
```

```
    ✓ logic clk, reset);
```

```
        always
```

```
    ✓ @(posedge clk, posedge reset)
```

```
        begin
```

```
    ✓
```

```
        if (reset) begin
```

```
            y <= '0;
```

```
            z <= '0;
```

```
        end if
```

```
    ✗
```

```
        else begin
```

```
            y <= '1;
```

```
            z <= '1;
```

```
        end
```

```
    end
```

```
endmodule
```

```
✓
```

## Pregunta 3

Parcialmente correcta

Puntúa 1,00 sobre 1,25

Dado el siguiente módulo en SystemVerilog:

```
module my_unit(input logic clk, x,  
               output logic y1, y2);  
  
    logic w;  
    assign w = x|(~y1);  
    always_ff@(posedge clk)  
        y2 <= w;  
    always_ff@(negedge clk)  
        y1 <= y2;  
endmodule
```

Responder:

a) Las señales (**y1** e **y2**) se actualizan de forma:

- ☐ Asíncrona
- ☐ Ninguna de las opciones
- ☐ Una síncrona y la otra asíncrona
- ☒ Síncrona ✓

La respuesta correcta es: Síncrona

b) La señal **w** se actualiza cuando:

- ☐ Cambia el valor de y2
- ☐ El clock pasa de "0" a "1"
- ☒ El clock pasa de "1" a "0" ✗
- ☐ Ninguna de las opciones

La respuesta correcta es: Ninguna de las opciones

c) La señal **y1** se actualiza cuando:

- ☐ El clock pasa de "0" a "1"
- ☒ El clock pasa de "1" a "0" ✓
- ☐ Cambia el valor de y2
- ☐ Ninguna de las opciones

La respuesta correcta es: El clock pasa de "1" a "0"

d) Si al iniciar una simulación las señales **x**, **clk** e **y1** están en "0", qué valor tendrán **y1** e **y2** después del primer flanco negativo del clock?  
(Responder sólo con caracteres: 0, 1 ó x, la cantidad necesaria. Sólo el número en binario, NO en formato SystemVerilog)

y1 =

✓

y2 =

✓

## Pregunta 4

Correcta

Puntúa 0,50 sobre 0,50

La memoria de instrucciones (#imem) del procesador de un ciclo desarrollado en los prácticos 1 y 2 posee 64 palabras, direccionadas por los bits "addr[5..0]", los cuales se encuentran conectados a los bits [7..2] de la dirección de 64 bits "IM\_address".

Se desea duplicar el tamaño de dicha memoria de instrucciones. Para esto, se debe agregar un bit en la entrada de address del módulo, resultando "addr[6..0]". ¿A qué bits de la dirección completa "IM\_addr" debería conectarse la entrada de #imem luego de realizar esta modificación?

- ☐ a. IM\_address[7..1]
- ☐ b. Ninguna de las opciones
- ☐ c. IM\_address[8..1]
- ☒ d. IM\_address[8..2]
- ☐ e. IM\_address[7..2]



La respuesta correcta es: IM\_address[8..2]

## Pregunta 5

Correcta

Puntúa 0,50 sobre 0,50

Agregar la instrucción ORRI al microprocesador de un ciclo desarrollado en los prácticos 1 y 2 requiere...

- ☐ a. Incrementar el tamaño (en bits) de las instrucciones
- ☐ b. Todas las opciones
- ☒ c. Ninguna de las opciones
- ☐ d. Incrementar el tamaño (en bits) del puerto de entrada "a" de la ALU
- ☐ e. Incrementar la cantidad de registros
- ☐ f. Incrementar el tamaño (en bits) del program counter (PC)



La respuesta correcta es: Ninguna de las opciones

Pregunta 6

Correcta

Puntúa 1,25 sobre 1,25

Considerando el siguiente segmento de código:

```
1>> add x2, x5, x3
2>> eor x4, x5, x2
3>> ldur x5, [x2, #0]
```

Responder:

a) ¿Cual de las siguientes dependencias son correctas? (marcar todas las opciones correctas)

[Tipo de dependencia, Instrucciones, Registro (en caso de ser necesario)]

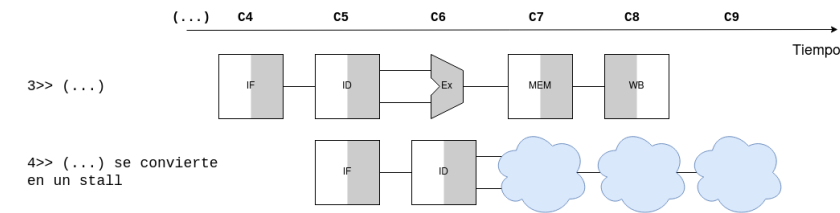
- ☒ Datos, 1-3, X2 ✓
- ☐ Datos, 2-3, X2
- ☐ Datos, 1-2, X5
- ☐ Control, 3
- ☐ Datos, 2-3, X5
- ☐ Estructural, 1-3
- ☒ Datos, 1-2, X2 ✓

La respuesta correcta es:

- Datos, 1-2, X2
- Datos, 1-3, X2

b) Llenar la siguiente tabla con el orden de ejecución de las instrucciones utilizando un procesador con *stall*.

En la columna Instrucción indicar el número de instrucción ejecutada o una S en caso de ejecutarse un stall. En las columnas C1..C11 indicar la etapa de ejecución (Fetch: F, Decode: D, Execute: E, Memory: M, Writeback: W). En las celdas no utilizadas colocar un guion medio (-). Ejemplo de como llenar la tabla:



# Instrucción	C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11
3	-	-	-	F	D	E	M	W	-	-	-
S	-	-	-	-	F	D	S	S	S	-	-

# Instrucción	C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	C11
1	F	D	E	M	W	-	-	-	-	-	-
✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
S	-	F	D	S	S	S	-	-	-	-	-
✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓

S	-	-	F	D	S	S	S	-	-	-	-
✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
2	-	-	-	F	D	E	M	W	-	-	-
✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
3	-	-	-	-	F	D	E	M	W	-	-
✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
-	-	-	-	-	-	-	-	-	-	-	-
✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
-	-	-	-	-	-	-	-	-	-	-	-
✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓

El número de filas de la tabla puede ser mayor a las que realmente requiera, llenar las filas no utilizadas con guiones medios (-).

## Pregunta 7

Parcialmente correcta

Puntúa 1,45 sobre 1,50

Considerando el siguiente segmento de código:

```
1>> e1: LDUR X1, [X0, #0]
2>>     ADDI X2, X1, #100
3>>     STUR X1, [X0, #-8]
4>>     SUBI X0, X0, #16
5>>     CBZ X0, e2
6>>     B e1
7>> e2: ADD X0, X3, X4
8>>     SUB X3, X0, X5
```

Responder:

1) ¿Cual de las siguientes dependencias son correctas? (marcar todas las opciones correctas)

[Tipo de dependencia, Instrucciones, Registro (en caso de ser necesario)]

- ☒ Datos, 1,3, X1 ☒
- ☐ Control, 5,1, X0
- ☐ Datos, 3,4, X0
- ☐ Datos, 2,3, X1
- ☐ Estructural, 3,4
- ☒ Control, 5 ☒
- ☐ Datos Condicional 4,3, X0
- ☒ Datos, 4,5, X0 ☒

La respuesta correcta es:

- Datos, 1,3, X1
- Control, 5
- Datos, 4,5, X0
- Datos Condicional 4,3, X0

2) El código es ejecutado por un procesador con *forwarding stall* y que ante un salto condicional asume Always not taken. Además, el registro X0 contiene el valor X0 = 16. A partir del orden de ejecución, responder las siguientes preguntas:

a) ¿Cual de los siguientes forwarding son necesarios en la ejecución del código?(marcar todas las opciones correctas)

[Instrucción inicial, instrucción final; Etapa inicial, etapa final; Registro involucrado]

- ☐ 1,3; Memory, Execute; X0
- ☒ 7,8; Execute, Execute; X0 ☒
- ☒ 1,2; Memory, Execute; X1 ☒
- ☒ 4,5; Execute, Execute; X0 ☒
- ☐ 3,4; Execute, Execute; X0

La respuesta correcta es:

- 1,2; Memory, Execute; X1
- 4,5; Execute, Execute; X0
- 7,8; Execute, Execute; X0

b) ¿Cuántos *forwarding* en total se necesitaron?



c) ¿Cuántos ciclos de clock se pierden por stalls?



d) ¿Cuántos ciclos de clock se pierden por flush (en caso que no sea necesario realizar flush de instrucciones, responder 0)?



e) ¿Cuántos *ciclos de clock* se necesitaron para ejecutar todo el código?



f) ¿En que etapa se encuentra la instrucción 7 en el clock 10?

☒ Fetch☐ Memory☐ Execute☐ Writeback☐ Ninguna es correcta☐ Decode

La respuesta correcta es: Fetch

Pregunta 8

Correcta

Puntúa 1,25 sobre 1,25

Asumiendo que las etapas individuales del pipeline de un procesador tienen las siguientes latencias:

	IF	ID	EX	MEM	WB
Latencia por etapa	180 ns	50 ns	150 ns	200 ns	100 ns

a) ¿Cuál es la latencia de una instrucción y el menor periodo posible de reloj para un microprocesador sin pipeline?

Latencia:



ns

Periodo de reloj:



ns

b) ¿Cuál es la latencia de una instrucción y el menor periodo posible de reloj para un microprocesador con pipeline?

Latencia:



ns

Periodo de reloj:



ns

c) ¿Cuántas instrucciones se deben ejecutar seguidas para que el rendimiento del microprocesador con pipeline sea mejor que el mismo sin pipeline?





## Pregunta 9

Parcialmente correcta

Puntúa 0,83 sobre 1,25

Considere que la siguiente sección de código está presente en el vector de excepciones de un microprocesador LEGv8, similar al implementado en el Práctico 3.

```
1>   exc_vector: MRS X9, S2_0_C2_C0_0
2>               CMP X9, 0x01
3>               B.EQ trap
4>               MRS X9, S2_0_C0_C0_0
5>               BR X9
6>   trap:       B trap
```

Seleccionar las respuestas correctas de las siguientes afirmaciones:

1. "Ante la ocurrencia de una excepción, el código queda atrapado en un lazo infinito..."

- ☐ ... solo si se trata de una excepción de OpCode invalido.
- ☒ ... solo si se trata de una excepción por interrupción externa. ✓
- ☐ ... siempre, independientemente del tipo de excepción.
- ☐ Ninguna de las anteriores es correcta

La respuesta correcta es: ... solo si se trata de una excepción por interrupción externa.

2. "Si suponemos que la instrucción de la línea 2> (CMP) está corrompida en memoria en forma permanente (generando un OpCode invalido), considerando la implementación particular de nuestro procesador, el mismo..."

- ☐ ... no realiza ninguna acción porque ya está en el vector de excepciones y retorna normalmente.
- ☐ ... queda atrapado en el bucle infinito del label "trap".
- ☐ ... genera un comportamiento impredecible, porque este caso no está contemplado en la lógica de excepciones.
- ☒ Ninguno de los anteriores es correcta ✓

La respuesta correcta es: Ninguno de los anteriores es correcta

3. "Este código retorna a la dirección de memoria donde se encuentra ...":

- ☐ ... la instrucción que generó la excepción por OpCode invalido
- ☐ ... la siguiente instrucción que debía ejecutarse de no haberse producido la excepción por OpCode invalido.
- ☐ ... la instrucción que estaba en ejecución al generarse una excepción por interrupción externa.
- ☒ ... la siguiente instrucción que debía ejecutarse de no haberse producido una excepción por interrupción externa. ✗

La respuesta correcta es: ... la siguiente instrucción que debía ejecutarse de no haberse producido la excepción por OpCode invalido.

Pregunta **10**

Correcta

Puntúa 0,50 sobre 0,50

En nuestro procesador LEGv8, la señal de **ExtIAck**, que indica que una interrupción externa ha sido atendida, se mantiene en "1"....

- ☐ a. ... mientras la señal ExtIRQ este en "0"
- ☒ b. ... durante un solo ciclo de CLK
- ☐ c. ... durante 2 ciclos de CLK
- ☐ d. ... mientras se ejecuta la ISR



La respuesta correcta es: ... durante un solo ciclo de CLK

Pregunta **11**

Incorrecta

Puntúa 0,00 sobre 0,50

Si se quisiera determinar la **dirección de un OpCode invalido**, es necesario utilizar:

- ☒ a. Ninguno es correcto
- ☐ b. Solo el registro ELR
- ☐ c. Solo el registro ERR
- ☐ d. Los registros ERR y ELR
- ☐ e. Los registros ESR y el ELR



La respuesta correcta es: Los registros ESR y el ELR

[◀ Why Raspberry Pi isn't vulnerable to Spectre or Meltdown](#)

Ir a...

[Parcial 2 ▶](#)