



リファレンスマニュアル

Hydra Board

Rev. 1.0

2014/02/01

目次




1. 安全上の注意	4
1.1 凡例	4
1.2 注意事項	4
1.3 開発者情報	5
2. 重要事項	6
3. 内容物	8
4. Hydra Board の機能と特徴	9
4.1 Hydra Board の主な特徴	9
4.2 Hydra Board の基本仕様	9
4.3 ブロック図	10
4.4 基板仕様	11
5. Hydra ハードウェア各部仕様	12
5.1 Hydra Board のレイアウト	12
5.1.1 Hydra Board 主要部品レイアウト	12
5.2 コネクタピンアサイン	14
5.3 JTAG コンフィグレーション	20
5.4 ステータス表示 LED	21
5.5 設定スイッチとジャンパピン	22
5.5.1 JTAG 設定 (MSEL) ジャンパピン	22
5.5.2 コンフィグレーションプッシュボタン	23
5.6 クロック	24
5.6.1 ボード上の発振器	24
5.6.2 外部からのクロック入力	25
5.6.3 クロック入力切り替えディップ・スイッチ	25
5.7 汎用 I/O	26
5.7.1 ユーザ定義プッシュボタン	26
5.7.2 ユーザ定義ディップ・スイッチ	26

5.7.3	ユーザ定義 LED	27
5.7.4	MAX V 用ユーザ定義プッシュボタン	27
5.7.5	MAX V 用ユーザ定義ディップ・スイッチ	27
5.7.6	MAX V 用ユーザ定義 LED	28
5.8	FPGA/MAX V ピン割り付け表	28
5.8.1	DDR3 SDRAM	29
5.8.2	NOR FLASH	34
5.8.3	HSMC	36
5.8.4	EXIO	39
5.8.5	MAX V	40
5.8.6	Ethernet	42
5.9	パワーツリー	43
6.	更新履歴	44



1.安全上の注意



ここに示した注意事項は、お使いになる人や、他の人への危害、財産への損害を未然に防ぐための内容を記載していますので、必ずお守りください。

1.1 凡例

 危険	この表示は、取り扱いを誤った場合、「死亡または重傷を負う危険が切迫して生じることが想定される」内容です。
 警告	この表示は、取り扱いを誤った場合、「死亡または重傷を負う可能性が想定される」内容です。
 注意	この表示は、取り扱いを誤った場合、「傷害を負う可能性が想定される場合および物的損害のみの発生が想定される」内容です。

1.2 注意事項

 危険	AC アダプタを必要とする場合、本マニュアルで指定された仕様に基づく AC アダプタ（もしくは同梱品）を使用してください。指定の仕様を満たさない AC アダプタを使用した場合は、キットの発熱、破裂、発火の原因となります。
 警告	強い衝撃を与えたり、投げつけたりしないでください。 発熱、破裂、発火や機器の故障、火災の原因となります。
	電子レンジなどの加熱調理機器や高圧容器に、本体や AC アダプタを入れないでください。本体や AC アダプタの発熱、破裂、発火、発煙、部品の破壊、変形などの原因となります。
	使用中の本体を布など熱のこもりやすいもので包んだりしないでください。 熱がこもり、発火、故障の原因となることがあります。
	本体を廃棄するときは、他の一般ゴミと一緒に捨てないでください。 火中に投げると破裂する恐れがあります。廃棄方法については、廃棄物に関する各種法律・法令・条例等に従ってください。
	極端な高温、低温、また温度変化の激しい場所で使用しないでください。 故障の原因となります。周囲温度は 5℃～35℃、湿度は 0%～85%の範囲でご使用ください。
	電源ケーブルを強く引っ張ったり、電源ケーブルの上に重いものを置かないでください。電源ケーブルを破損、破壊、強く束ねたり、改造したりしないでください。電源ケーブルの損傷は回路がショートし、結果として火災や感電事故の原因になります。
	電源プラグをぬれた状態、または湿った状態の手で抜かないでください。 この動作は電気ショックによる負傷や装置の誤動作の原因になります。 電源プラグは、安全にコンセントに差し込んでください。 安全に挿しこまない場合、電気ショックによる事故や火災の原因になります。

 警告	<p>多くの電気コードを一つのソケットにも接続しないでください、または、指定された電圧を満たさないコンセントに AC アダプタを接続しないでください。これを守らない場合、聞きお誤動作、電気ショックによる事故、発熱からの火災が起こります。</p>
	<p>定期的に電源プラグとコンセントの埃を取り除いてください。埃が集まった状態で使わないでください、誇りに集まった湿気が原因で絶縁に失敗して火災の原因になります。電源プラグとコンセント周りの埃は取り除いてご使用ください。</p>
	<p>この基板を水や他の液体で満たされた容器におかないでください。この基板が水や他の液体にさらされた場合、誤動作や電気ショックの原因になります。水や他の液体をこぼした場合は、即座に基板の使用を中止して、電源を OFF にして、電源プラグを抜いてください。</p>
 注意	<p>ぐらついた台の上や傾いた場所等不安定な場所には置かないでください。落下して、けがや故障の原因になります</p>
	<p>直射日光の強い場所や炎天下の車内など高温の場所で使用、放置しないでください。発熱、破損、発火、暴走、変形、故障の原因となります。また、機器の一部が熱くなり、火傷の原因となる場合もあります。</p>
	<p>本体を組み込んだ装置の保守中は、電源を抜いて作業してください。感電の危険性があります。</p>
	<p>ボードに無理な力がかかるような場所に置かないでください。基板の変形により、基板の破損、部品の脱落、故障の原因となります。</p>
	<p>拡張ボードや他の周辺機器と一緒にお使いの場合には、それぞれ個別の取り扱い説明書をよく読んで適正にお使いください。 本マニュアルに記載されているもの、また別途動作を確認できていることを公表しているものの他は、特定の拡張ボードや周辺機器の相互動作は保証いたしかねます。</p>
	<p>カスタマイズ可能と明示している部分以外の分解、解体、改変、改造、再生はしないでください。 本キットはカスタマイズが可能なキットですが、本マニュアルに指定された部分以外は基本動作に必要な部分に何らか外部の手が加わることで製品全体の動作保証が出来なくなります。本マニュアルに記載されているカスタマイズ可能部分以外のカスタマイズをご希望の場合には、はじめに必ずアルティマにご相談ください。</p>

1.3 開発者情報

本ボードは、株式会社アルティマにて開発しております。ご不明点等ありましたら弊社までお問い合わせ下さい。

株式会社アルティマ

〒222-8563

神奈川県横浜市港北区新横浜 1-5-5

http://www.altima.jp/support/inquiry/inquiry_choice.html

2.重要事項

はじめに

- 本製品をご使用になる前に、必ずこのリファレンスマニュアルをよく読んでご理解ください
- 本マニュアルは本製品と共に大切に保管していただきますようお願い致します。
- 本製品を使用する際は、よく読んで正しくご使用いただくようお願い致します。

本製品の目的

- 本製品は、アルテラ社 Cyclone® V GX の開発をサポートするものです。

本製品を使用する方人は

- 本マニュアルを慎重にお読みいただき、ご使用方法を守って本製品をご使用ください。本製品を使用する上で、電気回路、論理回路と FPGA についての基本的な知識が必要です。

安全にお使いいただくために

- 本製品は、設計開発サポートや評価に使用する開発支援装置です。設計が完了し、量産時される場合には、統合試験、評価、実験を行い、お客様のシステムにおいて適用可否をご判断ください。
- 本製品の利用から生じる損害に関して、弊社に故意または重大な過失がある場合を除いて一切責任を負いません。
- 弊社では、潜在的な危険を含むすべての起こりうる諸状況や誤使用を予想できません。したがって、本マニュアルに記載されている警告がすべてではありません。お客様の責任で本製品を正しく安全に使用してください。
- 本製品は、設計と評価段階の開発に使われる製品です。本製品は、お客様の製品に組み込みご量産することはできません。
- すべての LAN インタフェースとの接続を、保証することはできません。
- 本製品は、デバイス機能を保証するものではありません。
- お客様による改造箇所についての動作は、保証いたしません。
- 本製品は鉛フリー製品が使用されています。
- 本マニュアルに記載されているシステム名、製品名は、一般に各開発会社の登録商標あるいは商標です。

本製品の変更について

- 弊社は本製品のデザイン、パフォーマンスと安全の改善を続ける方針をとっております。したがって、予告なく本製品のすべて、または部分的に、仕様、デザイン、リファレンスマニュアルと関連するドキュメントを変更することがあります。

保証の範囲

- 梱包の開封時点でそれぞれ同梱されているか、破損など無いかを確認してください。何か足りない場合や、外見上認識できる破損を発見した場合には、お届けより 30 日以内に弊社の担当営業までご連絡ください。

さらに、

- (1) 不正使用、異常な環境下での使用
- (2) 改造や修復の実施
- (3) 火災、地震、落下、その他すべての事故

上記(1)～(3)に該当する場合、弊社では交換に応じることはできません。

記載された図

- 本リファレンスマニュアルに記載された図は、実際のシステムと異なることがあります。

3.内容物

ご使用前にご確認ください

お買い上げの内容物をご確認ください。

Hydra Board : 1 枚	
AC アダプタ (12V 4.0A 品) : 1 個	
ブラケット : 1 個	
スペーサー:5 セット	
梱包物一覧・注意事項	
右記のマニュアルなどは、梱包物一覧・ 注意事項に記載されている URL より ダウンロードして下さい	・Getting Started ・本リファレンスマニュアル ・本ボード回路図

梱包の開封時点でそれぞれ同梱されているか、破損など無いかを確認してください。何か足りない場合や、外見上認識できる破損を発見した場合には、お届けより 30 日以内に弊社の担当営業までご連絡ください。

4. Hydra Board の機能と特徴

4.1 Hydra Board の主な特徴

「カーインフォテイメント向け FPGA 開発キット (Hydra)」は、ルネサス エレクトロニクス株式会社の カーインフォテイメント向け第 2 世代 SoC 「R-Car H2」用の I/O コンパニオンボードです。

最小限のシステム・コストで、低消費電力かつ最適な性能が実現可能なアルテラ社 Cyclone® V GX FPGA のオートモーティブ用温度グレード品を搭載し、カーインフォテイメント用 SoC のインタフェースや機能を補完する拡張性をもったプラットフォームになっています。

また、ルネサス社「R-Car H2」搭載ボードと接続可能な、ビデオインタフェース用ケーブル、LVDS ドータカード、コンフィグレーションボードを使用する事で、ビデオ入力の拡張や各種インタフェースの検証をする事が可能になります。

なお、本開発キット単独での FPGA の評価も可能です。

4.2 Hydra Board の基本仕様

本ボードは、下記の様な製品仕様となっております。

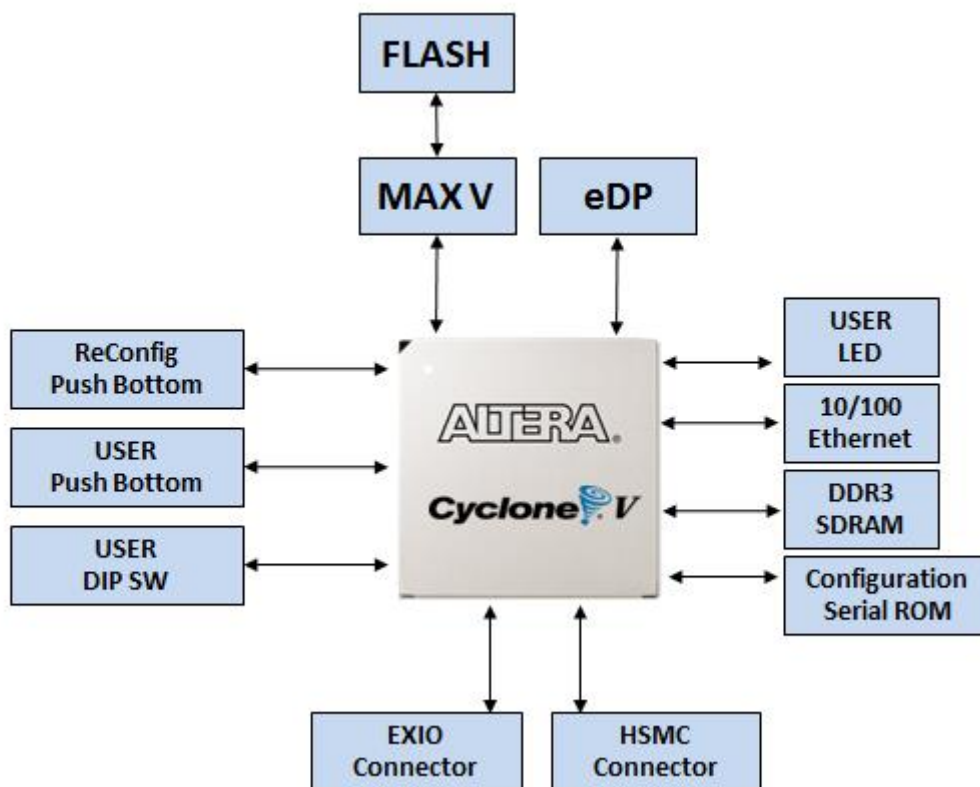
図 4-2-1. 主要部品

	メーカー	機能	部品名
FPGA	Altera		5CGXFC7C6U19A7N
MAX V CPLD	Altera	PFL コンフィグレーション	5M1270ZT144A5N
シリアル ROM	Micron	コンフィグレーション ROM 8MB	N25Q064A13ESFA0F
DDR-SDRAM	Micron	DDR3-800 (128MByte x 2)	MT41J64M16JT-15E IT:G
Flash ROM	Micron	Micron NOR Flash (32MByte)	M29W128GH70N3
Ethernet	TI	10/100Mbps Ethernet PHY	DP83848HSQ/NOPB
コネクタ	Hoshiden	DisplayPort コネクタ(オプション)	TCX3250-010187
	Samtec	HSMC	ASP-122953-01
	Samtec	EXIO	QSE-060-01-F-D-A

4.3 ブロック図

図 4-3-1 HydraBoard のブロック図です。

図 4-3-1. Hydra Board ブロック図



4.4 基板仕様

表 4.4.1 基板仕様

ボードサイズ	高さ	幅
	115.15 mm	167.65mm
ボード厚	1.6mm	
レイヤー数	8 層	

5. Hydra ハードウェア各部仕様

5.1 Hydra Board のレイアウト

5.1.1 Hydra Board 主要部品レイアウト

図 5.1.1 に本ボードのコネクタの位置を示します。

図 5-1-1 Hydra Board 主要部品

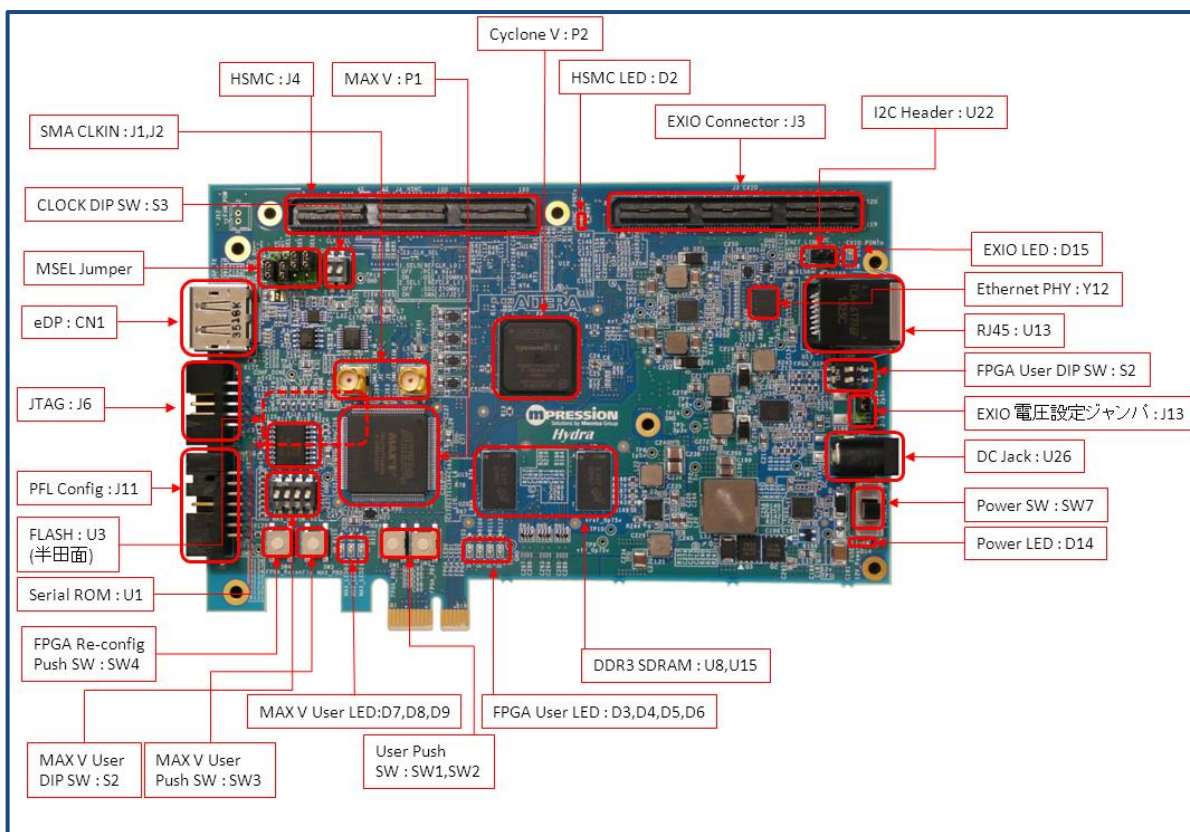


表 5-1-1 主要な部品の表

部品番号	種類	詳細
FPGA, CPLD		
P2	FPGA	Cyclone V, 5CGXFC7C6U19A7N
P1	CPLD	MAX V, 5M1270ZT144A5N

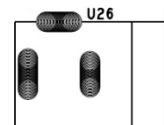
部品番号	種類	詳細
J6	JTAG Config ヘッダ	
J11	PFL Config ヘッダ	
J13	EXIO 電圧設定ジャンパ	1-2 ショート:3.3V 2-3 ショート : 2.5V
SW4	FPGA Refconfig SW	
D1	Ethernet Link Led	Ethernet Phy リンク確立時点灯
D2	HSMC LED	HSMC コネクタに子基板挿入時点灯
D10	FPGA nConfig LED	
D11	FPGA nStatus LED	
D12	FPGA CONF_DONE LED	
D13	FPGA INIT_DONE LED	
D15	EXIO LED	EXIO コネクタにケーブル挿入時点灯
汎用ユーザ I/O		
SW1,SW2	FPGA User Push SW	
SW3	MAX V Uset Push SW	
S1	FPGA DIP SW	
S2	MAX V DIP SW	
D7,D8,D9	MAX V User LED	
D3,D4,D5,D6	FPGA User LED	
コミュニケーションポート		
J1	SMA/CLK_IN_P	
J2	SMA/CLK_IN_N	
J3	EXIO	120 ピン
J4	HSMC	160 ピン
SW7	Power SW	
D14	Power LED	12 V 入力
CN1	eDP	DisplayPort 仕様、信号は eDP
U1	Serial ROM	8MBytes Active Serial コンフィグレーション用
U3	FLASH	32MBytes MAX V に接続
U8,U9	DDR3-SDRAM	256MBytes, 16bitsx2
U13	Ethernet RJ45	
U22	I2C ヘッダー	
U26	DC Jack	
U12	Ethernet PHY	10/100Mbps DP83848HSQ/NOPB

5.2 コネクタピンアサイン

図 5.1.1 に本ボードのコネクタの位置を示しています。

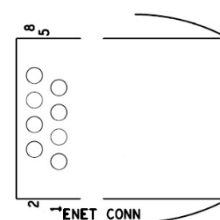
01. U35 (DC ジャック)

ピン	信号名	ピン	信号名
1	12V	2	GND
3	GND		



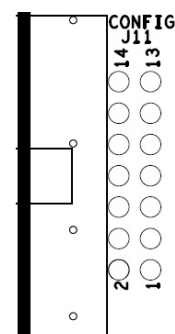
02. U13 (RJ45)

ピン	信号名	ピン	信号名
1	TD+	2	TD-
3	CTT	4	RD+
5	RD-	6	CTR
7	NC	8	GND
9	FG1	10	G2
11	GND_TAB	12	GND_TAB



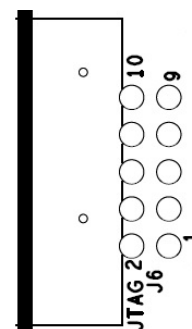
03. J11 (PFL 用コネクタ)

ピン	信号名	ピン	信号名
1	FPGA_DCLK	2	GND
3	CONFIG_PIN3	4	FPGA_nCONFIG
5	FPGA_nSTATUS	6	FPGA_CONF_DONE
7	FPGA_DATA0	8	FPGA_DATA1
9	FPGA_DATA2	10	FPGA_DATA0
11	FPGA_DATA4	12	FPGA_DATA3
13	FPGA_DATA6	14	FPGA_DATA0



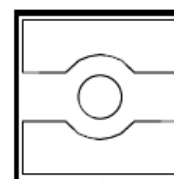
04. J6 (FPGA 用 JTAG コネクタ)

ピン	信号名	ピン	信号名
1	JTAG_TCK	2	GND
3	JTAG_MAX_TDO	4	2.5V
5	JTAG_TMS	6	NC
7	NC	8	NC
9	JTAG_TDI	10	GND



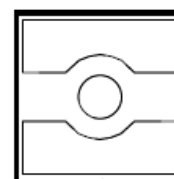
05 J1(SMA CLKIN_P)

ピン	信号名	ピン	信号名
1	SMA_CLK_IN	2	
3		4	
5			

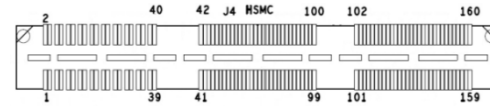


06 J2(SMA CLKIN_N)

ピン	信号名	ピン	信号名
1	SMA_CLK_IN	2	
3		4	
5			



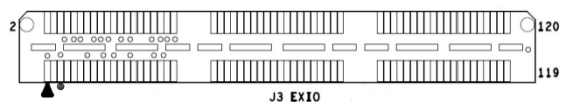
07. J8(HSMC コネクタ)



ピン	信号名	ピン	信号名	ピン	信号名	ピン	信号名
1		2		81	3.3V	82	12V
3		4		83	HSMC_TX_D_P5	84	HSMC_RX_D_P5
5		6		85	HSMC_TX_D_N5	86	HSMC_RX_D_N5
7		8		87	3.3V	88	12V
9		10		89	HSMC_TX_D_P6	90	HSMC_RX_D_P6
11		12		91	HSMC_TX_D_N6	92	HSMC_RX_D_N6
13		14		93	3.3V	94	12V
15		16		95	HSMC_CLK_OUT_P1	96	HSMC_CLK_IN_P
17		18		97	HSMC_CLK_OUT_N1	98	HSMC_CLK_IN_N
19		20		99	3.3V	100	12V
21		22		101	HSMC_TX_D_P7	102	HSMC_RX_D_P7
23		24		103	HSMC_TX_D_N7	104	HSMC_RX_D_N7
25	HSMC_TX_P1	26	HSMC_RX_P1	105	3.3V	106	12V
27	HSMC_TX_N1	28	HSMC_RX_N1	107	HSMC_TX_D_P8	108	HSMC_RX_D_P8
29	HSMC_TX_P0	30	HSMC_RX_P0	109	HSMC_TX_D_N8	110	HSMC_RX_D_N8
31	HSMC_TX_N0	32	HSMC_RX_N0	111	3.3V	112	12V
33	HSMC_SDA	34	HSMC_SCL	113	HSMC_TX_D_P9	114	HSMC_RX_D_P9
35		36		115	HSMC_TX_D_N9	116	HSMC_RX_D_N9
37		38		117	3.3V	118	12V
39	HSMC_CLK_OUT0	40	HSMC_CLK_IN0	119	HSMC_TX_D_P10	120	HSMC_RX_D_P10
41	HSMC_D0	42	HSMC_D1	121	HSMC_TX_D_N10	122	HSMC_RX_D_N10
43	HSMC_D2	44	HSMC_D3	123	3.3V	124	12V
45	3.3V	46	12V	125	HSMC_TX_D_P11	126	HSMC_RX_D_P11
47	HSMC_D4	48	HSMC_D5	127	HSMC_TX_D_N11	128	HSMC_RX_D_N11
49	HSMC_D6	50	HSMC_D7	129	3.3V	130	12V
51	3.3V	52	12V	131	HSMC_TX_D_P12	132	HSMC_RX_D_P12
53	HSMC_TX_D_P0	54	HSMC_RX_D_P0	133	HSMC_TX_D_N	134	HSMC_RX_D_N12
55	HSMC_TX_D_N0	56	HSMC_RX_D_N0	135	3.3V	136	12V
57	3.3V	58	12V	137	HSMC_TX_D_P13	138	HSMC_RX_D_P13
59	HSMC_TX_D_P1	60	HSMC_RX_D_P1	139	HSMC_TX_D_N13	140	HSMC_RX_D_N13
61	HSMC_TX_D_N1	62	HSMC_RX_D_N1	141	3.3V	142	12V
63	3.3V	64	12V	143	HSMC_TX_D_P14	144	HSMC_RX_D_P14
65	HSMC_TX_D_P2	66	HSMC_RX_D_P2	145	HSMC_TX_D_N14	146	HSMC_RX_D_N14
67	HSMC_TX_D_N2	68	HSMC_RX_D_N2	147	3.3V	148	12V
69	3.3V	70	12V	149	HSMC_TX_D_P15	150	HSMC_RX_D_P15

71	HSMC_TX_D_P3	72	HSMC_RX_D_P3	151	HSMC_TX_D_N15	152	HSMC_RX_D_N15
73	HSMC_TX_D_N3	74	HSMC_RX_D_N3	153	3.3V	154	12V
75	3.3V	76	12V	155	HSMC_CLK_OUT_P2	156	HSMC_CLK_IN_P25
77	HSMC_TX_D_P4	78	HSMC_RX_D_P4	157	HSMC_CLK_OUT_N2	158	HSMC_CLK_IN_N25
79	HSMC_TX_D_N4	80	HSMC_RX_D_N4	159	3.3V	160	12V

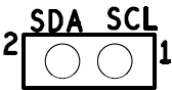
08. J8(EXIO コネクタ)



ピン	信号名	ピン	信号名	ピン	信号名	ピン	信号名
1	GND	2		61		62	
3	EXIO_0	4		63		64	
5	EXIO_1	6		65		66	
7	EXIO_2	8	GND	67		68	
9	EXIO_3	10	EXIO_19	69		70	
11	EXIO_4	12	EXIO_20	71	EXIO_18	72	
13	EXIO_5	14	EXIO_21	73		74	
15	EXIO_6	16	EXIO_22	75		76	
17	EXIO_7	18	EXIO_23	77		78	
19	EXIO_8	20	EXIO_24	79		80	
21	GND	22	EXIO_25	81		82	
23	EXIO_9	24	EXIO_26	83	GND	84	
25	EXIO_10	26	EXIO_27	85	EXIO_PIN85	86	
27	EXIO_11	28	EXIO_28	87		88	
29	EXIO_12	30	EXIO_29	89		90	
31	EXIO_13	32	EXIO_30	91	GND	92	
33	EXIO_14	34	EXIO_31	93		94	
35	EXIO_15	36	EXIO_32	95	GND	96	
37	EXIO_16	38	EXIO_33	97		98	
39	EXIO_17	40		99		100	
41		42		101		102	
43		44		103		104	
45		46		105		106	
47		48		107	GND	108	GND
49		50		109		110	
51		52		111		112	
53		54		113		114	I2C_SCL
55		56		115		116	I2C_SDA
57		58	EXIO_34	117		118	LED
59		60	EXIO_35	119		120	

09 I2C ピンヘッダー

ピン	信号名	ピン	信号名
1	I2C_SCL	2	I2C_SDA



5.3 JTAG コンフィグレーション

ここでは Hydra Board でサポートされているコンフィギュレーションについて記載しています。Hydra Board は下記 3 つのコンフィギュレーションをサポートしています。

- JTAG コンフィグレーション
 - JTAG ヘッド接続で、アルテラ社の USB-Blaster を介して Quartus® II プログラムで JTAG コンフィグレーションをサポート
- PFL コンフィグレーションモード
 - MAX V に接続されている FLASH にコンフィグレーションデータを格納して FPGA を MAX V 経由でコンフィグレーション
- AS コンフィグレーションモード
 - FPGA 経由での Micron シリアル ROM にコンフィグレーションデータを格納
 - Micron シリアル ROM から起動

表 5-3-2 JTAG 端子のピンアサイン

ピン	信号名	I/O Standard	FPGA ピン番号	MAX V ピン番号	機能
1	JTAG_TCK	3.3V	V5	35	FPGAとMAXに接続
3	JTAG_MAX_TDO	-	-	38	MAXからのデータ出力
5	JTAG_TMS	3.3V	R4	33	FPGAとMAXに接続
7	NC	-	-	-	-
9	JTAG_TDI	3.3V	P5		FPGAへのデータ入力
2	GND	-	-	-	
4	2.5V	-	-	-	
6	NC	-	-	-	
8	NC	-	-	-	
10	GND	-	-	-	

5.4 ステータス表示 LED

Hydra board にはステータス表示 LED があります。表 5-4-1 にステータス LED の示す意味を記載します。

表 5-4-1. ステータス LED

ボードリファレンス	I/O スタンドアード	機能
D1		Ethernet のリンク確認用 LED
D2	3.3V	HSMC ドータボード実装時 LED
D3-D6		汎用 LED x4(FPGA LED0-LED3)
D7-D9		MAX 用 LED
D10	3.3V	FPGA nCONFIG 確認用の LED
D11	3.3V	FPGA nSTATUS 確認用の LED
D12	3.3V	FPGA CONF_DONE 確認用の LED
D13	3.3V	FPGA INIT_DONE 確認用の LED
D14		+12V 電源 LED
D15	3.3V	EXIO コネクタ接続時 LED

5.5 設定スイッチとジャンパピン

- JTAG 設定 (MSEL) ジャンパピン
- コンフィグレーションプッシュボタン

5.5.1 JTAG 設定 (MSEL) ジャンパピン

JTAG の設定はジャンパ MSEL[3], MSEL[2], MSEL[1], MSEL[0] でコンフィグレーションの設定を行う
表 5-4-1 に設定を示します

表 5-5-1. JTAG 設定ジャンパピン

MSEL[4:0]	FPP(X8)/AS(X1, x4)	Compression	Security	Delay
10100	FPP	Disabled	Disabled	Fast
11000	FPP	Disabled	Disabled	Standard
10101	FPP	Disabled	Enabled	Fast
11001	FPP	Disabled	Enabled	Standard
10110	FPP	Enabled	-	Fast
11010	FPP	Enabled	-	Standard
10010	AS	-	-	Fast
10011	AS	-	-	Standard
MSEL[4]は常に 1、設定できるには MSEL[3:0]				

5.5.2 コンフィグレーションプッシュボタン

FPGA のリコンフィグレーションのためのプッシュボタンは SW4 になっております。

表 5-5-5. リコンフィグレーションプッシュボタン

ボードリファレンス	回路図信号名	I/O スタンダード	Cyclone V Pin 番号	機能
SW4	FPGA_nCONFIG	3.3-V	A4	リコフィグレーションスイッチ FPGA のリコンフィグレーションが必要な時にこのスイッチを押します。

5.6 クロック

5.6.1 ボード上の発振器

Hydra Board はボード上に 27MHz、50MHz、100MHz、270MHz の発振器が載っています
以下にボード上に乗っている発振器の一覧を示します。

表 5-6-1. ボード上の発振器

ソース	信号名	周波数	I/O Standard	接続先
U14	CLK50M	50MHz	2.5V	Cyclone V:G13
U15	CLK27M	27MHz	1.5V	Cyclone V:P9
U16	REFCLK_L0	100MHz	3.3V	CLK_SEL DIP SW により PCIe のクロックと切り替え REFCLK_L0_P Cyclone V:V4 REFCLK_L0_N Cyclone V : U4
U18	CLK50M_DDR	50MHz	1.8V	Cyclone V:U13
U19	REFCLK_L1	270MHz	3.3V	CLK_SEL DIP SW により SAM のクロックと切り替え REFCLK_L1_P Cyclone V:F5 REFCLK_L1_N Cyclone V:G4
U20	CLK100M	100MHz	1.5V	Cyclone V:R10
U21	MAX_CLK100	100MHz	3.3V	MAX V:91

5.6.2 外部からのクロック入力

Hydra Board には以下の外部からのクロック入力があります

ソース	信号名	I/O Standard	接続先
HSMC	HSMC_CLK_IN0	2.5V	Cyclone V:G10
HSMC	HSMC_CLK_IN_P1	2.5V	Cyclone V:K7
	HSMC_CLK_IN_N1	2.5V	Cyclone V:J7
HSMC	HSMC_CLK_IN_P2	2.5V	Cyclone V:H10
	HSMC_CLK_IN_N2	2.5V	Cyclone V:G11
PCIe	REFCLK_L0	3.3V	CLK_SEL DIP SW により SMA 入力のクロックと切り替え REFCLK_L0_P Cyclone V:V4 REFCLK_L0_N Cyclone V:U4
SMA 端子	REFCLK_L1	3.3V	CLK_SEL DIP SW により SMA 入力のクロックと切り替え REFCLK_L1_P Cyclone V:F5 REFCLK_L1_N Cyclone V:G4
HSMC	HSMC_CLK_OUT0	2.5V	Cyclone V:F10
HSMC	HSMC_CLK_OUT_P1	2.5V	Cyclone V:A8
	HSMC_CLK_OUT_N1	2.5V	Cyclone V:A7
HSMC	HSMC_CLK_OUT_P2	2.5V	Cyclone V:A8
	HSMC_CLK_OUT_N2	2.5V	Cyclone V:A7

5.6.3 クロック入力切り替えディップ・スイッチ

Hydra Board にはクロック入力のソースを切り替えるディップ・スイッチがあります。以下に機能を説明します。

CLK_SEL0	ON	REFCLK_L0 は PCIe ホストを使用
	OFF	REFCLK_L0 はボード上の発振器 (U16) を使用
CLK_SEL1	ON	REFCLK_L0 はボード上の発振器 (U19) を使用
	OFF	REFCLK_L0 は SMA 入力 (J1/J2) を使用

5.7 汎用 I/O

5.7.1 ユーザ定義プッシュボタン

Hydra Board にはユーザ定義のプッシュボタンが搭載されています。ボードリファレンス SW1, SW2 がユーザ定義プッシュボタンとして使用できます。

表 5-6-1 に Hydra Board に接続しているプッシュボタンのリストを記載します。

表 5-6-1. ユーザ定義プッシュボタンピン・アサイン一覧

ボード リファレンス	信号名	I/O Standard	FPGA ピン番号	機能
SW1	PUSHSW_N0	3.3V	R22	ユーザ定義 プッシュボタン
SW2	PUSHSW_N1	3.3V	W20	

5.7.2 ユーザ定義ディップ・スイッチ

Hydra Board にはユーザ定義ディップ・スイッチがあります。On の位置で FPGA に論理 Low(0)が入力され、OFF にすると論理 High(1)が入力されます。

表 5-6-2 にユーザ定義ディップ・スイッチの、信号名とピン番号を記載します。

表 5-6-2 ユーザ定義ディップ・スイッチ一覧

ボード リファレンス	信号名	I/O Standard	FPGA ピン番号	機能
S1-SW1	DIPSW0	3.3V	T15	ユーザ定義 ディップ・スイッチ
S1-SW2	DIPSW1	3.3V	R9	

5.7.3 ユーザ定義 LED

Hydra Boardにはユーザ定義 LEDが搭載されています。ボードリファレンス D3～D6をユーザ定義 LEDとして使用できます。LEDはアクティブ Low で、FPGA から Low(0)信号を出力するとLED が点灯し、High(1)出力で消灯します。表 5-5-3 に LED の信号名と I/O スタンダード、ピン番号を記載します。表 5-5-3 にユーザ定義 LED のピン・アサイン情報を記載します。

表 5-6-3. ユーザ定義 LED 一覧

ボード リファレンス	信号名	I/O Standard	FPGA ピン番号	機能
D3	LED_N0	3.3V	G18	ユーザ定義 LED
D4	LED_N1	3.3V	R16	
D5	LED_N2	3.3V	U22	
D6	LED_N3	3.3V	F14	

5.7.4 MAX V 用ユーザ定義プッシュボタン

Hydra Board には MAX V 用ユーザ定義のプッシュボタンが搭載されています。ボードリファレンス SW3 がユーザ定義プッシュボタンとして使用できます。

表 5-6-4 に Hydra Board に接続しているプッシュボタンのリストを記載します。

表 5-6-4. ユーザ定義プッシュボタンピン・アサイン一覧

ボード リファレンス	信号名	I/O Standard	MAX V ピン番号	機能
SW3	MAX_PUSH_SW0	3.3V	88	ユーザ定義 プッシュボタン

5.7.5 MAX V 用ユーザ定義ディップ・スイッチ

Hydra Board は MAX V 用ユーザ定義ディップ・スイッチがあります。On の位置で MAX V に論理 Low(0)が入力され、OFF にすると論理 High(1)が入力されます。

表 5-6-5 にユーザ定義ディップ・スイッチの、信号名とピン番号を記載します。

表 5-6-5 にユーザ定義ディップ・スイッチの、信号名とピン番号

信号名	I/O Standard	MAX V ピン番号	機能
MAX_DIP_SW0	3.3V	77	ユーザ定義 ディップ・スイッチ
MAX_DIP_SW 1	3.3V	76	
MAX_DIP_SW 2	3.3V	75	
MAX_DIP_SW 3	3.3V	74	

5.7.6 MAX V 用ユーザ定義 LED

Hydra Board には MAX V 用ユーザ定義 LED が搭載されています。ボードリファレンス D7～D9 をユーザ定義 LED として使用できます。LED はアクティブ Low で、FPGA から Low(0)信号を出力すると LED が点灯し、High(1)出力で消灯します。表 5-5-3 に LED の信号名と I/O スタンダード、ピン番号を記載します。

表 5-6-6 にユーザ定義 LED のピン・アサイン情報を記載します

ボード リファレンス	信号名	I/O Standard	MAX V ピン番号	機能
D7	MAX_LED_N0	3.3V	86	ユーザ定義 LED
D8	MAX_LED_N1	3.3V	85	
D9	MAX_LED_N2	3.3V	84	

5.8 FPGA/MAX V ピン割り付け表

以下の各コネクタのピンおよびデバイスの FPGA と MAX V へのピン割付を示します。

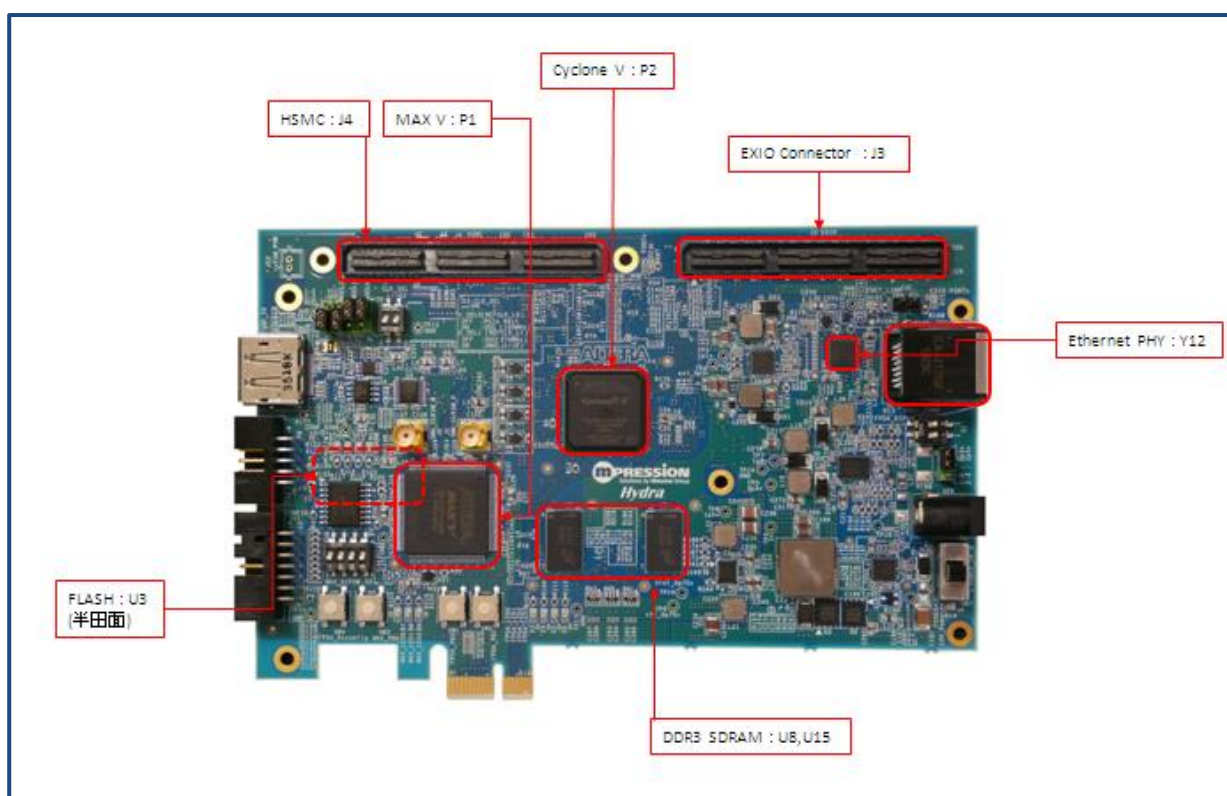


図 5-8 各種コネクタ及び、デバイス表

5.8.1 DDR3 SDRAM

Hydra Board には、128MBytes(64Mwords x 16bits)の DDR3 (MT41J64M16JT-15EG) 667MHz を 2 つ搭載しており、総容量は 256Mbytes となります。

この DDR のデータシートに関しては、以下の URL より入手してください。

<http://www.micron.com/parts/dram/ddr3-sdram/mt41j64m16jt-15e-it>

尚、上記のリンク先は予告なく変更されることがあります。

また、本ボードに搭載される DDR3 は DDR3 600MHz を実現するための条件を満たす相当品に変更させていただくことがあります、あらかじめご了承ください。

表 5-8-1 に DDR3 SDRAM のピン・アサイン情報を記載します。

表 5-8-1. DDR3 SDRAM インタフェースのピン・アサイメント一覧

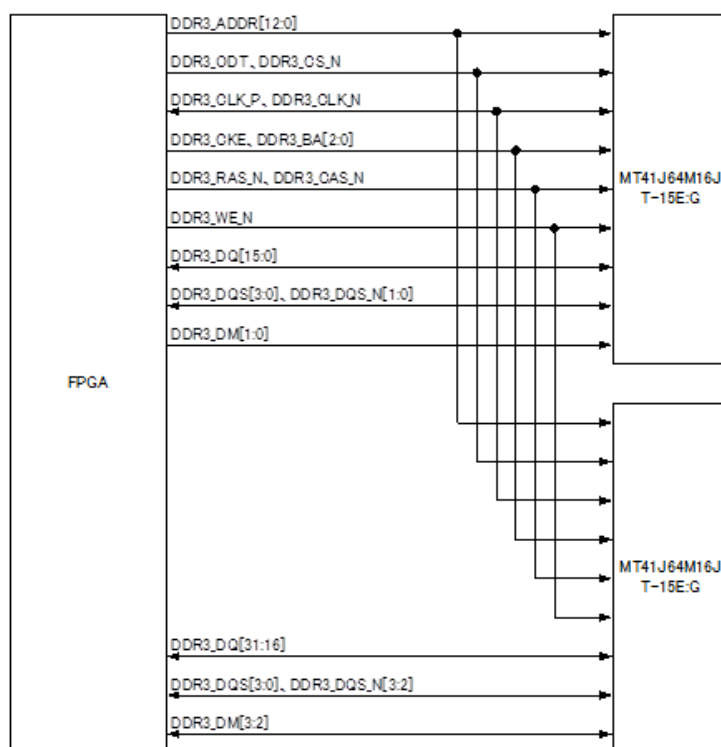
ボード リファレンス (U8)	信号名	IO スタANDARD	Cyclone V ピン番号	詳細
N3	DDR3_ADDR0	SSTL-15 Class I	AB18	アドレスバス
P7	DDR3_ADDR1	SSTL-15 Class I	Y12	アドレスバス
P3	DDR3_ADDR2	SSTL-15 Class I	Y11	アドレスバス
N2	DDR3_ADDR3	SSTL-15 Class I	AB13	アドレスバス
P8	DDR3_ADDR4	SSTL-15 Class I	AA18	アドレスバス
P2	DDR3_ADDR5	SSTL-15 Class I	V15	アドレスバス
R8	DDR3_ADDR6	SSTL-15 Class I	AB22	アドレスバス
R2	DDR3_ADDR7	SSTL-15 Class I	Y20	アドレスバス
T8	DDR3_ADDR8	SSTL-15 Class I	U8	アドレスバス
R3	DDR3_ADDR9	SSTL-15 Class I	T13	アドレスバス
L7	DDR3_ADDR10	SSTL-15 Class I	U12	アドレスバス
R7	DDR3_ADDR11	SSTL-15 Class I	AB16	アドレスバス
N7	DDR3_ADDR12	SSTL-15 Class I	V8	アドレスバス
M2	DDR3_BA0	SSTL-15 Class I	AB17	バンク・アドレス・バス
N8	DDR3_BA1	SSTL-15 Class I	W13	バンク・アドレス・バス
M3	DDR3_BA2	SSTL-15 Class I	AA9	バンク・アドレス・バス
E7	DDR3_DM0	SSTL-15 Class I	Y16	バイト・ライト・マスク
D3	DDR3_DM1	SSTL-15 Class I	U15	バイト・ライト・マスク
L2	DDR3_CS_N	SSTL-15 Class I	R12	チップ・セレクト
K3	DDR3_CAS_N	SSTL-15 Class I	Y10	カラム・アドレス・セレクト
J3	DDR3_RAS_N	SSTL-15 Class I	AA19	ロウ・アドレス・セレクト
L3	DDR3_WE_N	SSTL-15 Class I	V13	ライト・イネーブル
T2	DDR3_RESET_N	1.5V	W12	リセット

ボード リファレンス (U8)	信号名	IO スタンドアード	Cyclone V ピン番号	詳細
E3	DDR3_DQ0	SSTL-15 Class I	AA22	データ・バス
F7	DDR3_DQ1	SSTL-15 Class I	AA17	データ・バス
F2	DDR3_DQ2	SSTL-15 Class I	W22	データ・バス
F8	DDR3_DQ3	SSTL-15 Class I	Y17	データ・バス
H3	DDR3_DQ4	SSTL-15 Class I	Y21	データ・バス
H8	DDR3_DQ5	SSTL-15 Class I	Y22	データ・バス
G2	DDR3_DQ6	SSTL-15 Class I	W21	データ・バス
H7	DDR3_DQ7	SSTL-15 Class I	W18	データ・バス
D7	DDR3_DQ8	SSTL-15 Class I	W14	データ・バス
C3	DDR3_DQ9	SSTL-15 Class I	AA15	データ・バス
C8	DDR3_DQ10	SSTL-15 Class I	AA20	データ・バス
C2	DDR3_DQ11	SSTL-15 Class I	AB21	データ・バス
A7	DDR3_DQ12	SSTL-15 Class I	Y19	データ・バス
A2	DDR3_DQ13	SSTL-15 Class I	Y14	データ・バス
B8	DDR3_DQ14	SSTL-15 Class I	AB20	データ・バス
A3	DDR3_DQ15	SSTL-15 Class I	Y15	データ・バス
C7	DDR3_DQS_P0	Differential 1.5-V SSTL Class I	U17	データ・ストロブ P
B7	DDR3_DQS_N0	Differential 1.5-V SSTL Class I	U16	データ・ストロブ N
F3	DDR3_DQS_P1	Differential 1.5-V SSTL Class I	R14	データ・ストロブ P
G3	DDR3_DQS_N1	Differential 1.5-V SSTL Class I	P14	データ・ストロブ N
J7	DDR3_CLK_P	Differential 1.5-V SSTL Class I	W17	差動クロック
K7	DDR3_CLK_N	Differential 1.5-V SSTL Class I	W16	差動クロック
K9	DDR3_CKE	SSTL-15 Class I	AB7	クロック・イネーブル

ボード リファレンス (U15)	信号名	IO スタンドアード	Cyclone V ピン番号	詳細
N3	DDR3_ADDR0	SSTL-15 Class I	AB18	アドレスバス
P7	DDR3_ADDR1	SSTL-15 Class I	Y12	アドレスバス
P3	DDR3_ADDR2	SSTL-15 Class I	Y11	アドレスバス
N2	DDR3_ADDR3	SSTL-15 Class I	AB13	アドレスバス
P8	DDR3_ADDR4	SSTL-15 Class I	AA18	アドレスバス
P2	DDR3_ADDR5	SSTL-15 Class I	V15	アドレスバス
R8	DDR3_ADDR6	SSTL-15 Class I	AB22	アドレスバス
R2	DDR3_ADDR7	SSTL-15 Class I	Y20	アドレスバス
T8	DDR3_ADDR8	SSTL-15 Class I	U8	アドレスバス
R3	DDR3_ADDR9	SSTL-15 Class I	T13	アドレスバス
L7	DDR3_ADDR10	SSTL-15 Class I	U12	アドレスバス
R7	DDR3_ADDR11	SSTL-15 Class I	AB16	アドレスバス
N7	DDR3_ADDR12	SSTL-15 Class I	V8	アドレスバス
M2	DDR3_BA0	SSTL-15 Class I	AB17	バンク・アドレス・バス
N8	DDR3_BA1	SSTL-15 Class I	W13	バンク・アドレス・バス
M3	DDR3_BA2	SSTL-15 Class I	AA9	バンク・アドレス・バス
E7	DDR3_DM2	SSTL-15 Class I	Y9	バイト・ライト・マスク
D3	DDR3_DM3	SSTL-15 Class I	M8	バイト・ライト・マスク
L2	DDR3_CS_N	SSTL-15 Class I	R12	チップ・セレクト
K3	DDR3_CAS_N	SSTL-15 Class I	AA19	カラム・アドレス・セレクト
J3	DDR3_RAS_N	SSTL-15 Class I	Y10	ロウ・アドレス・セレクト
L3	DDR3_WE_N	SSTL-15 Class I	V13	ライト・イネーブル
T2	DDR3_RESET_N	1.5V	W12	リセット
K1	DDR3_ODT	SSTL-15 Class I	AB15	オン・ダイ・ターミネーション・イネーブル
E3	DDR3_DQ16	SSTL-15 Class I	U11	データ・バス
F7	DDR3_DQ17	SSTL-15 Class I	R11	データ・バス
F2	DDR3_DQ18	SSTL-15 Class I	W11	データ・バス
F8	DDR3_DQ19	SSTL-15 Class I	P12	データ・バス
H3	DDR3_DQ20	SSTL-15 Class I	AB10	データ・バス
H8	DDR3_DQ21	SSTL-15 Class I	U10	データ・バス
G2	DDR3_DQ22	SSTL-15 Class I	AB11	データ・バス
H7	DDR3_DQ23	SSTL-15 Class I	AA10	データ・バス
D7	DDR3_DQ24	SSTL-15 Class I	AA8	データ・バス
C3	DDR3_DQ25	SSTL-15 Class I	AA7	データ・バス

ボード リファレンス (U8)	信号名	IO スタンドアード	Cyclone V ピン番号	詳細
C2	DDR3_DQ27	SSTL-15 Class I	Y7	データ・バス
A7	DDR3_DQ28	SSTL-15 Class I	W8	データ・バス
A2	DDR3_DQ29	SSTL-15 Class I	W7	データ・バス
B8	DDR3_DQ30	SSTL-15 Class I	AB8	データ・バス
A3	DDR3_DQ31	SSTL-15 Class I	N8	データ・バス
C7	DDR3_DQS_P2	Differential 1.5-V SSTL Class I	M10	データ・ストローブ P
B7	DDR3_DQS_N2	Differential 1.5-V SSTL Class I	L9	データ・ストローブ N
F3	DDR3_DQS_P3	Differential 1.5-V SSTL Class I	N10	データ・ストローブ P
G3	DDR3_DQS_N3	Differential 1.5-V SSTL Class I	N9	データ・ストローブ N
J7	DDR3_CLK_P	Differential 1.5-V SSTL Class I	W17	差動クロック
K7	DDR3_CLK_N	Differential 1.5-V SSTL Class I	W16	差動クロック
K9	DDR3_CKE	SSTL-15 Class I	AB7	クロック・イネーブル

FPGAとDDR3は、下記の様にボード上で接続されています。



5.8.2 NOR FLASH

Hydra Board には容量 256Mbits の 16 ビット幅の Flash ROM (M29W128GH70N3) を搭載しております。

この FLASH は MAX V と接続されています

Flash ROM のデータシートに関しては、以下の URL より入手してください。

<http://www.micron.com/parts/nor-flash/parallel-nor-flash/m29w128gh70n3e?source=ps>

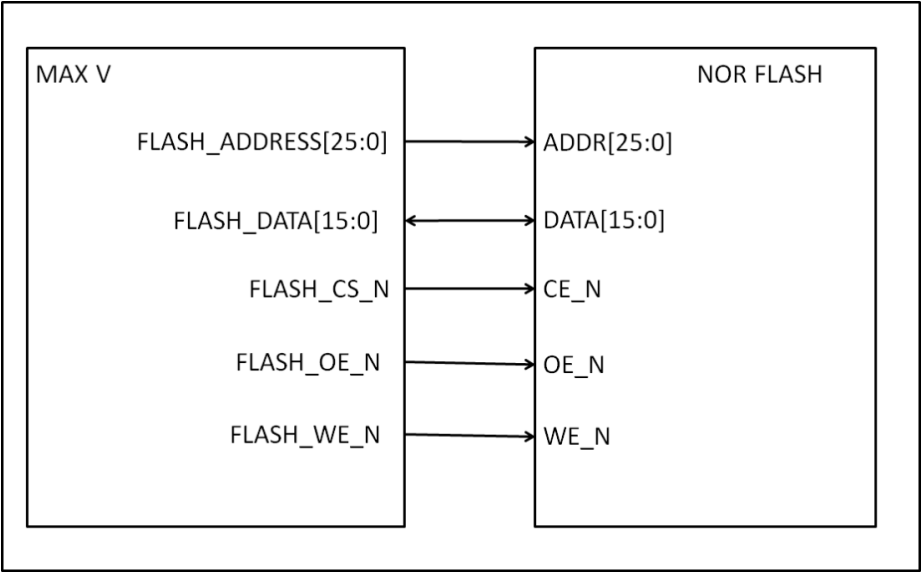
尚、上記のリンク先は予告なく変更されることがあります。

表 5-8-2 に NOR FLASH のピン・アサイン情報を記載します。

表 5-8-2. NOR FLASH のピン・アサイメント一覧

ボード リファレンス	信号名	MAX V ピン番号	ボード リファレンス	信号名	MAX V ピン番号
31	FLASH_ADDRESS0	72	1	FLASH_ADDRESS23	137
26	FLASH_ADDRESS1	109	56	FLASH_ADDRESS24	45
25	FLASH_ADDRESS2	110	55	FLASH_ADDRESS25	48
24	FLASH_ADDRESS3	111	35	FLASH_DATA 0	69
23	FLASH_ADDRESS4	112	37	FLASH_DATA1	67
22	FLASH_ADDRESS5	113	39	FLASH_DATA2	63
21	FLASH_ADDRESS6	114	41	FLASH_DATA3	61
20	FLASH_ADDRESS7	117	44	FLASH_DATA4	59
10	FLASH_ADDRESS8	124	46	FLASH_DATA5	57
9	FLASH_ADDRESS9	125	48	FLASH_DATA6	53
8	FLASH_ADDRESS10	127	50	FLASH_DATA7	51
7	FLASH_ADDRESS11	129	36	FLASH_DATA8	68
6	FLASH_ADDRESS12	130	38	FLASH_DATA9	66
5	FLASH_ADDRESS13	131	40	FLASH_DATA10	62
4	FLASH_ADDRESS14	132	42	FLASH_DATA11	60
3	FLASH_ADDRESS15	133	45	FLASH_DATA12	58
54	FLASH_ADDRESS16	49	47	FLASH_DATA13	55
19	FLASH_ADDRESS17	118	49	FLASH_DATA14	52
18	FLASH_ADDRESS18	119	51	FLASH_DATA15	50
11	FLASH_ADDRESS19	123	32	FLASH_CS_N	71
12	FLASH_ADDRESS20	122	34	FLASH_OE_N	70
15	FLASH_ADDRESS21	120	13	FLASH_WE_N	121
2	FLASH_ADDRESS22	134			

MAX V と FLASH は、下記の様にボード上で接続されています。



5.8.3 HSMC

Hydra Board は HSMC (High Speed Mezzanine Card) インターフェースをサポートします。HSMC は 17 ペアの送受信 LVDS チャンネルと SM バスをサポートします。LVDS ポートはシングルエンドの 2.5-V LVCMOS レベルで使用することも可能です。Hydra Board には 1 つの HSMC ポートが搭載され、基板上辺左側に配置しており、トランシーバチャンネルが 2 チャンネル、接続されています。

HSMC はアルテラ社のオープン規格で、このポートにドーターカードを接続することで機能拡張することが可能です。HSMC のより詳細な規格情報は下記 URL に記載があります。

http://www.altera.com/literature/ds/hsmc_spec.pdf

表 5-8-3 に HSMC のピン・アサイン情報を記載します。

表 5-8-3. HSMC インターフェースのピン・アサイメント一覧

ボード リファレンス	信号名	Cyclone V ピン番号	I/O スタンドアード	詳細
25	HSMC_TX_P1	D4	2.5V	トランシーバ送信データ
26	HSMC_RX_P1	C2	2.5V	トランシーバ受信データ
27	HSMC_TX_N1	D3	2.5V	トランシーバ送信データ
28	HSMC_RX_N1	C1	2.5V	トランシーバ受信データ
29	HSMC_TX_P0	N2	2.5V	トランシーバ送信データ
30	HSMC_RX_P0	R2	2.5V	トランシーバ受信データ
31	HSMC_TX_N0	N1	2.5V	トランシーバ送信データ
32	HSMC_RX_N0	R1	2.5V	トランシーバ受信データ
33	HSMC_SDA	A19	2.5V	シリアルデータ
34	HSMC_SCL	A20	2.5V	シリアルクロック
35	-	-	-	-
36	-	-	-	-
37	-	-	-	-
38	-			
39	HSMC_CLK_OUT0	F10	2.5V	シングルエンド・クロック出力
40	HSMC_CLK_IN0	G10	2.5V	シングルエンド・クロック入力
41	HSMC_D0	T7	2.5V	シングルエンドデータ
42	HSMC_D1	P8	2.5V	シングルエンドデータ
43	HSMC_D2	R7	2.5V	シングルエンドデータ
44	HSMC_D3	R5	2.5V	シングルエンドデータ
47	HSMC_D4	R6	2.5V	シングルエンドデータ
48	HSMC_D5	P7	2.5V	シングルエンドデータ
49	HSMC_D6	L7	2.5V	シングルエンドデータ

ボード リファレンス	信号名	Cyclone V ピン番号	I/O スタンダード	詳細
50	HSMC_D7	N6	2.5V	シングルエンドデータ
53	HSMC_TX_D_P0	B16	2.5V	差動送信データ
54	HSMC_RX_D_P0	E16	2.5V	差動受信データ
55	HSMC_TX_D_N0	B15	2.5V	差動送信データ
56	HSMC_RX_D_N0	D17	2.5V	差動受信データ
59	HSMC_TX_D_P1	A10	2.5V	差動送信データ
60	HSMC_RX_D_P1	D11	2.5V	差動受信データ
61	HSMC_TX_D_N1	A9	2.5V	差動送信データ
62	HSMC_RX_D_N1	E11	2.5V	差動受信データ
65	HSMC_TX_D_P2	B18	2.5V	差動送信データ
66	HSMC_RX_D_P2	F15	2.5V	差動受信データ
67	HSMC_TX_D_N2	B17	2.5V	差動送信データ
68	HSMC_RX_D_N2	E14	2.5V	差動受信データ
71	HSMC_TX_D_P3	A18	2.5V	差動送信データ
72	HSMC_RX_D_P3	J9	2.5V	差動受信データ
73	HSMC_TX_D_N3	A17	2.5V	差動送信データ
74	HSMC_RX_D_N3	J8	2.5V	差動受信データ
77	HSMC_TX_D_P4	B22	2.5V	差動送信データ
78	HSMC_RX_D_P4	H9	2.5V	差動受信データ
79	HSMC_TX_D_N4	A22	2.5V	差動送信データ
80	HSMC_RX_D_N4	G8	2.5V	差動受信データ
83	HSMC_TX_D_P5	C6	2.5V	差動送信データ
84	HSMC_RX_D_P5	C16	2.5V	差動受信データ
85	HSMC_TX_D_N5	D7	2.5V	差動送信データ
86	HSMC_RX_D_N5	C15	2.5V	差動受信データ
89	HSMC_TX_D_P6	E6	2.5V	差動送信データ
90	HSMC_RX_D_P6	H6	2.5V	差動受信データ
91	HSMC_TX_D_N6	F7	2.5V	差動送信データ
92	HSMC_RX_D_N6	G6	2.5V	差動受信データ
95	HSMC_CLK_OUT_P1	A8	2.5V	差動クロック出力
96	HSMC_CLK_IN_P	K7	2.5V	差動クロック入力
97	HSMC_CLK_OUT_N1	A7	2.5V	差動クロック出力
98	HSMC_CLK_IN_N	J7	2.5V	差動クロック入力
101	HSMC_TX_D_P7	B6	2.5V	差動送信データ
102	HSMC_RX_D_P7	E12	2.5V	差動受信データ
103	HSMC_TX_D_N7	B5	2.5V	差動送信データ
104	HSMC_RX_D_N7	F12	2.5V	差動受信データ

ボード リファレンス	信号名	Cyclone V ピン番号	I/O スタンドアード	詳細
107	HSMC_TX_D_P8	A15	2.5V	差動送信データ
108	HSMC_RX_D_P8	G15	2.5V	差動受信データ
109	HSMC_TX_D_N8	A14	2.5V	差動送信データ
110	HSMC_RX_D_N8	G14	2.5V	差動受信データ
113	HSMC_TX_D_P9	B20	2.5V	差動送信データ
114	HSMC_RX_D_P9	D13	2.5V	差動受信データ
115	HSMC_TX_D_N9	B21	2.5V	差動送信データ
116	HSMC_RX_D_N9	C13	2.5V	差動受信データ
119	HSMC_TX_D_P10	C8	2.5V	差動送信データ
120	HSMC_RX_D_P10	H8	2.5V	差動受信データ
121	HSMC_TX_D_N10	B8	2.5V	差動送信データ
122	HSMC_RX_D_N10	G7	2.5V	差動受信データ
125	HSMC_TX_D_P11	B12	2.5V	差動送信データ
126	HSMC_RX_D_P11	C10	2.5V	差動送信データ
127	HSMC_TX_D_N11	A12	2.5V	差動送信データ
128	HSMC_RX_D_N11	C9	2.5V	差動受信データ
131	HSMC_TX_D_P12	C14	2.5V	差動送信データ
132	HSMC_RX_D_P12	D18	2.5V	差動受信データ
133	HSMC_TX_D_N12	D14	2.5V	差動送信データ
134	HSMC_RX_D_N12	E17	2.5V	差動受信データ
137	HSMC_TX_D_P13	C21	2.5V	差動送信データ
138	HSMC_RX_D_P13	G12	2.5V	差動受信データ
139	HSMC_TX_D_N13	C20	2.5V	差動送信データ
140	HSMC_RX_D_N13	H12	2.5V	差動受信データ
143	HSMC_TX_D_P14	F8	2.5V	差動送信データ
144	HSMC_RX_D_P14	H16	2.5V	差動受信データ
145	HSMC_TX_D_N14	E7	2.5V	差動送信データ
146	HSMC_RX_D_N14	G16	2.5V	差動受信データ
149	HSMC_TX_D_P15	C11	2.5V	差動送信データ
150	HSMC_RX_D_P15	D9	2.5V	差動受信データ
151	HSMC_TX_D_N15	B11	2.5V	差動送信データ
152	HSMC_RX_D_N15	D8	2.5V	差動受信データ
155	HSMC_CLK_OUT_P2	A13	2.5V	差動クロック出力
156	HSMC_CLK_IN_P2	H10	2.5V	差動クロック入力
157	HSMC_CLK_OUT_N2	B13	2.5V	差動クロック出力
158	HSMC_CLK_IN_N2	G11	2.5V	差動クロック入力

5.8.4 EXIO

Hydra Board は EXIO というインタフェースコネクタを持っています。EXIO はルネサス Lager Board とのデータの送受信を行うためコネクタです。表 5-6-3 に EXIO のピン・アサイン情報を記載します。

尚このコネクタは、HSMC のコネクタとピン数が違い、HSMC 用のカードおよびケーブルを使用することはできません。無理に差し込むと、コネクタの破損の原因になりますので、ご注意ください

表 5-6-4 に EXIO のピン配置を示します。

ボード リファレンス	信号名	Cyclone V ピン番号	I/O スタンドアード	詳細
3	EXIO_0	F22	2.5V	Lager データ転送
5	EXIO_1	E22	2.5V	Lager データ転送
7	EXIO_2	K22	2.5V	Lager データ転送
9	EXIO_3	M22	2.5V	Lager データ転送
10	EXIO_19	L19	2.5V	Lager データ転送
11	EXIO_4	L22	2.5V	Lager データ転送
12	EXIO_20	L20	2.5V	Lager データ転送
13	EXIO_5	E21	2.5V	Lager データ転送
14	EXIO_21	J22	2.5V	Lager データ転送
15	EXIO_6	F19	2.5V	Lager データ転送
16	EXIO_22	L18	2.5V	Lager データ転送
17	EXIO_7	RF18	2.5V	Lager データ転送
18	EXIO_23	K19	2.5V	Lager データ転送
19	EXIO_8	J17	2.5V	Lager データ転送
20	EXIO_24	E20	2.5V	Lager データ転送
22	EXIO_25	H20	2.5V	Lager データ転送
23	EXIO_9	G22	2.5V	Lager データ転送
24	EXIO_26	P16	2.5V	Lager データ転送
25	EXIO_10	G21	2.5V	Lager データ転送
26	EXIO_27	N16	2.5V	Lager データ転送
27	EXIO_11	K21	2.5V	Lager データ転送
28	EXIO_28	D22	2.5V	Lager データ転送
29	EXIO_12	G20	2.5V	Lager データ転送
30	EXIO_29	P18	2.5V	Lager データ転送
31	EXIO_13	H21	2.5V	Lager データ転送
32	EXIO_30	N18	2.5V	Lager データ転送
33	EXIO_14	J19	2.5V	Lager データ転送
34	EXIO_31	J21	2.5V	Lager データ転送

35	EXIO_15	H18	2.5V	Lager データ転送
ボード リファレンス	信号名	Cyclone V ピン番号	I/O スタンドアード	詳細
36	EXIO_32	L17	2.5V	Lager データ転送
37	EXIO_16	P21	2.5V	Lager データ転送
38	EXIO_33	K17	2.5V	Lager データ転送
39	EXIO_17	P22	2.5V	Lager データ転送
58	EXIO_34	J16	2.5V	Lager データ転送
60	EXIO_35	N20	2.5V	Lager データ転送
62	EXIO_36	F20	2.5V	Lager データ転送
71	EXIO_18	G17	2.5V	Lager データ転送
85	EXIO_PIN85	T12	1.5V/2.5V	Lager Boot-up チェック用
114	I2C_SCL	C19	2.5V	I2C クロック
116	I2C_SDA	C18	2.5V	I2C データ

5.8.5 MAX V

Hydra Board は NOR フラッシュメモリからの FPGA コンフィグレーション用に MAX V を搭載しております。

表 5-6-5 に MAX V のピン配置を示します。

表 5-6-5 MAX V のピン・アサインメント一覧

ボードリファレンス (P1)	信号名	IO Standard	FPGA ピン番号
33	JTAG_TMS	3.3-V LVTTTL	R4
34	JTAG_FPGA_TDO	3.3-V LVTTTL	V3
35	JTAG_TCK	3.3-V LVTTTL	V5
93	FPGA_DATA7	3.3-V LVTTTL	U6
94	FPGA_DATA6	3.3-V LVTTTL	P6
95	FPGA_DATA5	3.3-V LVTTTL	U7
96	FPGA_DATA4	3.3-V LVTTTL	AB6
97	FPGA_DATA3	3.3-V LVTTTL	AA5
98	FPGA_DATA2	3.3-V LVTTTL	T5
101	FPGA_DATA1	3.3-V LVTTTL	W5
102	FPGA_DATA0	3.3-V LVTTTL	AB4
103	FPGA_CONF_DONE	3.3-V LVTTTL	J6
104	FPGA_nSTATUS	3.3-V LVTTTL	G5
105	FPGA_nCONFIG	3.3-V LVTTTL	A4
108	FPGA_DCLK	3.3-V LVTTTL	M5

5.8.6 Ethernet

Hydra Board は Ethernet PHY として TI DP83848HSQ/NOPB を搭載しており、10/100Mbps の Ethernet 通信をサポートします。

10/100Mbps Ethernet をご使用の場合は、別途 アルテラ社のトリプル・スピード・イーサネット IP が必要になります。

詳細は下記 URL をご参照下さい。

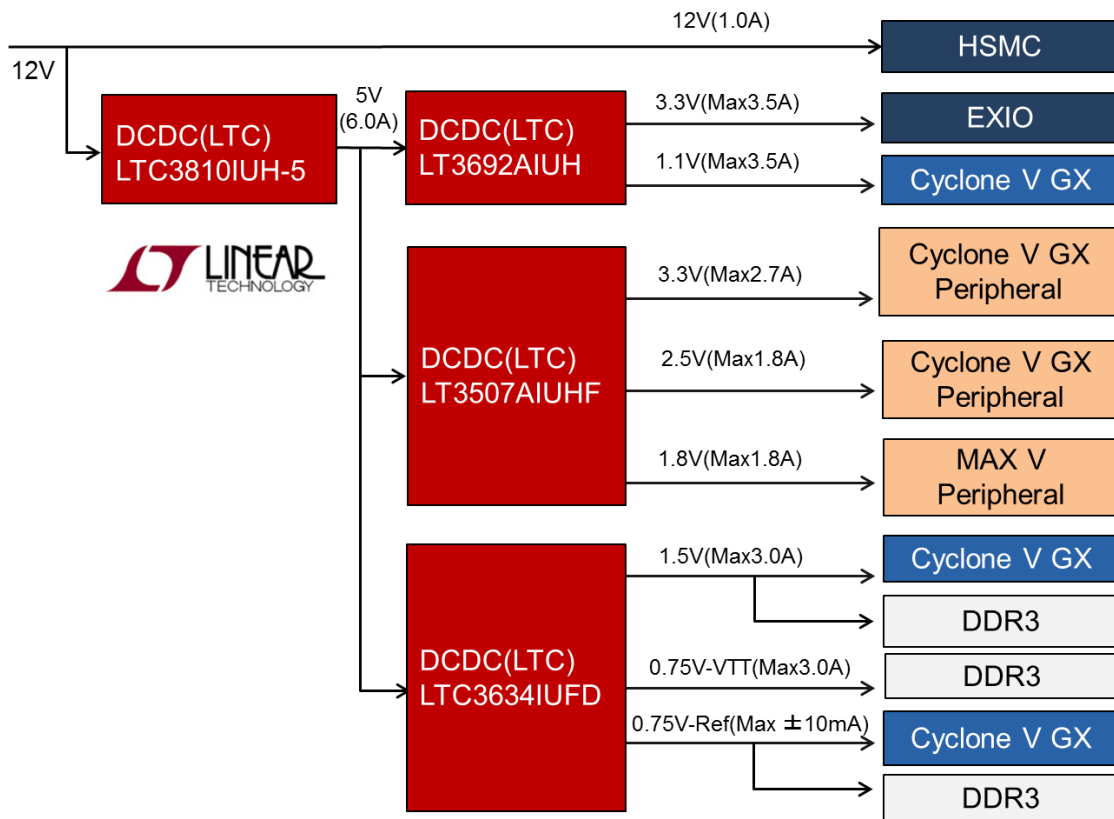
<http://www.altera.co.jp/products/ip/iup/ethernet/m-alt-ethernet-mac.html>

表 5-6-6 に EXIO のピン配置を示します。

表 5-6-6 Ethernet のピン・アサインメント一覧

ボードリファレンス (U12)	信号名	I/O Standard	FPGA ピン番号
31	ENET_RX_CLK	2.5V	M17
32	ENET_RX_DV	2.5V	H19
33	ENET_RX_CRS	2.5V	M21
34	ENET_RX_ER	2.5V	M20
35	ENET_RX_COL	2.5V	L15
36	ENET_RXD0	2.5V	K16
37	ENET_RXD1	2.5V	N21
38	ENET_RXD2	2.5V	J18
39	ENET_RXD3	2.5V	K15
2	ENET_TX_CLK	2.5V	M16
3	ENET_TX_EN	3.3 LVTTTL	P19
4	ENET_TXD0	3.3 LVTTTL	R19
5	ENET_TXD1	3.3 LVTTTL	U21
6	ENET_TXD2	3.3 LVTTTL	T17
7	ENET_TXD3	3.3 LVTTTL	V19
24	ENET_MDIO	3.3 LVTTTL	T18
25	ENET_MDC	3.3 LVTTTL	T19

5.9 パワーツリー



6.更新履歴

Date	Revision	Changes
2014/02/01	1.0	ドキュメント・リリース

免責、及び、ご利用上の注意

弊社より資料を入手されましたお客様におかれましては、下記の使用上の注意を一読いただいた上でご使用ください。

1. 本資料は非売品です。許可無く転売することや無断複製することを禁じます。
2. 本資料は予告なく変更することがあります。
3. 本資料の作成には万全を期していますが、万一ご不明な点や誤り、記載漏れなどお気づきの点がありましたら、下記までご一報いただければ幸いです。

株式会社マクニカ

戦略技術本部 Mpression 推進部

〒222-8561 横浜市港北区新横浜 1-6-3 HP: <http://www.m-pression.com>

4. 本資料で取り扱っている回路、技術、プログラムに関して運用した結果の影響については、責任を負いかねますのであらかじめご了承ください。
5. 製品をご使用になる場合は、各デバイス・メーカの最新資料もあわせてご利用ください。