比较简单。

设计文件：

//时钟分频。

module time\_div(clk\_in,clk\_out);

input clk\_in;

output reg clk\_out=0;

reg[26:0] clk\_div\_cnt=0;

always @ (posedge clk\_in)

begin

if (clk\_div\_cnt==49999999)

begin

clk\_out=~clk\_out;

clk\_div\_cnt=0;

end

else

clk\_div\_cnt=clk\_div\_cnt+1;

end

endmodule

//下面这个是24h的。

//module time\_div(clk\_in,clk\_out);

// input clk\_in;

// output reg clk\_out=0;

// reg[26:0] clk\_div\_cnt=0;

// reg[16:0] temp\_div=0;

// always @ (posedge clk\_in)

// begin

// if (clk\_div\_cnt==49999999)

// begin

// temp\_div = temp\_div + 1;

// clk\_div\_cnt=0;

// end

// else begin

// clk\_div\_cnt=clk\_div\_cnt+1;

// end

// if (temp\_div == 86400/2-1)

// begin

// clk\_out = !clk\_out;

// clk\_div\_cnt = 0;

// temp\_div = 0;

// end

// end

// endmodule

仿真文件：

`timescale 1ns / 1ps

module tim\_div\_sim();

reg clk1;

wire clk\_out;

time\_div uut(clk1,clk\_out);

initial begin

clk1=0;

end

always #5 clk1 = !clk1;

endmodule

