

Analisi circuiti Inverter e NOR RTL

Francesco Giuseppe Minisini

June 1, 2025

Abstract

Nelle seguenti esperienze di laboratorio sono stati realizzati su breadboard circuiti di tipologia Inverter RTL e NOR RTL. Ne è stato studiato il comportamento nel dominio del tempo, rilevando tramite oscilloscopio l'andamento nel tempo del segnale di tensione in uscita $v_{out}(t)$, sottoponendo i circuiti a diverse configurazioni di segnali in ingresso $v_{in}(t)$. Le misure sperimentali sono state confrontate con i risultati teorici attesi e con simulazioni effettuate tramite software LTspice. L'analisi si è concentrata in particolare sul circuito Inverter RTL, del quale sono stati misurati i seguenti parametri dinamici: il tempo di ritardo in discesa $t_{df} = (80 \pm 10)$ ns, il tempo di discesa $t_f = (80 \pm 10)$ ns, il tempo di ritardo in salita $t_{dr} = (2.10 \pm 0.10)$ μ s, e il tempo di salita $t_r = (420 \pm 10)$ ns e il livello logico $V_{OL} = (41 \pm 4)$ mV. Infine, tramite l'analisi della caratteristica statica in modalità XY, è stato stimato il guadagno in corrente del transistor: $\beta_{standard} = (221 \pm 8)$ in configurazione corretta, e $\beta_{inverso} = (8.76 \pm 0.08)$ nella configurazione con transistor invertito. La porta logica NOR RTL realizzata ha confermato sperimentalmente il comportamento previsto dalla tabella della verità.

1 Richiami Teorici

1.1 Transistore Bipolare a Giunzione (BJT)

Il transistore bipolare a giunzione (BJT, *Bipolar Junction Transistor*) è un dispositivo a semiconduttore con tre terminali: base (B), collettore (C) ed

emettitore (E). Può essere di tipo NPN o PNP; in questa esperienza si utilizza un BJT NPN. Il funzionamento si basa sull'iniezione di portatori attraverso due giunzioni p-n ravvicinate.

Il BJT può operare in tre diverse regioni:

- **Interdizione:** entrambe le giunzioni polarizzate inversamente. Nessuna corrente scorre, $I_E = I_C = I_B = 0$.
- **Regione attiva diretta:** giunzione base-emettitore polarizzata direttamente, giunzione base-collettore inversamente. Il transistor funziona da amplificatore.
- **Saturazione:** entrambe le giunzioni sono polarizzate direttamente. Il transistor è acceso e funziona come un interruttore chiuso.

In regione attiva:

$$I_C = \alpha I_E \quad \text{con} \quad \alpha \lesssim 1 \quad (1)$$

$$I_E = I_B + I_C \quad \Rightarrow \quad I_B = (1 - \alpha) I_E \quad (2)$$

Definendo il guadagno di corrente:

$$\beta = \frac{I_C}{I_B} = \frac{\alpha}{1 - \alpha} \quad (3)$$

si ottiene la relazione fondamentale:

$$I_C = \beta I_B \quad (4)$$

Definizione delle grandezze temporali e logiche

Nel corso dell'analisi sperimentale del comportamento dinamico dei circuiti logici RTL, sono state utilizzate le seguenti grandezze caratteristiche:

- **t_{df} – Tempo di ritardo in discesa (fall delay):** intervallo temporale tra il momento in cui il segnale di ingresso scende al 50% della sua escursione e il momento in cui l'uscita scende al 50% del suo valore massimo.
- **t_{dr} – Tempo di ritardo in salita (rise delay):** intervallo tra il momento in cui il segnale di ingresso sale al 50% e quello in cui il segnale di uscita sale al 50% del proprio valore finale.
- **t_f – Tempo di discesa (fall time):** intervallo tra l'istante in cui il segnale di uscita scende dal 90% al 10% del suo valore massimo.

- **t_r – Tempo di salita (rise time)**: intervallo di tempo impiegato dal segnale di uscita per salire dal 10% al 90% della propria escursione.
- **V_{OH} – Output High Voltage**: tensione di uscita nel livello logico alto, misurata quando il transistor è spento e l'uscita è trainata verso V_{CC} dalla resistenza di pull-up.
- **V_{OS} – Overshoot**: eventuale superamento transitorio del valore di V_{CC} o di massa, spesso dovuto alla scarica o carica della capacità di giunzione del transistor durante un transitorio.

1.2 Inverter RTL

L'inverter RTL (Resistor-Transistor Logic) è composto da un transistor NPN e due resistenze: una di *pull-up* (R_C) e una in serie alla base (R_B). Il comportamento logico atteso è:

Se $v_{in} = 0 \Rightarrow$ transistor in interdizione $\Rightarrow v_{out} = V_{CC}$

Se $v_{in} > V_\gamma \Rightarrow$ transistor in saturazione $\Rightarrow v_{out} \approx 0$

La tensione di soglia V_γ è tipicamente:

$$V_\gamma \approx 0.7 \text{ V} \quad (\text{silicio})$$

Comportamento dinamico

In discesa (*fall*): il transistor è acceso e agisce da generatore di corrente, scaricando rapidamente la capacità parassita tra base e collettore:

$$i_C \approx \text{costante} \quad \Rightarrow \quad v_{out}(t) \downarrow \text{velocemente}$$

In salita (*rise*): il transistor è spento e v_{out} risale a V_{CC} tramite R_C , con costante di tempo:

$$\tau = R_C C_{junc} \tag{5}$$

dove C_{junc} è la capacità di giunzione B-C. La risalita è più lenta.

1.3 Caratteristica Statica

La caratteristica statica di un inverter RTL è la curva $v_{out} = f(v_{in})$ misurata in modalità XY sull'oscilloscopio. Essa mostra un comportamento non lineare, con transizione netta attorno a V_γ .

Stima di β

Dalla regione di discesa o salita della caratteristica statica si può stimare il guadagno di corrente:

$$\beta = \frac{I_C}{I_B} = \frac{V_{CC} - V_{CE}}{R_C} \cdot \frac{R_B}{V_{in} - V_\gamma} \quad (6)$$

dove V_{in} è la tensione di soglia d'accensione del transistor.

1.4 Porte Logiche RTL Complesse

Porta NOR RTL

In una porta NOR realizzata in logica RTL, più transistori NPN sono collegati in parallelo nella configurazione di pull-down. Il collettore di ciascun transistor è connesso in comune al nodo di uscita v_{out} , mentre le rispettive basi ricevono i segnali in ingresso (A, B, C...).

Il principio di funzionamento è il seguente:

- Se almeno uno degli ingressi è alto ($v_{in} > V_\gamma \approx 0.7 \text{ V}$), il corrispondente transistor entra in saturazione, mettendo in cortocircuito il nodo di uscita verso massa. In tal caso, $v_{out} \approx 0 \text{ V}$.
- Solo se tutti gli ingressi sono bassi, nessun transistor conduce, e la resistenza di pull-up porta il nodo v_{out} al livello alto: $v_{out} = V_{CC}$.

Tabella della verità (per due ingressi):

A	B	$Y = \overline{A + B}$
0	0	1
0	1	0
1	0	0
1	1	0

2 Valutazione delle incertezze sperimentali

Le resistenze elettriche, le capacità e le induttanze dei resistori, dei condensatori e degli induttori utilizzati nell'assemblaggio di ciascun circuito sono state misurate mediante il "tester" da banco "LCR400" marchiato "Aim-Tti". Le incertezze relative a tali misure sono state stimate in base all'ordine di grandezza della sensibilità dello strumento, dedotta dal numero di cifre significative visualizzate sul display per ciascuna grandezza misurata, tenendo

in considerazione anche l'oscillazione delle ultime cifre. Le incertezze associate alle misure relative ai segnali $v(t)$ di tensione: ovvero la frequenza f del segnale in ingresso, le ampiezze picco-picco $V_{pp,in}$ e $V_{pp,out}$ rispettivamente del segnale in ingresso e in uscita, nonché le eventuali misure di istanti di tempo t sono state stimate come segue.

L'incertezza sulla frequenza f è stata assunta pari al 0.4% del valore misurato, in quanto l'oscilloscopio mostrava una fluttuazione di tale entità nei valori letti. Le incertezze sulle ampiezze di tensione $V_{pp,in}$ e $V_{pp,out}$ sono state fissate pari a 4 mV, valore rappresentativo delle oscillazioni osservate nelle letture, in particolare quando le misure erano dell'ordine dei millivolt. Nel caso della misura delle tensioni costanti, come la tensione duale $V_{CC\pm}$, usata per alimentare gli amplificatori operazionali, è stata utilizzata una incertezza dell'ultima cifra significativa segnata sul display, ossia di $\sigma_{V_{CC}}=0.1V$. Per quanto riguarda le misure temporali t , si è considerata la risoluzione del display e la scala impostata, assumendo come incertezza la dimensione corrispondente a un singolo quadrato della griglia del display. Alcune misure sono state effettuate attraverso la funzionalità *Cursor* dell'oscilloscopio, le incertezze utilizzate per queste misure sono state stimate considerando l'incertezza associata ad un pixel relativa alla scala impostata.

Nello svolgere i calcoli, l'incertezza σ_G su ogni grandezza $G(X_1, X_2, \dots, X_N)$ dipendente dai valori di altre grandezze X_1, X_2, \dots, X_N con incertezze $\sigma_{X_1}, \sigma_{X_2}, \dots, \sigma_{X_N}$ sarà sempre calcolata tramite la formula generale di propagazione delle incertezze, secondo cui:

$$\sigma_G = \sqrt{\left(\frac{\partial G}{\partial X_1}\sigma_{X_1}\right)^2 + \left(\frac{\partial G}{\partial X_2}\sigma_{X_2}\right)^2 + \dots + \left(\frac{\partial G}{\partial X_N}\sigma_{X_N}\right)^2} \quad (7)$$

3 Strumentazione Impiegata

Ogni circuito studiato è stato assemblato su breadboard, utilizzando opportune resistenze, condensatori, induttori da laboratorio e fili conduttori rivestiti di gomma isolante.

I segnali di tensione applicati ai circuiti sono stati generati mediante l'impiego del generatore di segnali Agilent 33220A, che consente di impostare le principali caratteristiche dei segnali, quali frequenza, ampiezza picco-picco, offset e forma d'onda.

Le tensioni di ingresso e di uscita sono state rilevate tramite l'oscilloscopio digitale Tektronix TDS 2014B.

Il segnale di ingresso è stato applicato al circuito attraverso una coppia di cavi coassiali, che conducono il segnale sia al circuito che all'oscilloscopio.

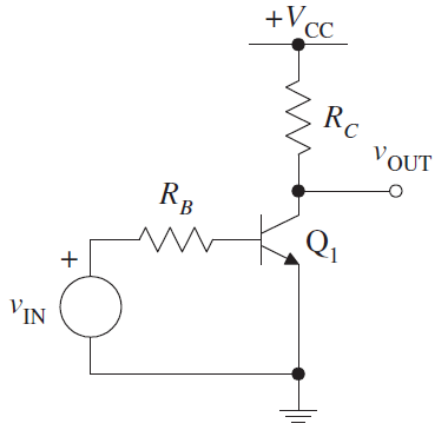
Il segnale in uscita, invece, è stato rilevato mediante una sonda di tensione, che lo conduce all'oscilloscopio tramite un cavo coassiale, il cui conduttore esterno è collegato a terra.

La sonda impiegata per captare il segnale in uscita può essere utilizzata in modalità " $\times 1$ " o " $\times 10$ ". La seconda delle due modalità aggiunge una resistenza da $9\text{ M}\Omega$ nel circuito che conduce il segnale all'oscilloscopio. Tale resistenza è responsabile di un'attenuazione della tensione misurata di un fattore 10. La sonda è stata utilizzata in modalità " $\times 1$ ", assicurandosi di impostare la medesima modalità anche sull'oscilloscopio.

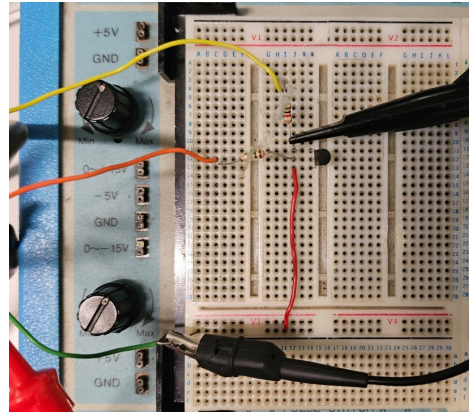
Inoltre, sul display del generatore di segnali utilizzato non viene riportato l'effettivo valore di ampiezza di tensione inviato al circuito, ma riporta l'ampiezza della tensione che vi sarebbe ai capi di una resistenza di $50\text{ M}\Omega$. E' necessario ovviare a tale problema impostando nel menu del generatore di segnali l'opzione "High Z", in modo che venga riportato il valore di tensione ai capi di una impedenza ben maggiore di $50\text{ M}\Omega$, come è quella presente nei circuiti studiati.

4 Inverter RTL

Il primo circuito assemblato e analizzato è quello di un Inverter RTL secondo la schematica riportata nell'immagine ??.



(a) Schema circuitale



(b) Circuito assemblato

Figure 1: Inverter RTL

Il circuito è costituito da resistenze dal valore di $R_B = (0.990 \pm 0.001)\text{ k}\Omega$ e di $R_C = (0.990 \pm 0.001)\text{ k}\Omega$ e da un Transistore Bipolare a Giunzione

di tipo NPN del modello BC547C, la cui base v_{in} è alimentata da un segnale ad onda quadra da ampiezza $V_{pp}^{in} = (5.000 \pm 0.001) V$ con un offset di corrente continua di $V_{offset}^{in} = (5.000 \pm 0.001) V$ e frequenza $f_{out} = (1.500 \pm 0.001) kHz$, mentre il collettore è alimentato da una tensione costante $V_{CC} = (5.000 \pm 0.001) V$. Inizialmente ci siamo soffermati sull'analisi della forma d'onda osservata dalla sonda all'uscita v_{out} . Come è possibile osservare dall'immagine ??, fornendo l'onda del canale CH1 al terminale v_{in} , il segnale di v_{out} segue il comportamento atteso. L'onda emessa dal circuito risulta infatti essere non altro che un'onda quadra invertita dalla frequenza $f_{out} = (1.500 \pm 0.001) kHz$, uguale a quella di ingresso, e dai valori $V_{OH} = (5.0 \pm 0.2) V$, con lo stesso offset di continua da $V_{OL} = (0.0 \pm 0.2) V$ ¹.

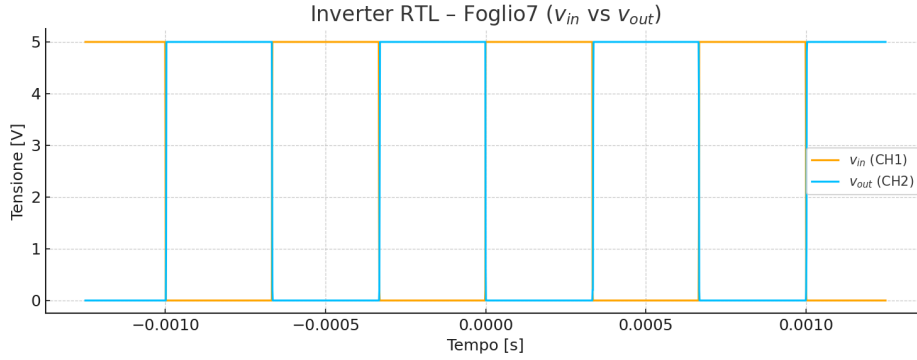


Figure 2: grafico di $v_{out}(t)$ (CH2) e di $v_{in}(t)$ (CH1), di un onda quadra

Dopo aver verificato il corretto funzionamento del circuito, ci siamo dedicati ad un'analisi più dettagliata dei segnali di una porta NOT in tecnologia RTL in salita e in discesa.

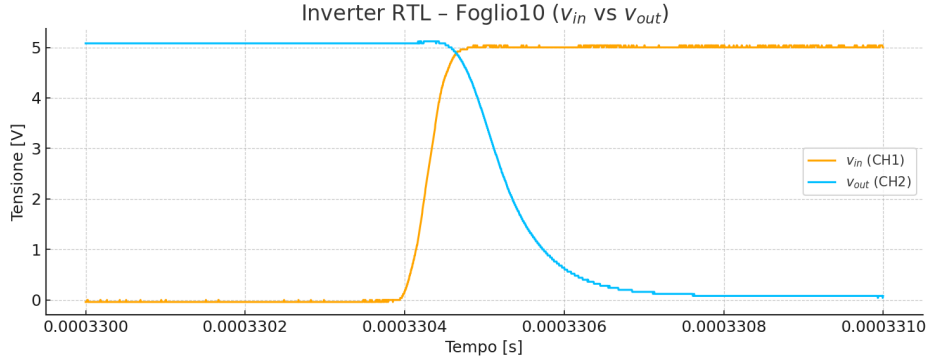
4.1 Analisi in discesa

Come precedentemente annunciato, il comportamento del segnale v_{out} in fase di discesa, ossia quando il BJT si satura (ovvero per tensioni di ingresso superiori a $V_{\gamma} \approx 0.7 V$), può essere modellato in prima approssimazione come un cortocircuito tra collettore ed emettitore. In questa condizione, la tensione misurata in v_{out} crolla poiché il collettore risulta connesso a massa.

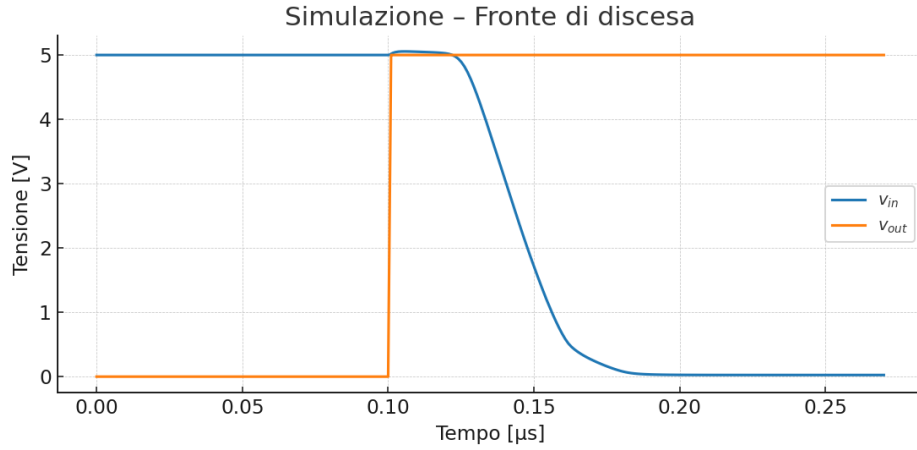
Tuttavia, si osserva che la caduta non è istantanea. La discesa è infatti guidata dal transistor bipolare Q_1 , acceso, che per un breve intervallo si comporta come un generatore di corrente costante. La corrente erogata serve a

¹Le incertezze in questo caso sono state valutate l'ultima cifra significativa dei dati acquisiti con l'oscilloscopio

scaricare la capacità di giunzione base-collettore del transistor, determinando così un fronte di discesa definito e non verticale.



(a) Grafico di $v_{out}(t)$ (CH2) e di $v_{in}(t)$ (CH1)



(b) Risultato della simulazione LTspice

Figure 3: Fronte di discesa – Confronto tra misurazione sperimentale e simulazione

Come si può osservare nella figura ??, la discesa del segnale in uscita sperimentale segue l'andamento previsto dalla simulazione.

Abbiamo quindi misurato alcune grandezze caratteristiche della fase di discesa tramite la modalità “Cursor” dell'oscilloscopio:

- Tempo di ritardo in discesa: $t_{df} = (80 \pm 10) \text{ ns}$
- Tempo di discesa in uscita: $t_f = (80 \pm 10) \text{ ns}$
- Livello logico basso: $V_{OL} = V_{CE,sat} = (41 \pm 4) \text{ mV}$

Inoltre, è stata rilevata la presenza di un overshoot negativo del segnale v_{out} , in corrispondenza dell'accensione del transistor (cioè nel momento in cui v_{in} supera $V_\gamma \approx 0.7V$ per il transistor BC547C). Ciò è dovuto alla rapida scarica della capacità di giunzione base-collettore, che genera un picco negativo temporaneo. L'ampiezza misurata dell'overshoot è risultata:

$$V_{OS} = (60 \pm 20) \text{ mV}$$

La relativa incertezza è significativa poiché l'ampiezza dell'overshoot è molto ridotta rispetto all'intervallo dinamico del segnale, il che comporta un aumento scala ulteriore, per una misura più precisa, sarebbe risultata in una perdita del trigger del segnale.

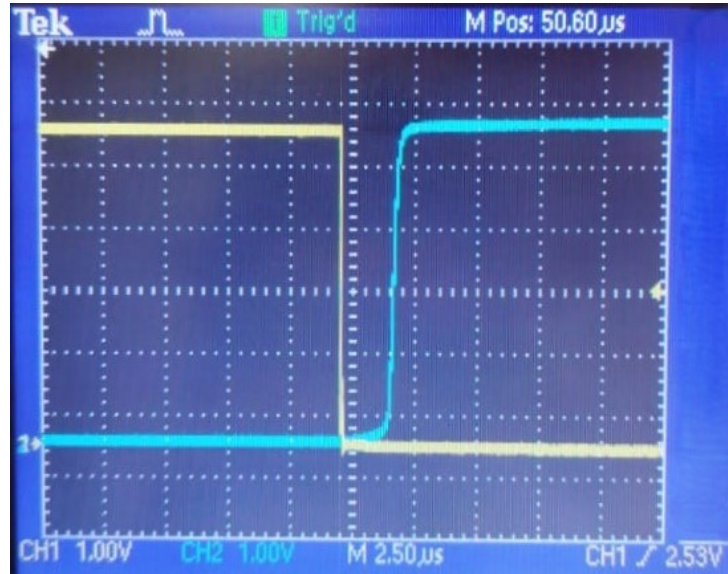
4.2 Analisi in salita

Una procedura analoga è stata seguita per l'analisi del segnale v_{out} in salita, ovvero quando il segnale v_{in} scende al di sotto della soglia di saturazione $V_\gamma \approx 0.7V$, polarizzando inversamente entrambe le giunzioni del BJT. In questa condizione, il transistor si trova in interdizione e si comporta come un interruttore aperto, impedendo il passaggio di corrente tra collettore ed emettitore. Di conseguenza, il nodo di uscita v_{out} risale verso la tensione di alimentazione V_{CC} .

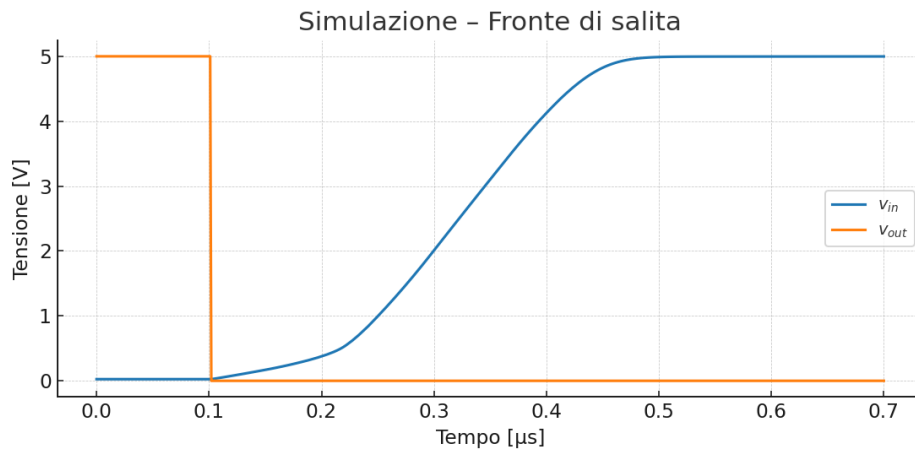
L'andamento del fronte di salita non è istantaneo, ma rallentato dalla presenza della capacità di giunzione collettore-base del transistor, che deve essere caricata tramite la resistenza di pull-up R_C . La costante di tempo associata a questo processo è:

$$\tau = R_C C_{junc}$$

dove C_{junc} è la capacità parassita tra collettore e base del transistor Q_1 .



(a) Grafico di $v_{out}(t)$ (CH2) e $v_{in}(t)$ (CH1) – Oscilloscopio



(b) Risultato della simulazione LTspice

Figure 4: Fronte di salita – Confronto tra misura sperimentale e simulazione

Come si osserva nella figura ??, il fronte di salita misurato presenta un andamento coerente con quello simulato: la tensione di uscita impiega un tempo finito per risalire al valore logico alto, mostrando un'evidente costante di tempo esponenziale.

Sono state misurate le seguenti grandezze, utilizzando la modalità “Cursor” dell'oscilloscopio:

- Tempo di ritardo in salita: $t_{dr} = (2.10 \pm 0.10) \mu s$

- Tempo di salita del fronte di uscita: $t_r = (420 \pm 10) \text{ ns}$
- Livello logico alto: $V_{OH} = (5.000 \pm 0.004) \text{ V}$

Tutti i valori sono risultati compatibili con il comportamento atteso del circuito Inverter RTL in fase di risalita, tenendo conto dei tempi di carica imposti dalla rete resistivo-capacitiva del nodo di uscita.

4.3 Analisi della Caratteristica Statica

Successivamente, abbiamo studiato la caratteristica statica del circuito Inverter RTL riportato in figura ??, nonché quella del medesimo circuito con il transistor BC547C orientato in maniera invertita.

Per entrambe le configurazioni, è stato applicato un segnale triangolare al terminale di ingresso v_{in} , con le seguenti caratteristiche:

$$f_{in} = (1.500 \pm 0.006) \text{ kHz}, \quad V_{pp}^{in} = (5.000 \pm 0.004) \text{ V}, \quad V_{offset} = (5.000 \pm 0.004) \text{ V}$$

La simmetria del segnale è stata impostata al 50% e l'alimentazione fornita al collettore era $V_{CC} = (5.00 \pm 0.01) \text{ V}$.

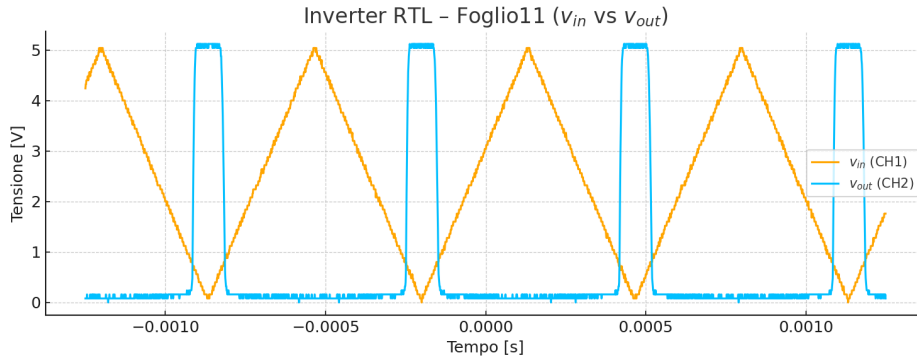
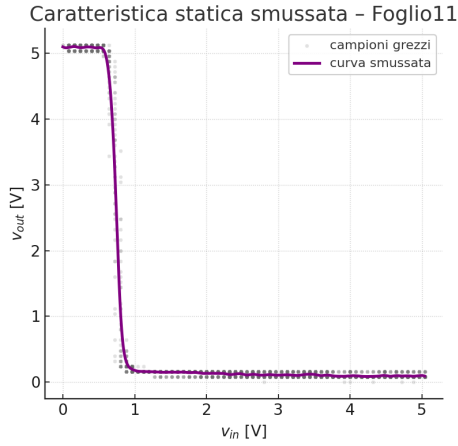


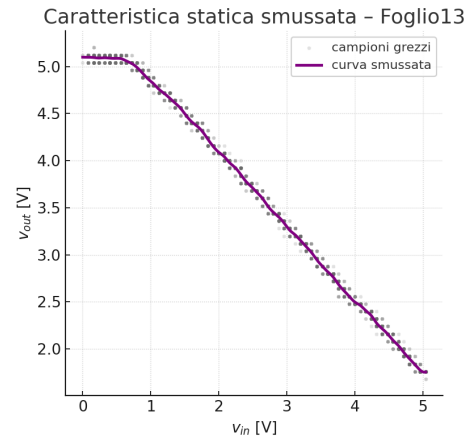
Figure 5: Segnali $v_{in}(t)$ (CH1) e $v_{out}(t)$ (CH2) – Inverter RTL in configurazione standard

Nel caso standard, il segnale v_{out} si comporta come atteso: si osservano impulsi rettangolari sincronizzati con la porzione di v_{in} che rimane sotto la soglia di conduzione V_γ . Il tempo di attivazione misurato è $t_{on} = (3.0 \pm 0.1) \mu\text{s}$.

Successivamente, è stata attivata la modalità XY sull'oscilloscopio, per osservare graficamente la relazione statica tra v_{in} e v_{out} . Il risultato, mostrato in figura ??, è una curva non lineare che presenta un punto di transizione netto attorno a $V_\gamma \approx 0.7 \text{ V}$.



(a) Caratteristica statica (BC547C, orientazione standard)

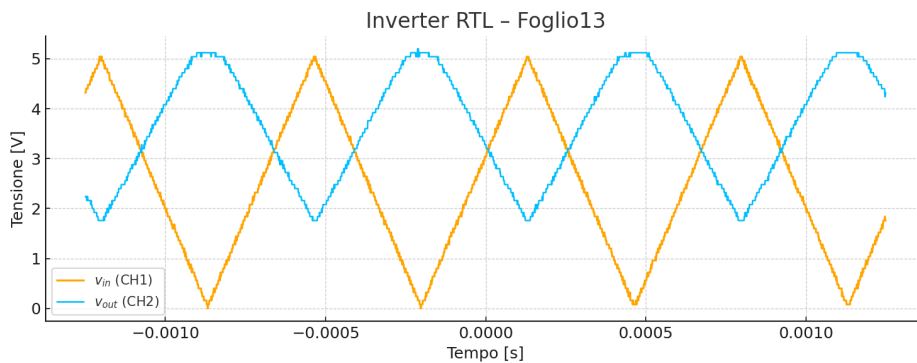


(b) Caratteristica statica (BC547C, orientazione invertita)

Figure 6: Curve caratteristiche statiche ottenute mediante visualizzazione XY. I punti grezzi sono stati smussati tramite media mobile su 10 punti.

Nel primo caso (orientazione standard), si osserva una caduta netta della tensione di uscita v_{out} non appena v_{in} supera V_γ , coerente con la saturazione del transistor. La tensione d'uscita passa dal valore V_{OH} a V_{OL} , precedentemente misurati.

Nel secondo caso (orientazione invertita), invece, la curva risulta molto più morbida e presenta un andamento quasi lineare decrescente. Questo è dovuto al fatto che il transistor, orientato in modo scorretto, non entra correttamente né in interdizione né in saturazione, ma opera in una regione intermedia non ben definita.



(a) Andamento nel dominio del tempo – transistor invertito

Figure 7: Risposta del circuito nel dominio del tempo con transistor invertito (BC547C). Si noti la forma non completamente logica dell'uscita.

Dal confronto tra le due configurazioni è stato possibile stimare il guadagno in corrente β del transistor in entrambe le situazioni attraverso la relazione 6, a partire dalla pendenza della curva nella regione di transizione. Si è ottenuto:

$$\beta_{\text{standard}} = (221 \pm 8), \quad \beta_{\text{inverso}} = (8.76 \pm 0.08)$$

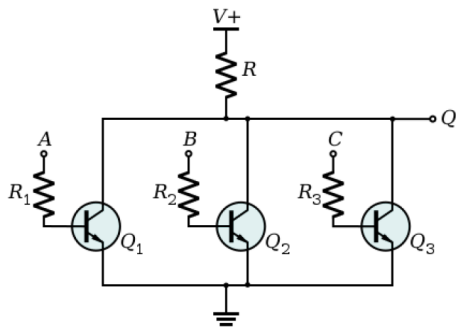
Tali valori sono compatibili con quelli attesi: nel primo caso, β è elevato e coerente con le specifiche del BC547C, mentre nel secondo, l'inversione dei terminali degrada fortemente le capacità di amplificazione del dispositivo.

Inoltre, un'osservazione dettagliata del grafico XY mostra che, sebbene la curva sembri simmetrica, essa presenta due traiettorie distinte durante i fronti di salita e discesa, confermando il comportamento asimmetrico discusso nei paragrafi precedenti. Lo scostamento tra i due rami è dovuto alla diversa dinamica di carica/scarica della capacità di giunzione.

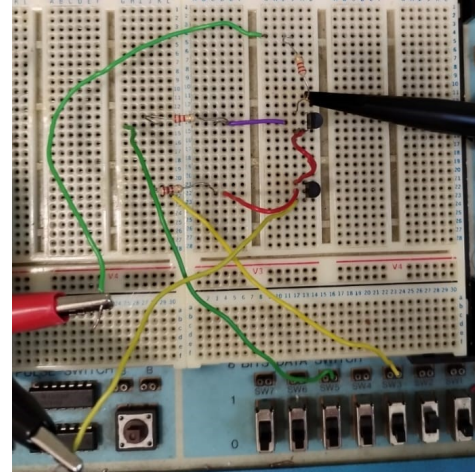
Infine, riportiamo la nota che le curve mostrate sono state ottenute mediante un algoritmo di smoothing basato su media mobile di finestra pari a 10 campioni per rendere più leggibile la transizione statica.

4.4 Porta NOR RTL

Il secondo circuito assemblato e analizzato è una porta logica NOR RTL, secondo la schematica riportata in figura ??.



(a) Schema circuitale



(b) Circuito montato su breadboard

Figure 8: Porta logica NOR RTL

Il circuito è costituito da: una resistenza *pull-up* di valore $R = (9.903 \pm 0.001) \text{ k}\Omega$, tre transistori NPN (modello BC547C), collegati in parallelo come

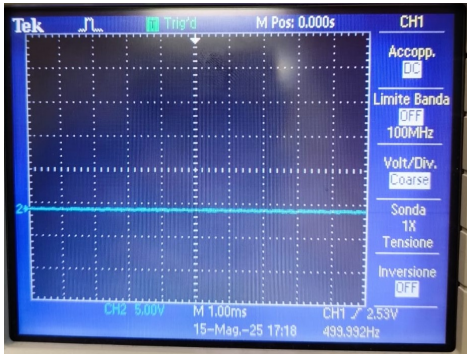
pull-down e resistenze di base $R_{1,2,3} = (2.200 \pm 0.001) \text{ k}\Omega$.

Ogni base è connessa a un ingresso logico tramite uno degli interruttori del banco. Abbiamo alimentato il circuito con una tensione $V_{CC} = (5 \pm 0.1) \text{ V}$ e testato le combinazioni logiche possibili degli ingressi attivando o disattivando gli switch.

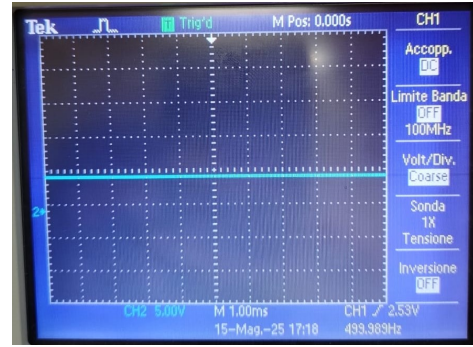
Il comportamento osservato è perfettamente coerente con la tabella della verità teorica. In particolare:

- se tutti gli interruttori sono aperti (ingressi a livello logico basso), nessun transistor conduce e il nodo di uscita si trova a livello alto: $v_{out} = V_{CC}$
- se anche uno solo degli ingressi è chiuso (livello logico alto), almeno un transistor satura e cortocircuita l'uscita verso massa: $v_{out} \approx 0 \text{ V}$

La seguente figura mostra l'uscita v_{out} osservata tramite oscilloscopio:



(a) Uscita $v_{out}(t)$ della porta NOR RTL in configurazione 0



(b) Uscita $v_{out}(t)$ della porta NOR RTL in configurazione 1

Figure 9: Misura segnale porta logica NOR RTL

L'esperimento ha confermato il comportamento previsto: la porta NOR funziona correttamente e implementa l'operazione logica $\overline{A + B + C}$. Ogni transistor agisce come uno "switch" verso massa: quando è attivo, forza il nodo di uscita a livello basso.

Il comportamento misurato è pienamente compatibile con la logica RTL NOR ideale, come riassunto nella tabella del paragrafo 1.4.

A	B	C	$Y = \overline{A + B + C}$
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Table 1: Tabella della verità della porta NOR RTL a tre ingressi