

TMS320C32를 이용한 한시 과전류 계전기의 구현

유성록, 윤병욱, 박병우, 최창영, 강상희
영지대학교 차세대전력기술연구센터

Implementation of an Over-Current Relaying Algorithm with TMS320C32

Sung-Rok Yoo, Byung-Wook Yoon, Byung-woo Park, Chang Yung choi Sang-Hee Kang
Next-generation Power Technology Center, Myongji University

Abstract -A digital over current relay(OCR) is realized by using TMS320C32 microprocessor. Fourier Transform is used to obtain the phasor of a current signal and a 2nd low pass filter is adopted to prevent aliasing error. H/W test shows almost same results with those of the S/W test. It could be possible that confirm similarity between H/W and S/W test in this paper.

1. 서 론

전력설비 보호제어기기는 전력시스템의 고장에 의해 그 파급효과가 확대되는 것을 방지하고 또한 전력기기를 사고로부터 보호하는 매우 중요한 역할을 담당하는 기기로서 계통구성상의 특성 및 변화 추세에 매우 민감하게 대응하여야 하는 속성을 지니고 있다.

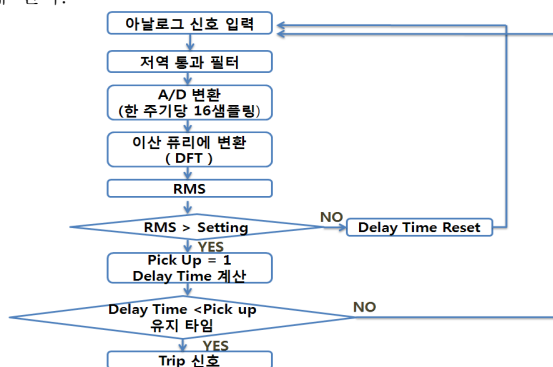
더욱이 현대화와 도시화가 진행됨에 따라 고품질의 안정적인 전력공급에 대한 요구사항은 점차 증가되고 있고, 이러한 추세에 부응하기 위하여 오늘날의 전력계통 구성은 보호제어 시스템의 다기능화, 고신뢰화 및 무보수화를 전제로 설계되고 있는 실정이다.

계전기는 역할, 동작원리 및 구조, 기능에 따라 여러 방식으로 구분되지만 본 논문에서는 상대적으로 가장 간단하고 계전기의 기본이 되는 과전류 계전기를 TMS320C32를 이용해서 구현하였다. 계전기의 입력으로 사용되는 전류는 Electro-Magnetic Transient Program (EMTP)를 사용한 고장모의실험을 통하여 취득하였다. 취득한 입력 데이터는 DOBLE을 이용해서 아날로그신호를 만들어 H/W Test를 시행하고 S/W와의 결과를 비교하였다.

2. 본 론

2.1 과전류 계전기의 S/W 구현

과전류 계전기는 계전기의 입력 단자에 정정치 이상의 전류가 유입되면 차단기에 차단신호를 보내는 기기이다. Low Pass Filter(LPF)를 통과한 입력신호를 A/D 변환 후 Discrete Fourier Transform(DFT)를 통해 RMS 값을 산출 한다. 산출 후에 과전류 감지 시에는 TC 곡선에 따른 딜레이 타임을 계산하여 딜레이 시간동안 Pick up이 계속 유지되면 Trip 신호를 차단기로 출력하게 된다.



〈그림 1〉 알고리즘 흐름도

〈그림 1〉은 구현한 과전류 계전기의 알고리즘 흐름도를 나타낸 것이며 전력 주파수 성분의 페이저를 구하기 위해 아래 식 (1), (2)와 같은 이산 푸리에 변환 (Discrete Fourier Transform)을 사

용하였다.

$$I_{Re} = \frac{\sqrt{2}}{N} \sum_{j=0}^{N-1} i_k \cos\left(\frac{2\pi k}{N}\right) \quad (1)$$

$$I_{Im} = \frac{\sqrt{2}}{N} \sum_{j=0}^{N-1} i_k \sin\left(\frac{2\pi k}{N}\right) \quad (2)$$

위 식을 이용하여 실효치(RMS)를 구할 수 있다.

$$I_{rms} = \sqrt{I_{Re}^2 + I_{Im}^2} \quad (3)$$

계산된 실효값이 정정치보다 큰 경우 계전기가 픽업(Pick Up)하고 TC 곡선에 따른 Delay Time 이후까지 계속 Pick up이 유지되면 차단기를 개방시키기 위한 차단 신호를 발생시킨다.

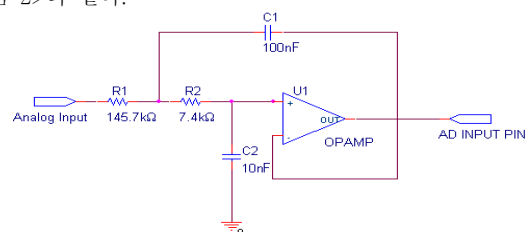
〈표1〉에서와 같이 한국 전력 공사의 종합자동화용 디지털 과전류계전기 구매시방서에 명기된 단락 과전류 요소의 한시 특성을 적용하여 Delay Time을 계산하였다. 배전 계통에서 사용되는 Delay Time이 400ms~500ms이므로 이 조건에 맞게 설계하였다.

〈표 1〉

특 성	T2/T20	T20	조정치
반한시	3.5~4.0	2.2 sec	10
공 식	k	a	C
$t = \frac{k}{[\frac{G}{G_b}]^a - 1} + C$	0.11	0.02	0.42
여기서, G는 고장전류, G _b 는 정정치			

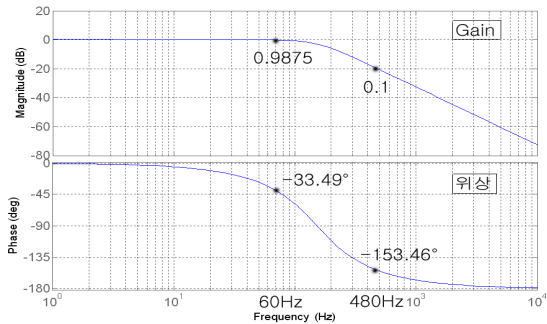
2.2 과전류 계전기의 H/W 구현

TMS320C32는 50MHz 클럭의 오실레이터를 사용하여 25MHz의 동작 클럭을 가지고 있다. 이 프로세서의 가장 큰 특징은 external memory로 8/16/32bit를 선택적으로 접속할 수 있다는 것이다. 그리고 재배치 가능한 interrupt vector table을 가지고 있다.[1] 신호를 디지털화 하는 과정에서 안티 앨리어싱(Anti-aliasing)을 하기 위해 차단 주파수 480Hz, 이득 0.1의 Butterworth 2차 저역 통과 필터를 사용하였으며 그 회로도는 〈그림 2〉와 같다.



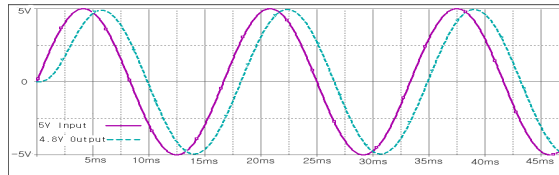
〈그림 2〉 LPF 회로도

〈그림3〉은 Sallen & Key Butterworth 2차 Filter의 특성을 나타낸 그레프로 60Hz 일 때와 480Hz 일 때의 Gain 값과 위상 차이를 나타낸다.



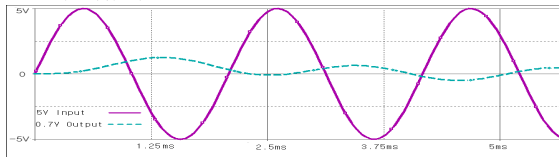
〈그림 3〉 주파수 응답 특성

〈그림 4〉는 최대값 5V인 입력신호를 필터에 넣었을 때 오실로스코프로 특성을 확인한 것이며 출력은 최대값 4.8V가 나왔다.



〈그림 4〉 ButterWorth filter 입출력 파형(60Hz)

〈그림 5〉는 차단 주파수인 480Hz 일 때 차단대역의 필터 특성을 확인한 그래프로써 입력 전압 최대값 5V를 인가시 최대 출력이 0.7V가 나왔다.



〈그림 5〉 ButterWorth filter 입출력 파형(480Hz)

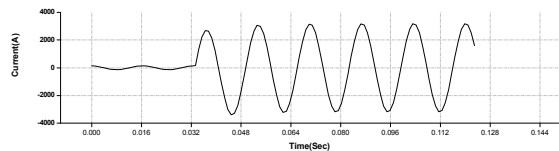
2.3 계전기 Test

2.3.1 고장 모의



〈그림6〉고장 모의 계통

과전류 계전기의 타당성을 검증하기 위하여 〈그림6〉과 같은 계통을 전자기과도현상 프로그램인 EMTP를 이용하여 22.9kV계통 100km를 모델링 하고 송수전단 전압 위상차가 -10° , 30km지점에서 DC 오프셋 최소화를 위하여 90도 A상 완전 지락고장을 모의하였다. A상 지락 고장전류 파형은 〈그림7〉과 같다.

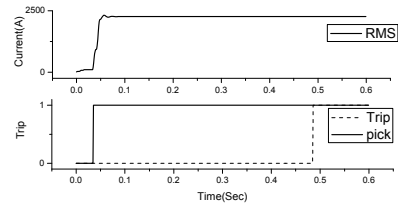


〈그림7〉A상 지락 고장전류 파형

이 고장파형을 Doble에 입력하고 D/A변환하여 계전기의 입력 신호로 사용하였다.

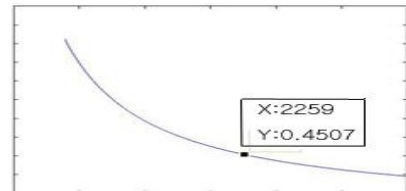
2.3.2 S/W Test

DFT연산 이후에 RMS값과 정정치를 비교하여 최고전류의 2배가 넘으면 Pick up 신호를 발생시킨다. 그때의 RMS 전류를 반한시 특성에 맞추어 Delay Time 이후 Trip 신호가 나도록 설계하여 결과를 도출해냈다. Trip 신호가 난 시간인 0.4856와 Pick up이 이루어진 시간 0.0355의 차는 450ms이다.



〈그림 8〉S/W Test 결과

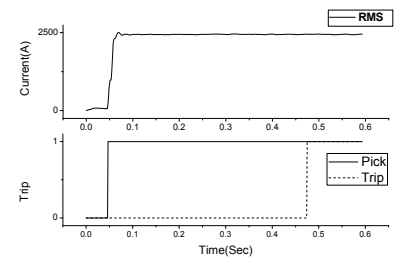
〈그림 9〉은 반한시 곡선을 Matlab을 이용 하여 그린 곡선이다 모의한 고장전류의 실효치인 2260A일 때의 Delay Time은 451ms 임을 확인하였다. 실제 S/W 결과에서의 Delay Time인 450ms 와 오차가 0.22% 임을 확인하였다.



〈그림 9〉반한시 특성 곡선

2.3.3 H/W Test

H/W 동작 결과를 보기 위해 DOBLE을 이용해서 입력을 주고 TMS320C32 보드를 이용한 H/W Test 결과를 〈그림10〉에 보였다.



〈그림10〉H/W Test 결과

H/W Test 결과 Delay Time은 430ms로 확인하였고 S/W 결과와 비교하였을 때 20ms의 오차를 확인하였다. 오차의 원인으로 는 A/D의 오차값이 주요한 원인으로 분석되었다.

3. 결 론

본 논문에서는 TMS320C32를 이용하여 과전류계전기를 구현하였고 입력 신호를 만들기 위하여 EMTP를 이용하였으며, 출력된 고장파형을 DOBLE을 이용하여 계전기의 입력신호로 사용하였다. 이 입력신호를 저역통과필터를 통과시킨 후 TMS320C32에 입력하여 실험하였다. H/W 동작결과는 S/W Test 결과와 비교하여 검증하였다. 그리고 고장전류가 Delay Time동안 계속 유지된다면 구현한 계전기가 동작함을 Trip신호로 확인하였다. DC offset을 최소화 하기 위해 90도 고장을 모의하였지만 향후 DC 제거 필터를 추가하면 어느 시점에서도 훌륭한 성능을 발휘하는 계전기를 구현할 수 있을 것으로 보인다.

감사의 글

본 연구는 과학기술부/한국과학재단 우수연구센터 육성사업(차세대전력기술연구센터) 지원으로 수행되었음

[참 고 문 헌]

- [1] 윤덕용, "TMS320C32 마스터", Ohm출판사.P3~, 1999
- [2] Mohindar S. Sachdev, "Advancements in Microprocessor based protection and communication" 10~11page 1997
- [3] J.S.Thorp, "A NEW MEASUREMENT TECHNIQUE FOR TRACKING VOLTAGE PHASORS SYSTEM FREQUENCY, AND RATE OF CHANGE OF FREQUENCY", 1983