

# Guía de uso de Lattice Radiant Software

Electrónica 3

2019-Octubre

# Contents

<b>1</b>	<b>Introducción</b>	<b>2</b>
<b>2</b>	<b>Descarga e instalación</b>	<b>2</b>
<b>3</b>	<b>Creación de un proyecto</b>	<b>2</b>
3.1	Módulos de Verilog . . . . .	3
3.2	Constraints . . . . .	4
<b>4</b>	<b>Simulación</b>	<b>4</b>
<b>5</b>	<b>Asignación de pins</b>	<b>4</b>
<b>6</b>	<b>Esquema de la FPGA</b>	<b>5</b>
<b>7</b>	<b>Compilación,síntesis y programador</b>	<b>5</b>

# 1 Introducción

## 2 Descarga e instalación

El software utilizado para programar la FPGA provista por la cátedra es 'Lattice Radiant Software'. El mismo puede descargarse tanto para Linux como para Windows del siguiente link: <https://tinyurl.com/y46mth4j>

## 3 Creación de un proyecto

Para crear un nuevo proyecto se debe abrir el programa recientemente instalado y elegir 'New Project'.

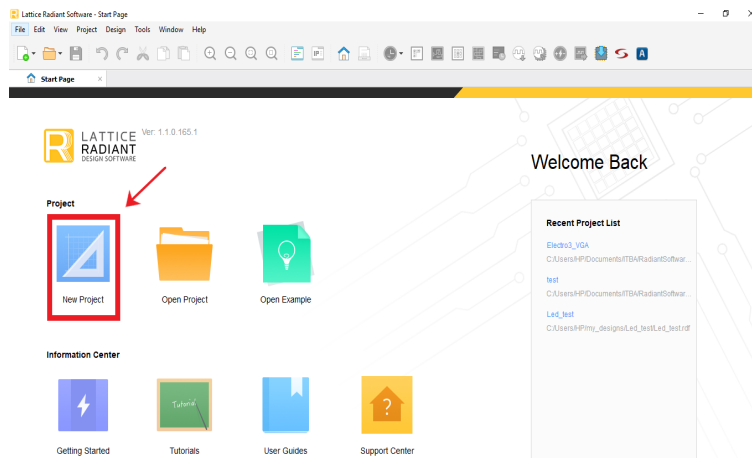


Figure 1: Opción para crear un nuevo proyecto

Luego de hacer click en New Project y en el botón de next, se debe elegir el nombre del proyecto y en que carpeta se desea guardar. Dejar el nombre bajo el campo de "Implementation" en su valor default y hacer click en next nuevamente. En la siguiente ventana se puede elegir agregar archivos al nuevo proyecto. En este paso se puede elegir agregar cualquier archivo de Verilog ya existente que sea necesario para el proyecto.

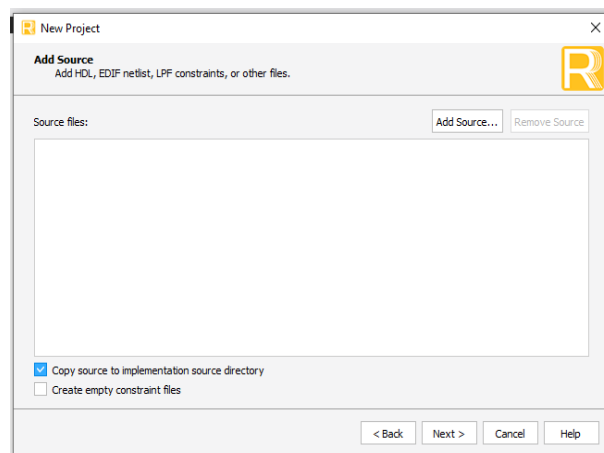


Figure 2: Ventana para agregar archivos ya existentes

Tildar las opciones como se indica en la figura anterior y hacer click en Next. En la siguiente ventana se indica el dispositivo a utilizar, completar las opciones igual que como se muestra en la siguiente figura:

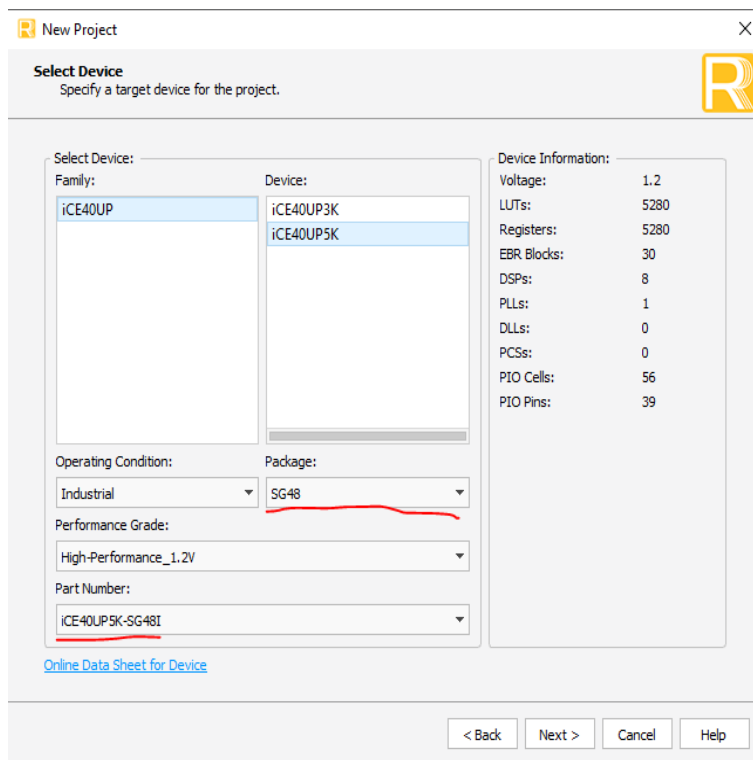


Figure 3: Prestar especial atención a que el campo de 'Package' y 'Part Number' coincidan con el de la imagen

Clicar Next nuevamente, elegir la opción 'Lattice LSE' en la siguiente ventana, elegir next una vez mas y luego Finish.

### 3.1 Módulos de Verilog

Se pueden crear/agregar archivos de Verilog al proyecto seleccionando 'File' arriba a la izquierda y luego 'New' para crear un archivo o 'Add' para agregar uno ya existente.

Los archivos de Verilog del proyecto se pueden ver dentro de la carpeta llamada 'Input files'

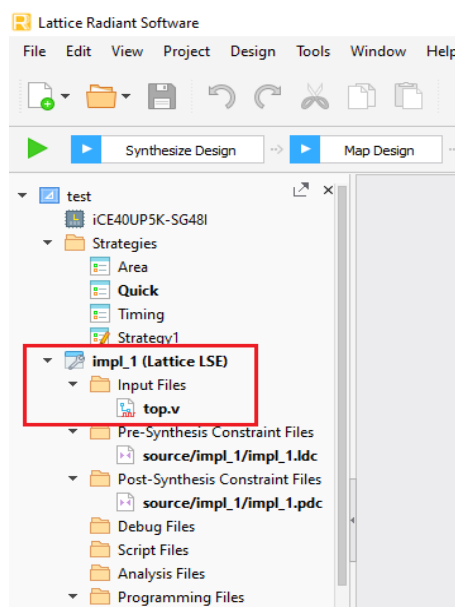


Figure 4: Ubicación de los proyectos de Verilog

## 3.2 Constraints

## 4 Simulación

## 5 Asignación de pins

Para asignar que pin de la FPGA corresponde a que entrada y salida del modulo de Verilog, se debe ir al 'Device Constraint Editor'.

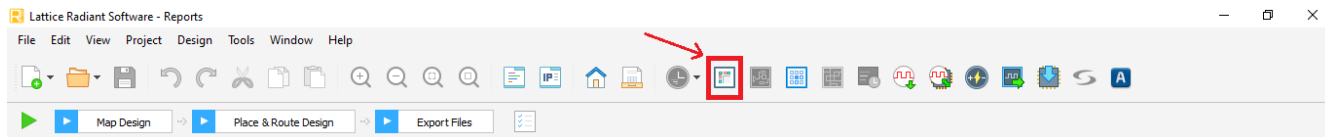


Figure 5: Ubicación del Device Constraint Editor en el Radiant

Una vez abierto el Device Constraint Editor se vera algo similar a lo observado en la siguiente figura:

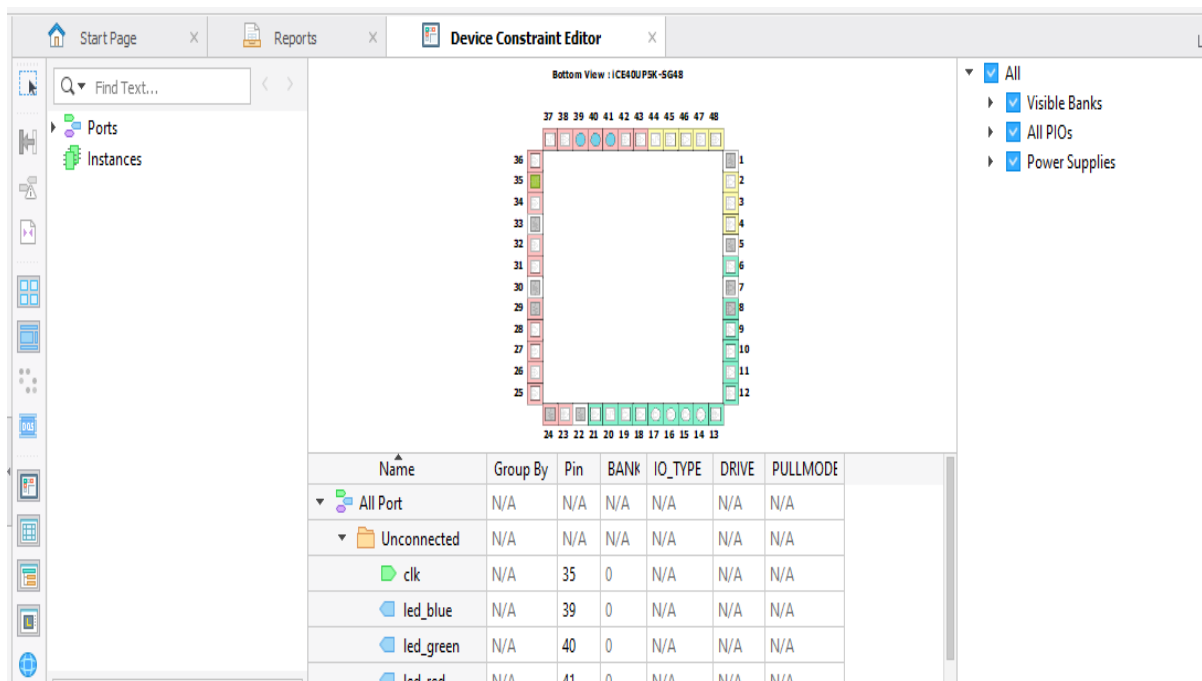


Figure 6: Vista de las señales de Verilog y sus pins correspondientes

En esta ventana se puede cambiar que pin corresponde a una señal del modulo de Verilog mas alto en la jerarquía. Para realizar cambios solo hace falta hacer click en el campo de 'pin' correspondiente a una señal dada y cambiar el valor numérico. Antes del nombre de cada señal hay una flecha con una dirección y color determinado que indica si la señal es de input o de output.

Hay que tener especial cuidado de asignar pins validos para las señales (utilizar los pins I/O). A continuación se presentan algunas tablas con la función de algunos pins de la FPGA que utiliza la cátedra (ICE40-UP5K).

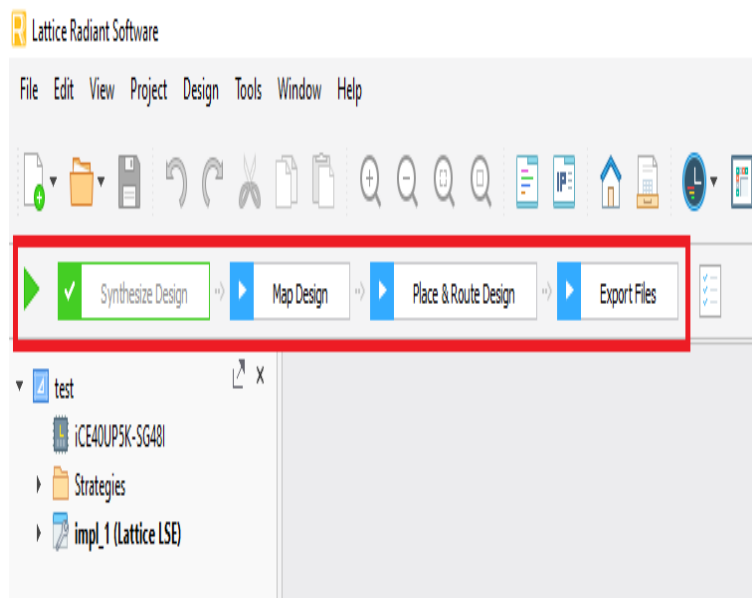
Side Pins		
Board Pin #	FPGA Pin #	Signal Name
1	20	IOB 25B G3
2	21	IOB 23B
3	23	IOT 37A
4	25	IOT 36B
5	26	IOT 39A
6	27	IOT 38B
7	31	IOT 42B
8	32	IOT 43A
9	34	IOT 44B
10	36	IOT 48B
11	37	IOT 45A G1
12	-	GND
13	2	IOB 6A
14	6	IOB 13B
15	9	IOB 16A
16	10	IOB 18A
17	11	IOB 20A
18	12	IOB 22A
19	13	IOB 24A
20	18	IOB 31B
21	19	IOB 29B
22	-	3.3V
23	-	GND
24	-	RAW VCC

Front Pins		
Board Pin #	FPGA Pin #	Signal Name
1	4	IOB 8A
2	3	IOB 9B
3	47	IOB 2A
4	44	IOB 3B G6
5	-	GND
6	-	3.3V
7	48	IOB 4A
8	45	IOB 5B
9	38	IOT 50B
10	42	IOT 51A
11	-	GND
12	-	3.3V

## 6 Esquema de la FPGA

## 7 Compilación,síntesis y programador

Para cargar el programa en Verilog a la FPGA se deben seguir los pasos de síntesis, mapeo, ruteo y exportación que aparecen arriba de la ventana de archivos.



Se puede realizar cada uno de dichos pasos uno por vez o se puede elegir realizar todos clickeando el símbolo verde de play a la izquierda. Ya en el proceso de síntesis el compilador detectara posibles errores de sintaxis en el código de Verilog así como también los warnings.

Si se desea ver en detalle los resultados de cada paso se puede ir a 'view' en la parte de arriba y luego seleccionar reports.

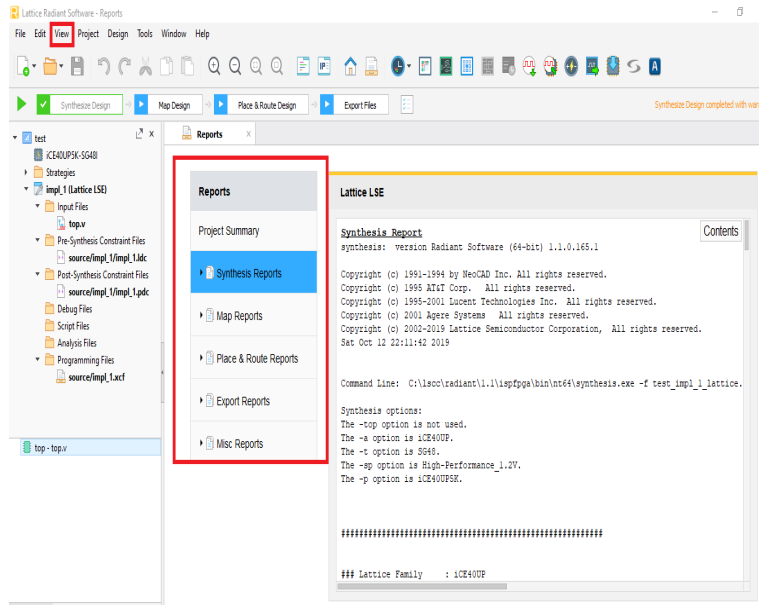


Figure 7: Ventana con los reportes con cada uno de los pasos efectuados

Una vez que se consiguieron exitosamente los archivos de salida solo queda cargar los mismos a la FPGA. Para este paso se requiere primero conectar la FPGA a la computadora mediante un cable USB a Micro USB. Luego de conectar la FPGA se debe abrir el programmer el cual esta ubicado en la parte superior derecha del lattice como se indica en la siguiente figura.

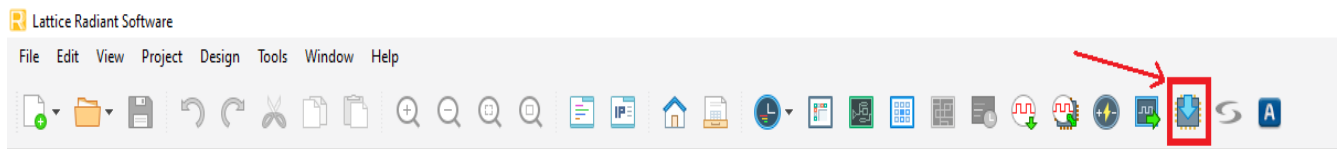


Figure 8: Ubicación del programmer

Al abrir el programmer con la FPGA ya conectada debería verse algo similar a la siguiente figura:

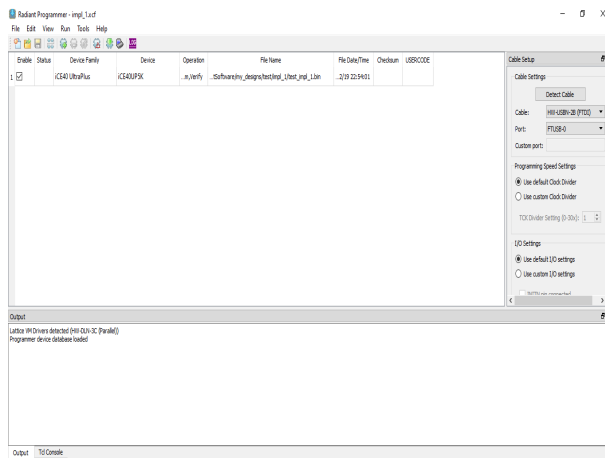
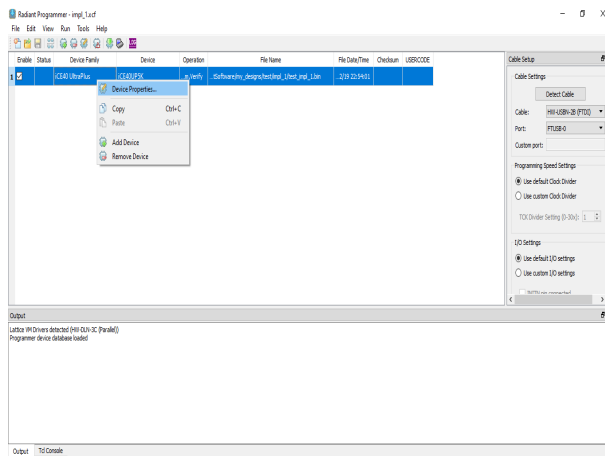


Figure 9: Ventana luego de abrir el programmer

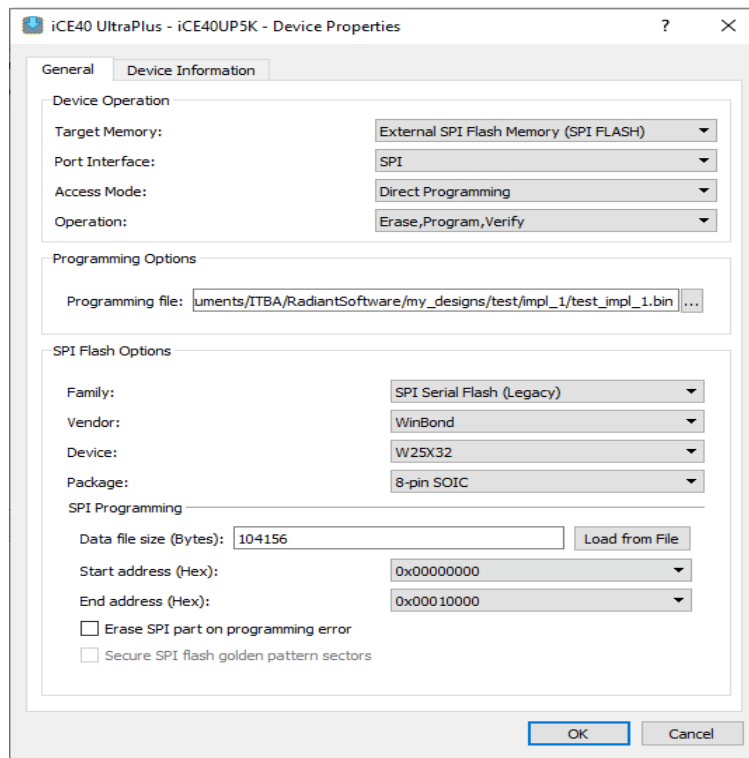
Como se puede ver en la figura anterior debería aparecer listada la FPGA que se conecto a la PC. Se puede seleccionar la opción 'Detect Cable' a la derecha para verificar que la computadora reconoció exitosamente la FPGA. Si se tiene problemas con este paso se puede intentar esperar un poco y luego volver a intentar con 'Detect Cable', si esto no funciona se puede probar conectando la FPGA a otro puerto USB de la PC. Por si acaso siempre es mejor conectar y desconectar la FPGA con el programador cerrado y luego volver a abrirlo.

Ahora solo quedo configurar la FPGA. Para eso se debe seleccionar el dispositivo, luego edit y de ahí Device Properties.



Configurar la ventana igual que como se muestra en la siguiente figura:





Para el programming file elegir el archivo con la extension '.bin' resultante de la exportación que se realizó antes de abrir el programmer. Finalmente solo queda subir el .bin a la FPGA seleccionando la opción 'Program Device' que aparece en la barra de arriba.

