

Guia de uso de Lattice Radiant Software

Electronica 3

2019-09-01

1 Introduccion

2 Descarga e instalacion

El software utilizado para programar la FPGA provista por la catedra es 'Lattice Radiant Software'.El mismo puede descargarse tanto para Linux como para Windows del siguiente link: <https://tinyurl.com/y46mth4j>

3 Creacion de un proyecto

Para crear un nuevo proyecto se debe abrir el programa recientemente instalado y elegir 'New Project'.

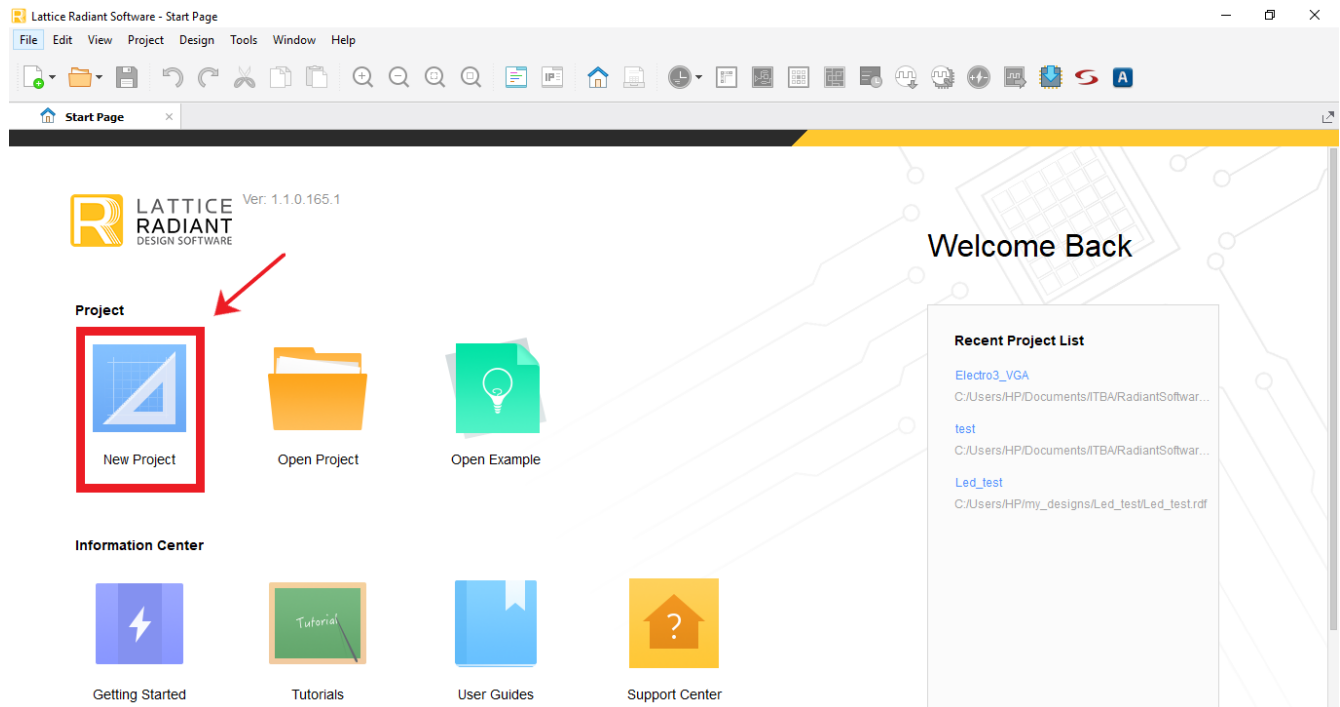


Figure 1: Opcion para crear un nuevo proyecto

Luego de hacer click en New Project y en el boton de next, se debe elegir el nombre del proyecto y en que carpeta se desea guardar. Dejar el nombre bajo el campo de "Implementation" en su valor default y hacer click en next nuevamente. En la siguiente ventana se puede elegir agregar archivos al nuevo proyecto. En este paso se puede elegir agregar cualquier archivo de Verilog ya existente que sea necesario para el proyecto.

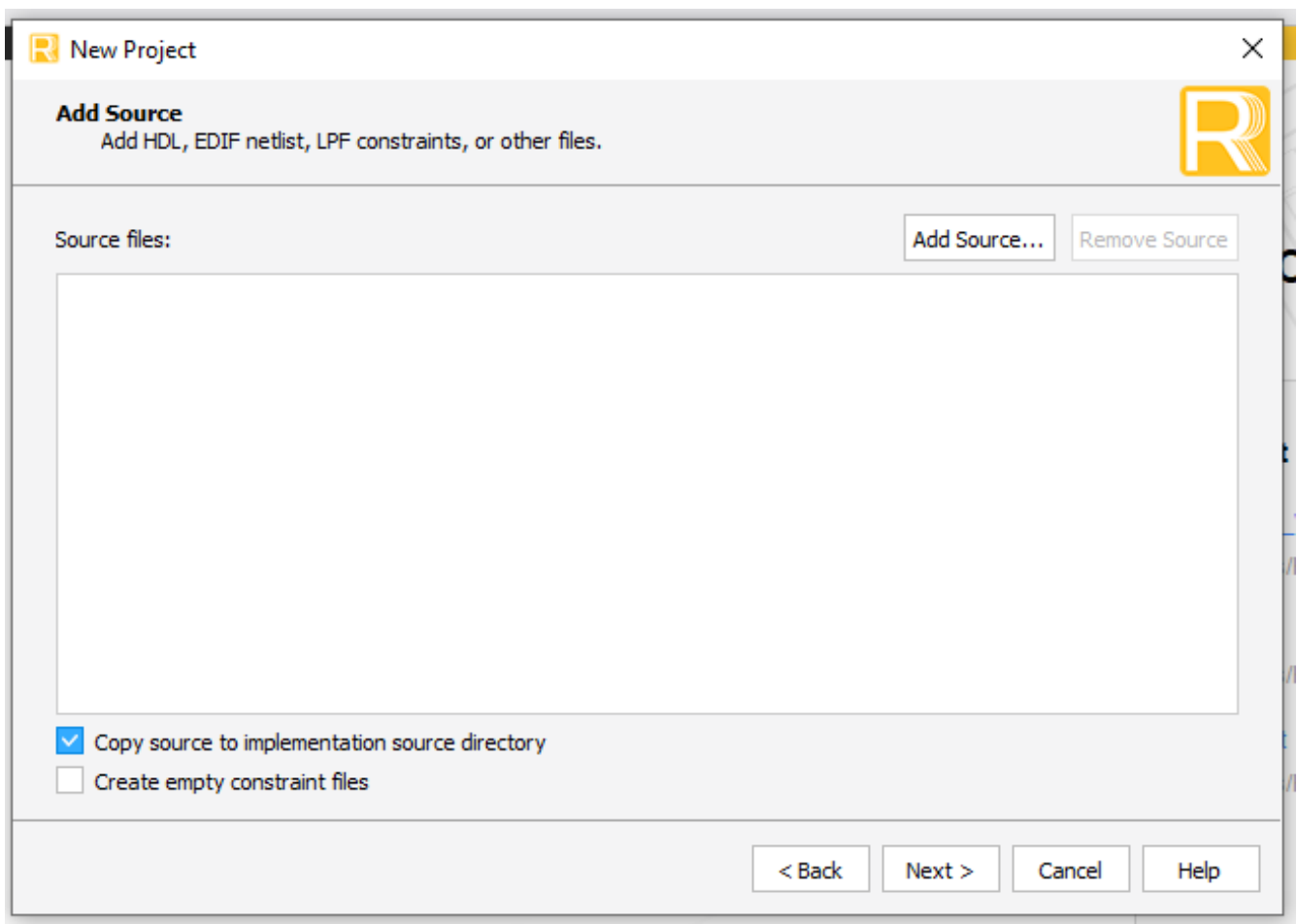


Figure 2: Ventana para agregar archivos ya existentes

Tildar las opciones como se indica en la figura anterior y hacer click en Next. En la siguiente ventana se indica el dispositivo a utilizar, completar las opciones igual que como se muestra en la siguiente figura:

New Project

Select Device
Specify a target device for the project.

Select Device:

Family: iCE40UP

Device: iCE40UP3K, iCE40UP5K

Operating Condition: Industrial

Package: SG48

Performance Grade: High-Performance_1.2V

Part Number: iCE40UP5K-SG48I

[Online Data Sheet for Device](#)

Device Information:

Voltage:	1.2
LUTs:	5280
Registers:	5280
EBR Blocks:	30
DSPs:	8
PLLs:	1
DLLs:	0
PCSs:	0
PIO Cells:	56
PIO Pins:	39

< Back Next > Cancel Help

Figure 3: Prestar especial atencion a que el campo de 'Package' y 'Part Number' coincidan con el de la imagen

Clickear Next nuevamente, elegir la opcion 'Lattice LSE' en la siguiente ventana, elegir next una vez mas y luego Finish.

3.1 Modulos de Verilog

3.2 Constraints

4 Simulacion

5 Asignacion de pins

Para asignar que pin de la FPGA corresponde a que entrada y salida del modulo de Verilog, se debe ir al 'Device Constraint Editor'.

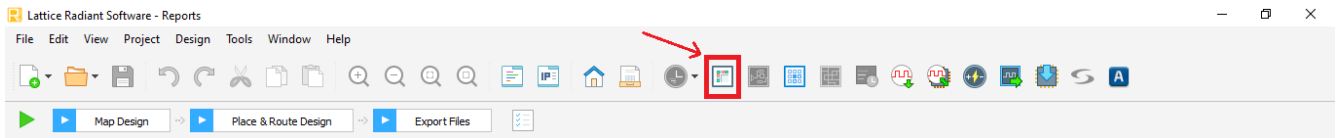


Figure 4: Ubicacion del Device Constraint Editor en el Radiant

Una vez abierto el Device Constraint Editor se vera algo similar a lo observado en la siguiente figura:

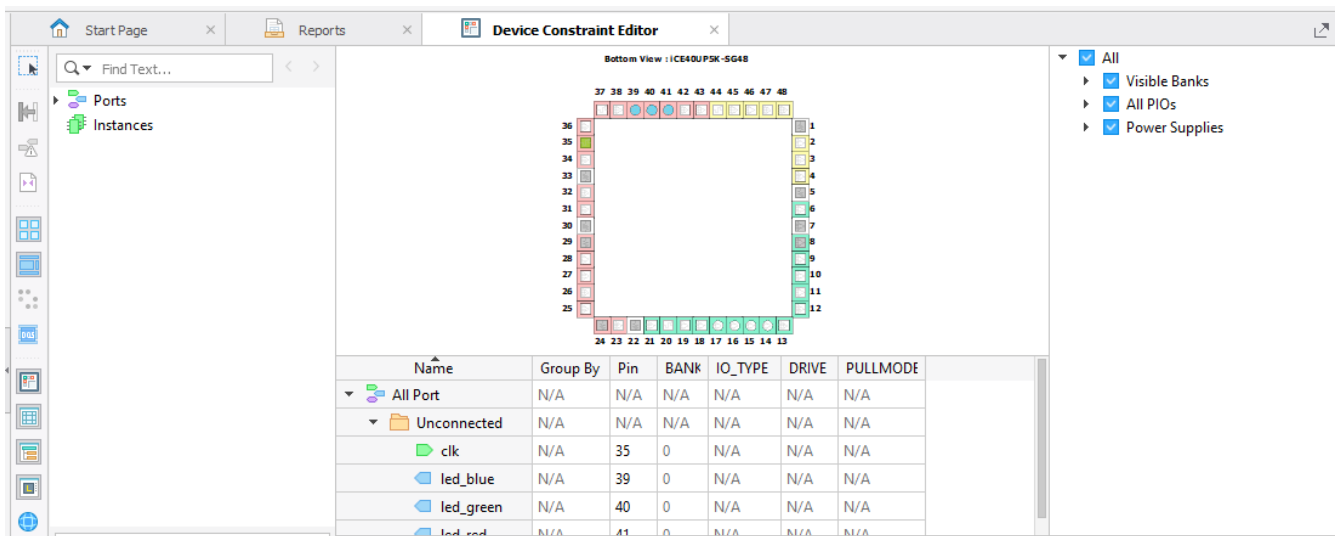


Figure 5: Vista de las senales de Verilog y sus pins correspondientes

En esta ventana se puede cambiar que pin corresponde a una senal del modulo de Verilog mas alto en la jerarquia. Para realizar cambios solo hace falta hacer click en el campo de 'pin' correspondiente a una senal dada y cambiar el valor numerico. Antes del nombre de cada senal hay una flecha con una direccion y color determinado que indica si la senal es de input o de output.

Hay que tener especial cuidado de asignar pins validos para las senales (utilizar los pins I/O). A continuacion se presentan algunas tablas con la funcion de algunos pins de la FPGA que utiliza la catedra (ICE40-UP5K).

Side Pins		
Board Pin #	FPGA Pin #	Signal Name
1	20	IOB 25B G3
2	21	IOB 23B
3	23	IOT 37A
4	25	IOT 36B
5	26	IOT 39A
6	27	IOT 38B
7	31	IOT 42B
8	32	IOT 43A
9	34	IOT 44B
10	36	IOT 48B
11	37	IOT 45A G1
12	-	GND
13	2	IOB 6A
14	6	IOB 13B
15	9	IOB 16A
16	10	IOB 18A
17	11	IOB 20A
18	12	IOB 22A
19	13	IOB 24A
20	18	IOB 31B
21	19	IOB 29B
22	-	3.3V
23	-	GND
24	-	RAW VCC

Front Pins		
Board Pin #	FPGA Pin #	Signal Name
1	4	IOB 8A
2	3	IOB 9B
3	47	IOB 2A
4	44	IOB 3B G6
5	-	GND
6	-	3.3V
7	48	IOB 4A
8	45	IOB 5B
9	38	IOT 50B
10	42	IOT 51A
11	-	GND
12	-	3.3V

6 Esquema de la FPGA

7 Compilacion,sintesis y programador