

Guía de uso de Lattice Radiant Software

Electrónica 3

2019-Octubre

Contents

1	Descarga e instalación	2
1.1	Elección del sistema operativo	2
1.2	Ejemplo de selección: caso Windows	2
1.3	Sign in request	2
1.4	Registration	3
1.5	Descarga	3
1.6	Instalación	3
1.6.1	Ejecutar el archivo .exe	3
1.6.2	Capturas de instalación	4
1.7	Licencia	11
2	Creación de un proyecto	12
2.1	Módulos de Verilog	13
2.2	Clocks y timing constraints	14
3	Simulación	14
4	Asignación de pins	15
5	Compilación,síntesis y programador	17

1 Descarga e instalación

El software utilizado para programar la FPGA provista por la cátedra es 'Lattice Radiant Software'. El mismo puede descargarse tanto para Linux como para Windows del siguiente link: <https://tinyurl.com/y46mth4j>

1.1 Elección del sistema operativo

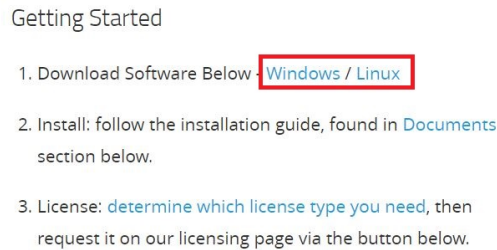


Figure 1: Guía de descarga: Paso 1

1.2 Ejemplo de selección: caso Windows



The Lattice Radiant Software Base executable contains all of the design tools and features for you to use Lattice FPGAs from design entry to bitstream download. The supported Windows Operating Systems are Windows 7 64-bit, Windows 8/8.1 64-bit and Windows 10 64-bit.


Package	Operating System	Version	Date	Format	Size
Lattice Radiant Software 	Windows 64-bit	1.1	4/22/2019	ZIP	540.7 MB

Figure 2: Guía de descarga: Paso 2

1.3 Sign in request

Después de haber seleccionado Lattice Radiant Software, nos lleva una página donde para poder entrar tenemos que estar registrados.

To access the content requested you need to sign in

Sign In

Email *

Password *

[Sign In](#) [Forgot your password?](#)

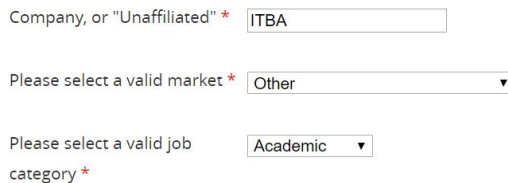
No account ? [Create Account](#)

Figure 3: Guía de descarga: Paso 3

Para poder seguir, procedemos a registrarnos

1.4 Registration

A continuación dejamos una captura de cómo hay que rellenar ciertos campos específicos. Sugerimos utilizar el mail del itba a la hora de registrarse.



Company, or "Unaffiliated" * ITBA

Please select a valid market * Other

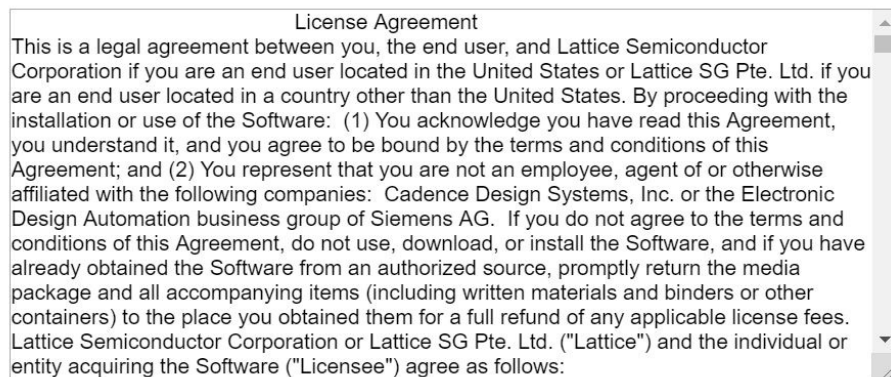
Please select a valid job category * Academic

Figure 4: Guía de descarga: Paso 4

1.5 Descarga

Ahora que tenemos una cuenta, volvemos a la página de lattice para proceder con la descarga. En esa página, aceptamos términos y condiciones, y a continuación clickeamos en Download.

Before downloading the file **Radiant 1.1 64-bit for Windows**, please read and agree to the following Software License Agreement:



License Agreement

This is a legal agreement between you, the end user, and Lattice Semiconductor Corporation if you are an end user located in the United States or Lattice SG Pte. Ltd. if you are an end user located in a country other than the United States. By proceeding with the installation or use of the Software: (1) You acknowledge you have read this Agreement, you understand it, and you agree to be bound by the terms and conditions of this Agreement; and (2) You represent that you are not an employee, agent of or otherwise affiliated with the following companies: Cadence Design Systems, Inc. or the Electronic Design Automation business group of Siemens AG. If you do not agree to the terms and conditions of this Agreement, do not use, download, or install the Software, and if you have already obtained the Software from an authorized source, promptly return the media package and all accompanying items (including written materials and binders or other containers) to the place you obtained them for a full refund of any applicable license fees. Lattice Semiconductor Corporation or Lattice SG Pte. Ltd. ("Lattice") and the individual or entity acquiring the Software ("Licensee") agree as follows:

☒ I have read and agree to the above License Agreement.

Download

Figure 5: Guía de descarga: Paso 5

1.6 Instalación

1.6.1 Ejecutar el archivo .exe

Descomprimos el archivo descargado y ejecutamos el archivo .exe que se encuentra dentro de la carpeta

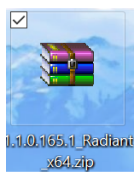


Figure 6: Archivo a descomprimir

1.6.2 Capturas de instalación

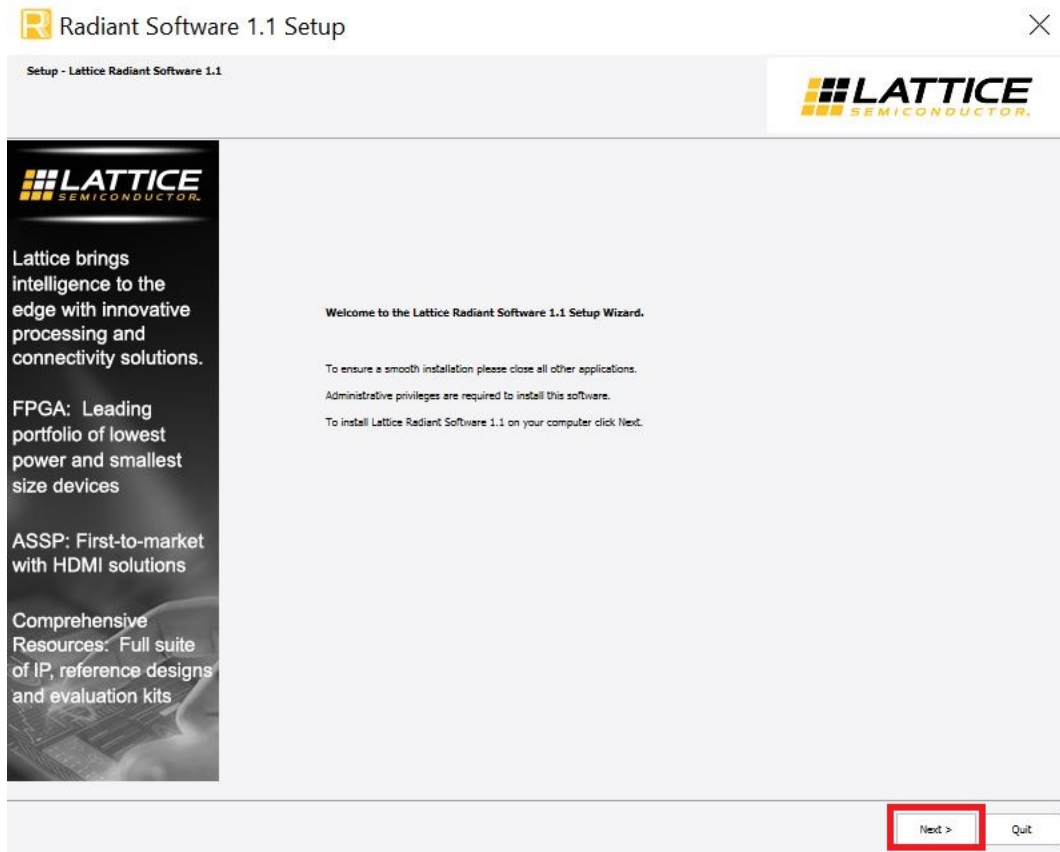


Figure 7: Instalación: captura 1

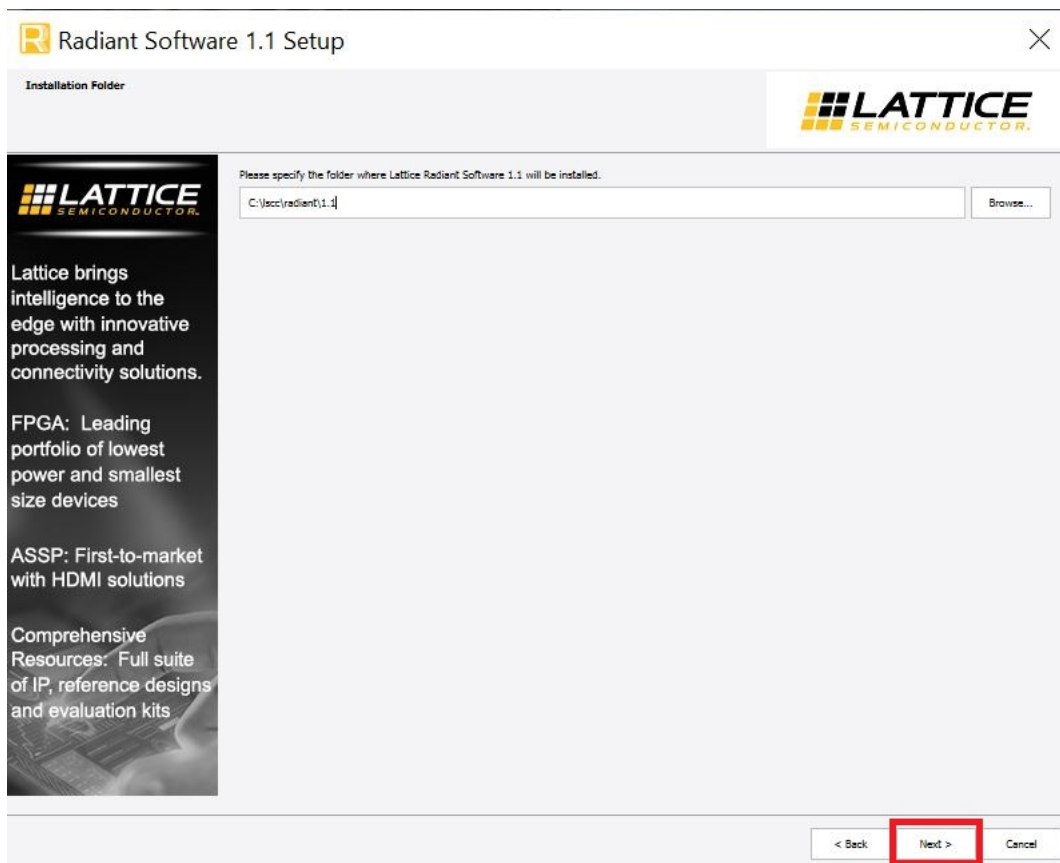


Figure 8: Instalación: captura 2

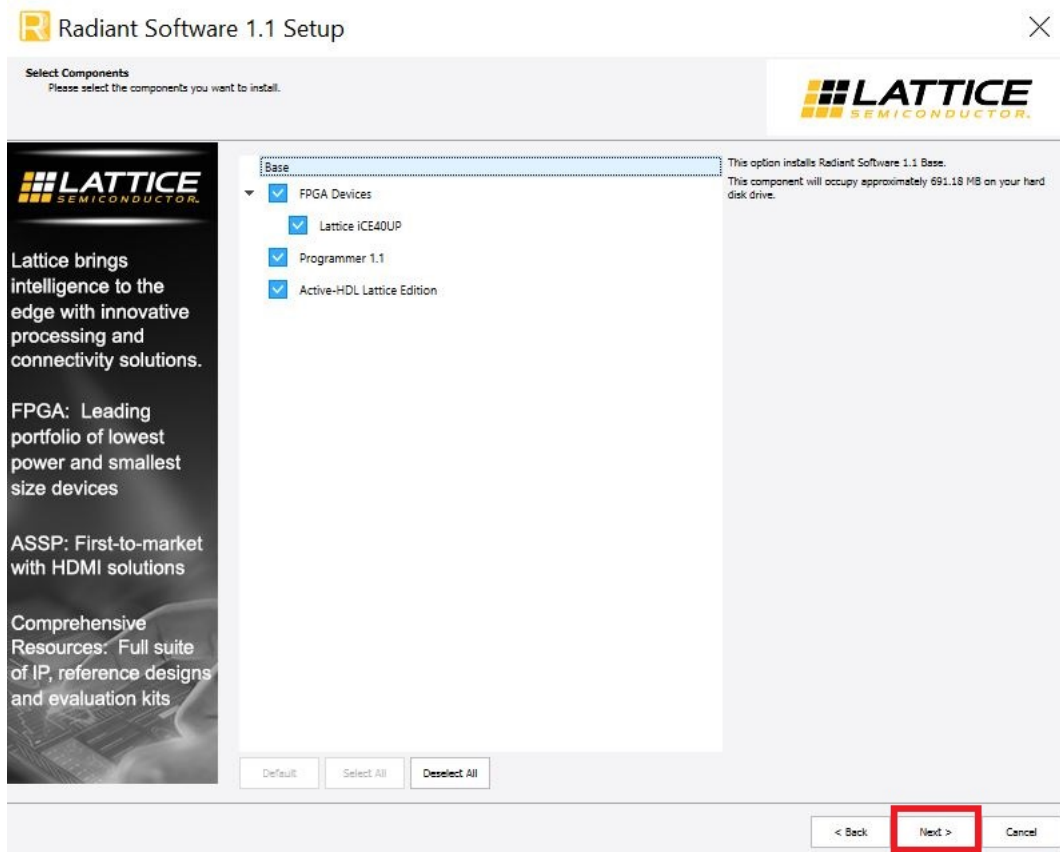


Figure 9: Instalación: captura 3

License Agreement

Please read the following license agreement. You must accept the terms contained in this agreement before continuing with the installation.




Lattice brings intelligence to the edge with innovative processing and connectivity solutions.

FPGA: Leading portfolio of lowest power and smallest size devices

ASSP: First-to-market with HDMI solutions

Comprehensive Resources: Full suite of IP, reference designs and evaluation kits

License Agreement

This is a legal agreement between you, the end user, and Lattice Semiconductor Corporation if you are an end user located in the United States or Lattice SG Pte. Ltd. if you are an end user located in a country other than the United States. By proceeding with the installation or use of the Software: (1) You acknowledge you have read this Agreement, you understand it, and you agree to be bound by the terms and conditions of this Agreement; and (2) You represent that you are not an employee, agent or otherwise affiliated with the following companies: Cadence Design Systems, Inc. or the Electronic Design Automation business group of Siemens AG. If you do not agree to the terms and conditions of this Agreement, do not use, download, or install the Software, and if you have already obtained the Software from an authorized source, promptly return the media package and all accompanying items (including written materials and binders or other containers) to the place you obtained them for a full refund of any applicable license fees.

Lattice Semiconductor Corporation or Lattice SG Pte. Ltd. ("Lattice") and the individual or entity acquiring the Software ("Licensee") agree as follows:

1. DEFINITIONS

"Software" means the computer program(s) in machine-readable form furnished to Licensee by Lattice, in whatever media and by whatever method, which are enabled for use pursuant to Lattice's software protection mechanism, and for which Licensee has paid any applicable license fees. Software includes any related update or upgrade programs that may be added from time to time.

2. SOFTWARE LICENSE

a. Lattice hereby grants to Licensee a non-exclusive, nontransferable license to use the Software for Licensee's internal purposes only on any computer possessed by Licensee on which the Software is designed to operate, such use to be in accordance with and subject to the terms and conditions of this Agreement.

b. Pursuant to this Agreement, Licensee may (i) physically transfer any Software from one computer to another provided that the Software is used on only one such computer at a time and (ii) use the Software and any output files generated by the Software for the sole purpose of designing and programming semiconductor components manufactured by or for Lattice and sold by Lattice or its authorized distributors ("Lattice Devices") and (iii) make one (1) copy of the Software for Licensee's own use solely for backup or archive purposes. Licensee may also merge the Software (or a portion thereof) into any other software to form an updated work; provided that, upon termination of Licensee's license, the Software shall be completely removed from the updated work and treated as if permission to merge had never been granted. The use of any portion of the Software included in any such updated work remains at all times subject to the terms and conditions of this Agreement.

c. Programmer Software License Terms. Notwithstanding Section 2b of this Agreement, Lattice grants to Licensee the right to use and distribute, as part of Licensee's systems, the Lattice Programmer Software (the "Programmer Software"), in compiled version, for the sole purpose of programming and reprogramming silicon devices supported by the Programmer Software. Notwithstanding the foregoing, any output files generated by the Software may only be used to program Lattice Devices. All intellectual property notices of Lattice and its partners included in the master copy of the Programmer Software shall be included in and upon any media or documentation distributed with any system that includes the Programmer Software. Provided that the above conditions are met, Licensee may make multiple copies of the Programmer Software for use on multiple computers. The Lattice Embedded Programming Software is subject to the terms and conditions of the license set forth in Exhibit A.

d. The Software can be used to create Modules. For purposes of this Agreement, a "Module" is one or more files that can be directly incorporated into a design being targeted to Lattice Devices and represents specific functions performed by Lattice Devices. Modules are provided in source code form and can be created through tools, including Lattice's Module/IP Manager software tool. Lattice hereby grants to Licensee a non-exclusive, nontransferable license to: (i) modify Modules for the sole purpose of designing and programming Lattice Devices; (ii) incorporate the Modules into Lattice Devices; and (iii) distribute the Modules in machine-executable form only for use with Lattice Devices. For purposes of clarity, Software as used throughout this Agreement includes Modules.

e. Third Party Components. Certain files or components distributed with the Software are licensed from third parties and subject to separate license terms, which are contained in the applicable release notes, source or header files or other corresponding documentation. Such third party components are licensed to Licensee exclusively pursuant to the terms of the separate applicable license agreement. Synplify and Synplify Pro are distributed pursuant to the terms and conditions of the Synopsys End-User Software License and Maintenance Agreement set forth in Exhibit B.

f. Licensee shall include Lattice's (and Lattice's suppliers', as applicable) copyrights, trademarks, and other proprietary notices on any copies and merged versions of the Software.

g. Licensee shall not distribute, copy, transfer, lend, incorporate, modify, or use the Software for any purpose except as expressly provided herein.

h. If Licensee fails to comply with the provisions of this Agreement, this license is automatically terminated.

- ☒ I accept the license.
- ☐ I do not accept the license.

< Back

Next >

Cancel

Figure 10: Instalación: captura 4

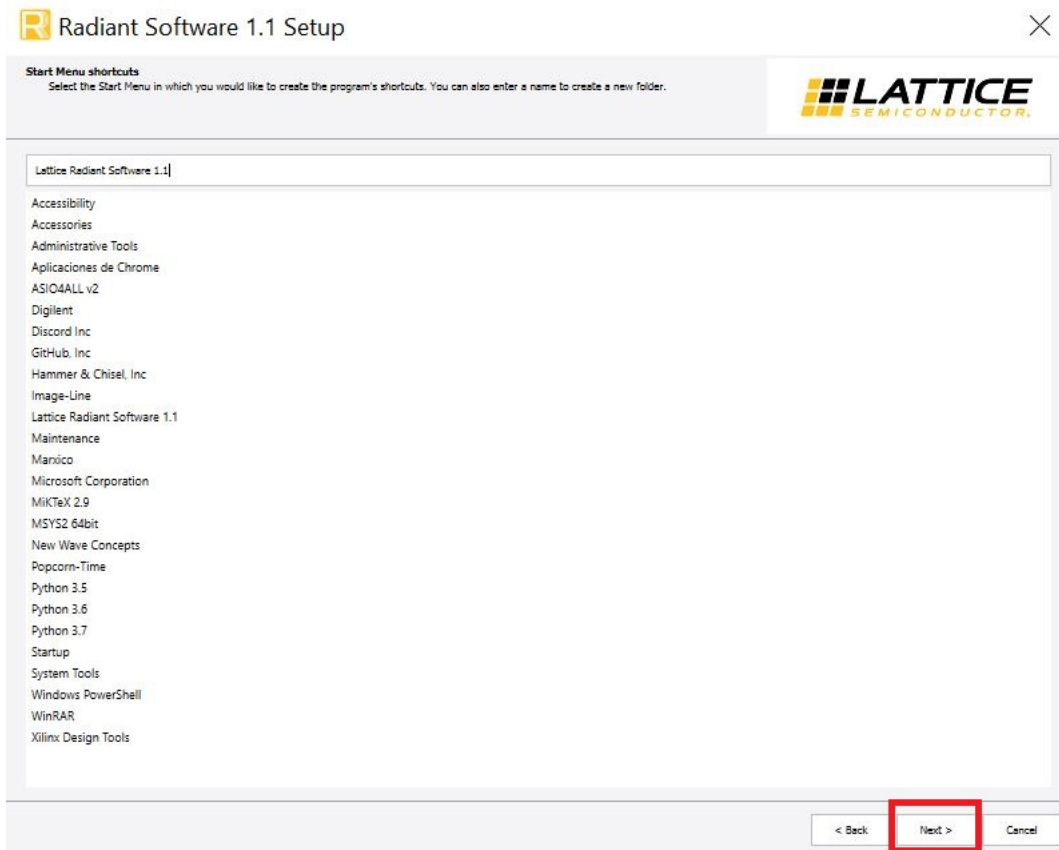


Figure 11: Instalación: captura 5

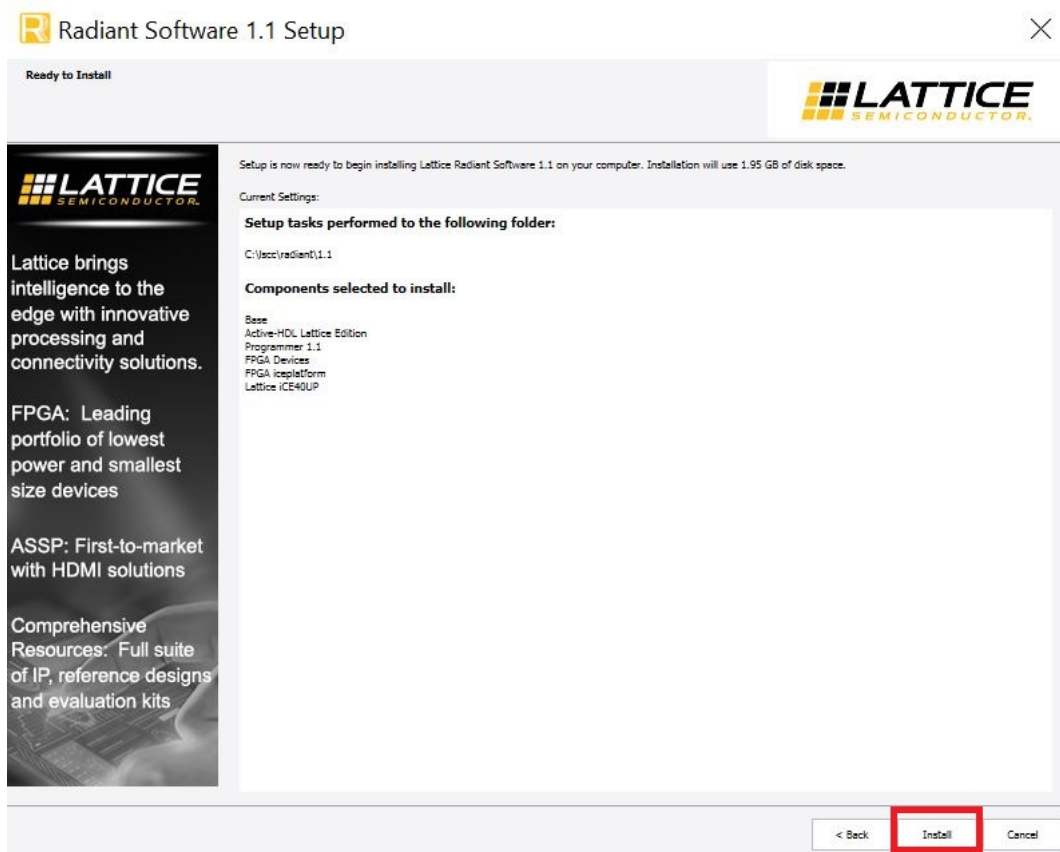


Figure 12: Instalación: captura 6

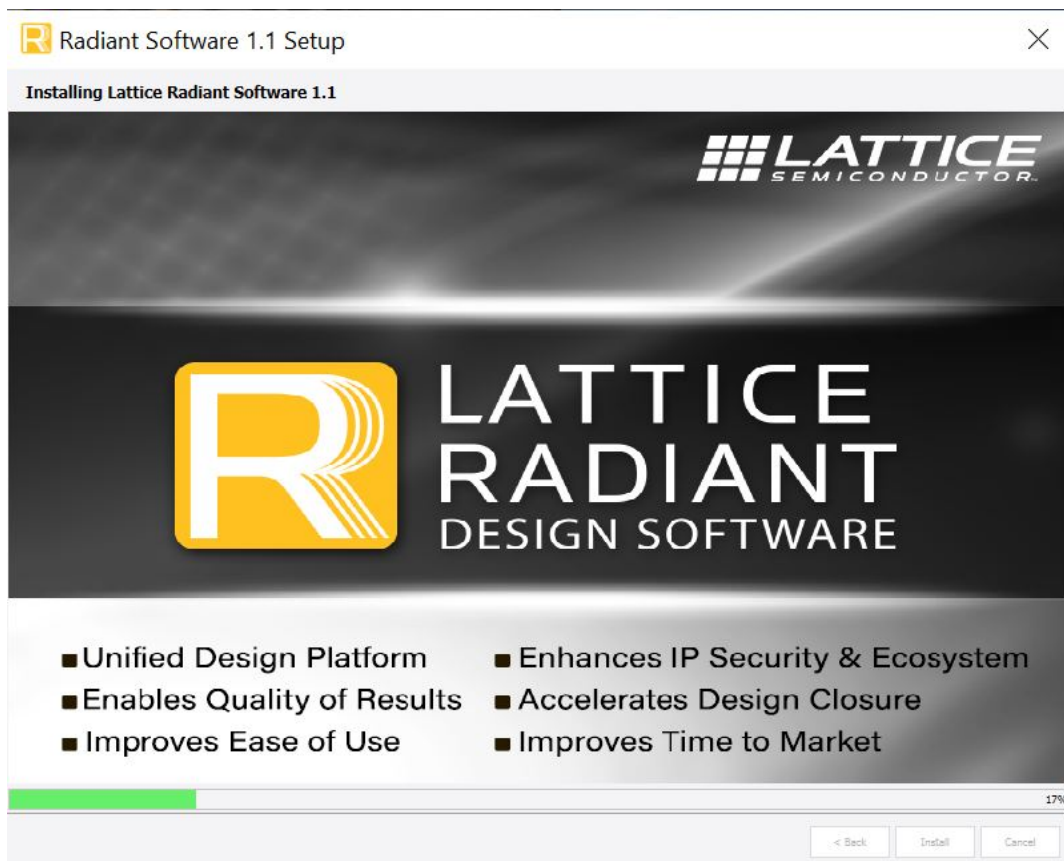


Figure 13: Instalación: captura 7

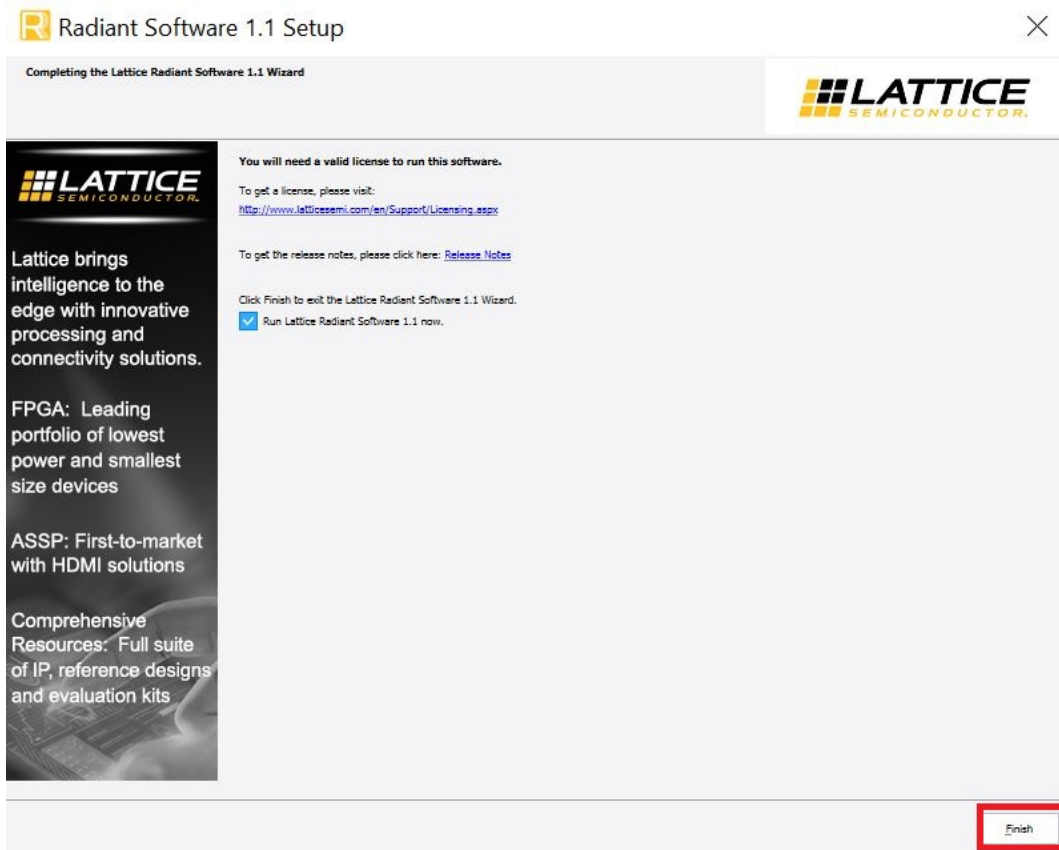


Figure 14: Instalación: captura 8

1.7 Licencia

Para tener una licencia, hay que generar una solicitud en <https://www.latticesemi.com/Support/Licensing>. En esa página, vamos la parte de Lattice Radiant Software y clickeamos en Request a Free License.

Lattice Radiant Software



Full featured, easy to use design tool for edge applications.

Lattice Radiant Software Free License

To request a license you will need the following:

- Physical MAC address (12-digit hexadecimal value)

[Request a Free License](#)

Figure 15: Guía de descarga: Paso 6

El proceso puede demorar 1 día así que hay que procurar no hacerlo a último momento.

2 Creación de un proyecto

Para crear un nuevo proyecto se debe abrir el programa recientemente instalado y elegir 'New Project'.

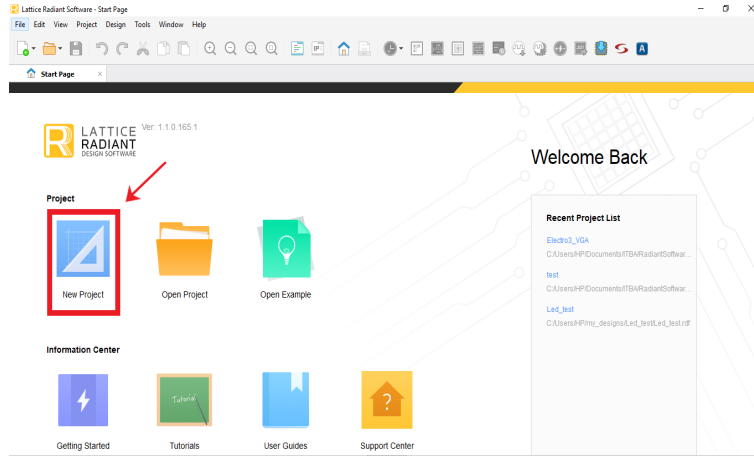


Figure 16: Opción para crear un nuevo proyecto

Luego de hacer click en New Project y en el botón de next, se debe elegir el nombre del proyecto y en que carpeta se desea guardar. Dejar el nombre bajo el campo de "Implementation" en su valor default y hacer click en next nuevamente. En la siguiente ventana se puede elegir agregar archivos al nuevo proyecto. En este paso se puede elegir agregar cualquier archivo de Verilog ya existente que sea necesario para el proyecto.

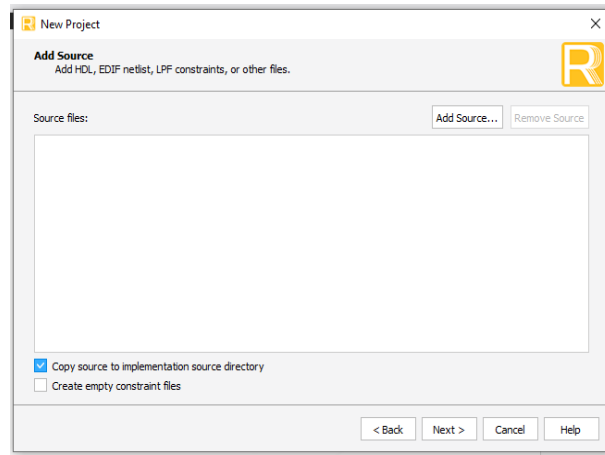


Figure 17: Ventana para agregar archivos ya existentes

Tildar las opciones como se indica en la figura anterior y hacer click en Next. En la siguiente ventana se indica el dispositivo a utilizar, completar las opciones igual que como se muestra en la siguiente figura:

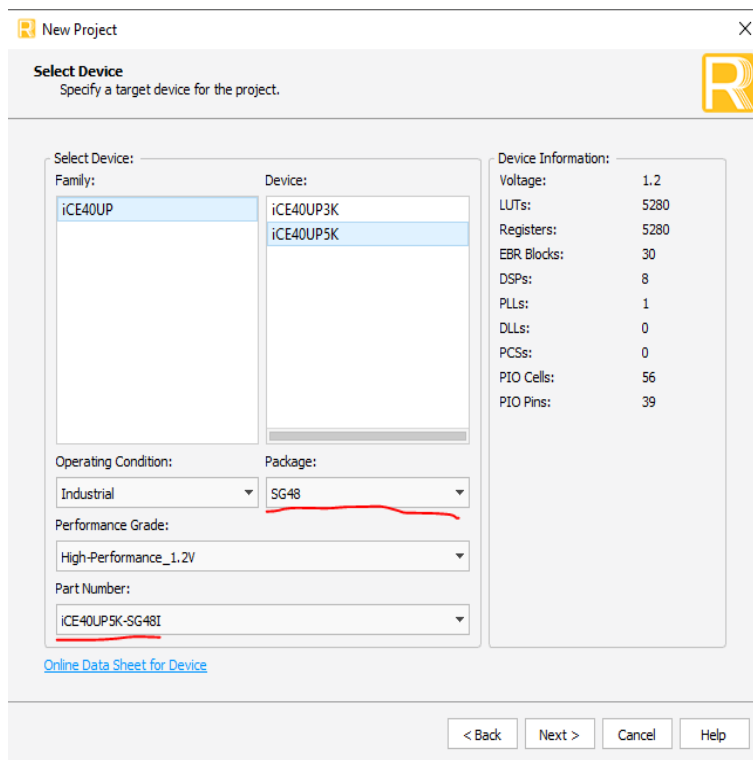


Figure 18: Prestar especial atención a que el campo de 'Package' y 'Part Number' coincidan con el de la imagen

Clicar Next nuevamente, elegir la opción 'Lattice LSE' en la siguiente ventana, elegir next una vez mas y luego Finish.

2.1 Módulos de Verilog

Se pueden crear/agregar archivos de Verilog al proyecto seleccionando 'File' arriba a la izquierda y luego 'New' para crear un archivo o 'Add' para agregar uno ya existente.

Los archivos de Verilog del proyecto se pueden ver dentro de la carpeta llamada 'Input files'

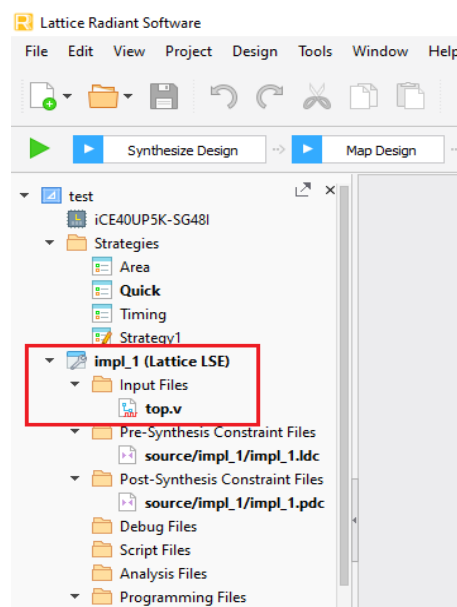


Figure 19: Ubicación de los proyectos de Verilog

2.2 Clocks y timing constraints

La FPGA utilizada tiene asociado un clock de 12MHz al pin 35 de la misma. Si se desea instanciar un clock de una frecuencia distinta se puede utilizar un modulo de Verilog que funcione para generar clocks mas lentos a partir del de 12MHz o también es posible utilizar primitivas del Radiant. La FPGA utilizada tiene un oscilador interno de 48MHz el cual puede ser utilizado como clock de 6MHz, 12MHz, 24MHz o 48MHz mediante la primitiva llamada 'HSOSC'.

```
HSOSC inst2(  
    .CLKHFPU(1'b1),  
    .CLKHFEN(1'b1),  
    .CLKHF(clk)  
);  
defparam inst2.CLKHF_DIV = "0b00";
```

Figure 20: Código de ejemplo de como utilizar la primitiva que utiliza el oscilador interno de 48MHz

El código anterior debe escribirse en el modulo en el que se define el wire 'clk' que se pasa como parámetro al puerto CLKHF. El parámetro CLKHF_DIV que se define luego de instanciar la primitiva, es el que define la frecuencia del clock a utilizar. Las cuatro opciones para dicho parámetro son:

- CLKHF_DIV = "0b00" (Clock de 48MHz)
- CLKHF_DIV = "0b01" (Clock de 24MHz)
- CLKHF_DIV = "0b10" (Clock de 12MHz)
- CLKHF_DIV = "0b11" (Clock de 6MHz)

Es necesario informarle al sintetizador la frecuencia del clock a utilizar, para ello se debe utilizar el 'Timing Constraint Editor'.

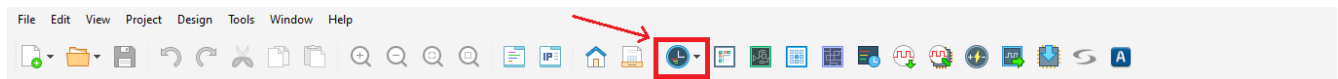


Figure 21: Ubicación del 'Timing constraint editor'

Una vez en la ventana del editor se debe seleccionar la señal utilizada como clock y elegir la frecuencia deseada para el mismo.

Pre-Synthesis Timing Constraint Editor					
Disable	Object Clock	Clock Name	Waveform (ns)	Period (ns)	Frequency (MHz)
<input type="checkbox"/>	get_ports clk	clk		83.333	12

Figure 22: Ejemplo en el que se utiliza un clock de 12MHz en la señal 'clk'

Es recomendable utilizar directamente el clock de 12MHz asignado al pin 35 de la FPGA.

3 Simulación

Para realizar la simulación del proyecto se debe verificar que todos los archivos de Verilog estén incluidos para la simulación.

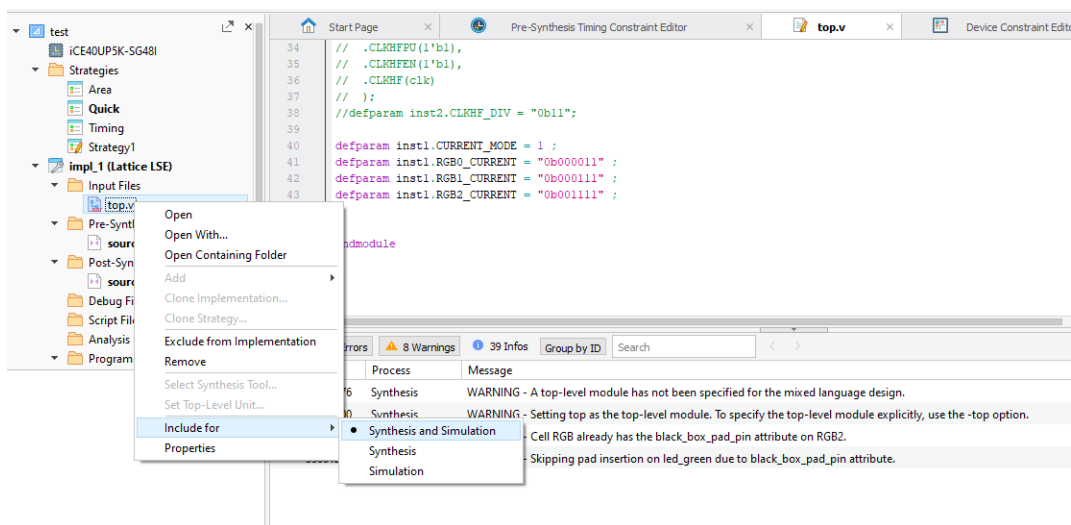


Figure 23: Como incluir un archivo a la simulacion

Luego se debe abrir el 'Simulation Wizard' en la parte superior del Radiant

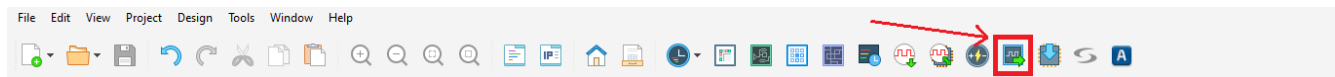


Figure 24: Ubicacion del simulation wizard

y crear un proyecto de simulacion.

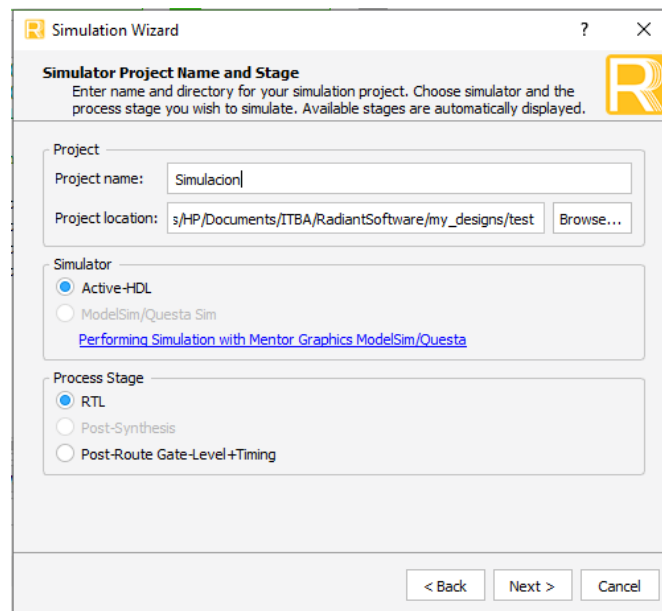
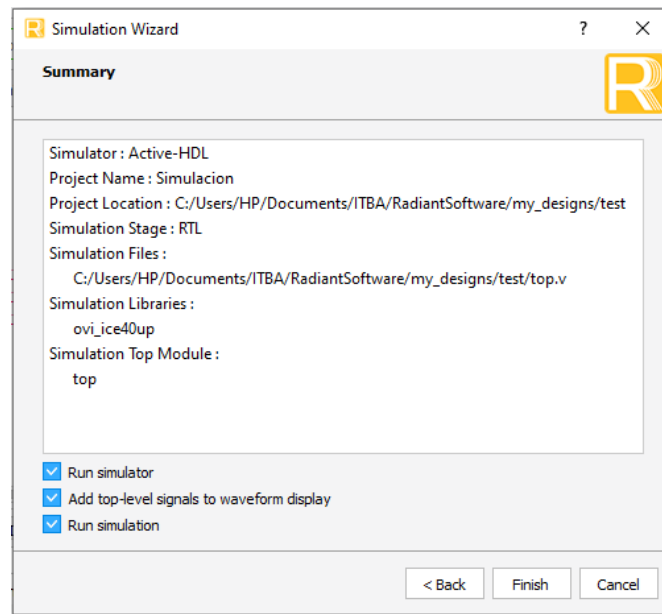


Figure 25: Elegir en donde guardar los archivos de simulacion y elegir las opciones como se muestra en la imagen

Seleccionar Next hasta llegar a la siguiente ventana y asegurarse que todas las opciones esten elegidas:



4 Asignación de pins

Para asignar que pin de la FPGA corresponde a que entrada y salida del modulo de Verilog, se debe ir al 'Device Constraint Editor'.

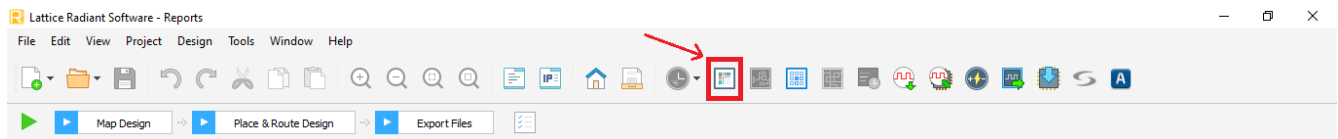


Figure 26: Ubicación del Device Constraint Editor en el Radiant

Una vez abierto el Device Constraint Editor se vera algo similar a lo observado en la siguiente figura:

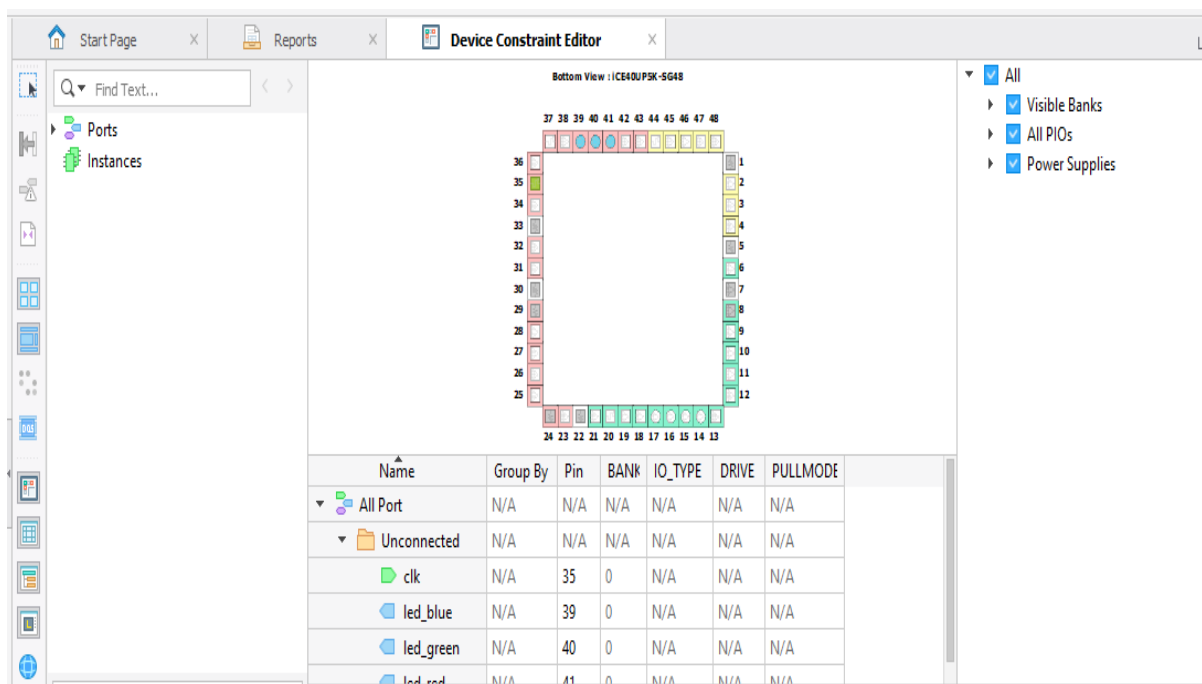


Figure 27: Vista de las señales de Verilog y sus pins correspondientes

En esta ventana se puede cambiar que pin corresponde a una señal del modulo de Verilog mas alto en la jerarquía. Para realizar cambios solo hace falta hacer click en el campo de 'pin' correspondiente a una señal dada y cambiar el valor numérico. Antes del nombre de cada señal hay una flecha con una dirección y color determinado que indica si la señal es de input o de output.

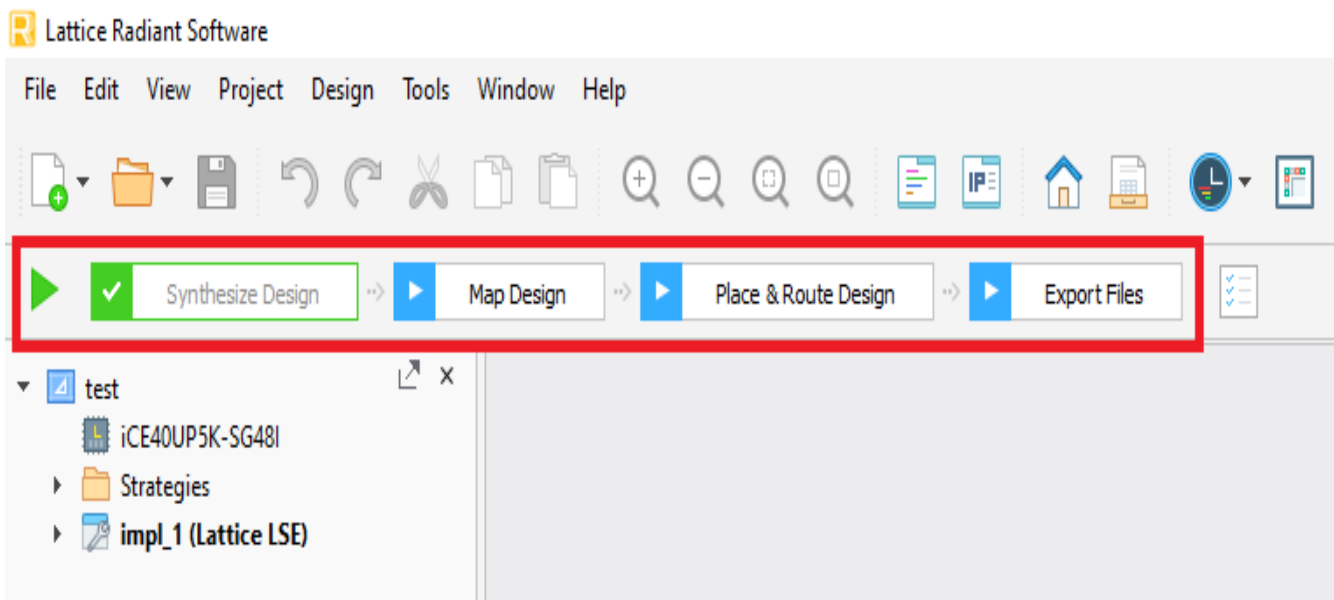
Hay que tener especial cuidado de asignar pins validos para las señales (utilizar los pins I/O). A continuación se presentan algunas tablas con la función de algunos pins de la FPGA que utiliza la cátedra (ICE40-UP5K).

Side Pins		
Board Pin #	FPGA Pin #	Signal Name
1	20	IOB 25B G3
2	21	IOB 23B
3	23	IOT 37A
4	25	IOT 36B
5	26	IOT 39A
6	27	IOT 38B
7	31	IOT 42B
8	32	IOT 43A
9	34	IOT 44B
10	36	IOT 48B
11	37	IOT 45A G1
12	-	GND
13	2	IOB 6A
14	6	IOB 13B
15	9	IOB 16A
16	10	IOB 18A
17	11	IOB 20A
18	12	IOB 22A
19	13	IOB 24A
20	18	IOB 31B
21	19	IOB 29B
22	-	3.3V
23	-	GND
24	-	RAW VCC

Front Pins		
Board Pin #	FPGA Pin #	Signal Name
1	4	IOB 8A
2	3	IOB 9B
3	47	IOB 2A
4	44	IOB 3B G6
5	-	GND
6	-	3.3V
7	48	IOB 4A
8	45	IOB 5B
9	38	IOT 50B
10	42	IOT 51A
11	-	GND
12	-	3.3V

5 Compilación,síntesis y programador

Para cargar el programa en Verilog a la FPGA se deben seguir los pasos de síntesis, mapeo, ruteo y exportación que aparecen arriba de la ventana de archivos.



Se puede realizar cada uno de dichos pasos uno por vez o se puede elegir realizar todos clickeando el símbolo

verde de play a la izquierda. Ya en el proceso de síntesis el compilador detectara posibles errores de sintaxis en el código de Verilog así como también los warnings.

Si se desea ver en detalle los resultados de cada paso se puede ir a 'view' en la parte de arriba y luego seleccionar reports.

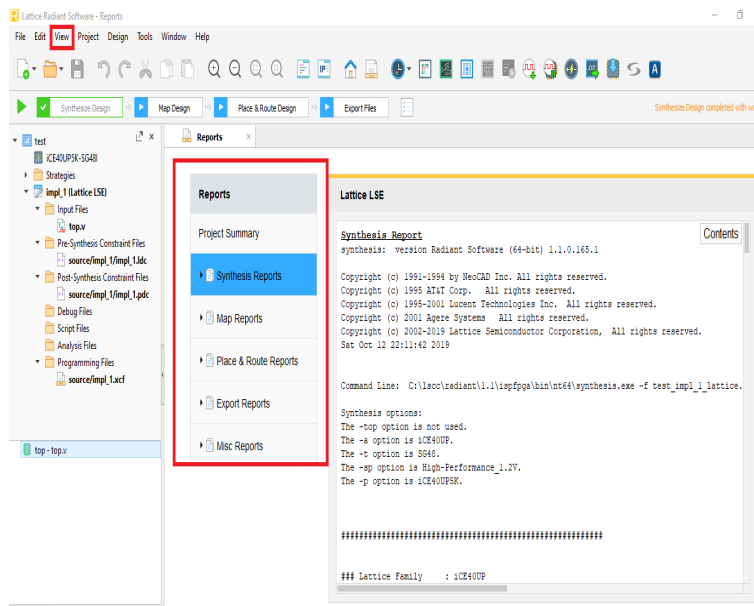


Figure 28: Ventana con los reportes con cada uno de los pasos efectuados

Una vez que se consiguieron exitosamente los archivos de salida solo queda cargar los mismos a la FPGA. Para este paso se requiere primero conectar la FPGA a la computadora mediante un cable USB a Micro USB. Luego de conectar la FPGA se debe abrir el programmer el cual esta ubicado en la parte superior derecha del lattice como se indica en la siguiente figura.

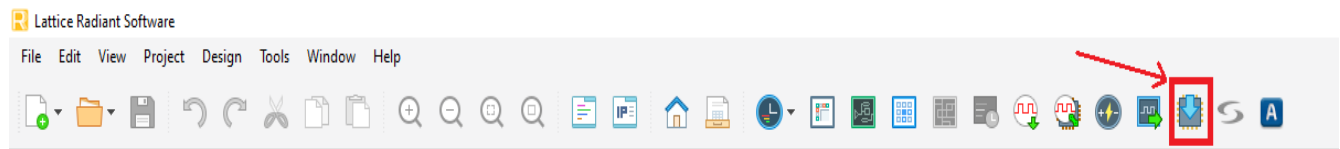


Figure 29: Ubicación del programmer

Al abrir el programmer con la FPGA ya conectada debería verse algo similar a la siguiente figura:

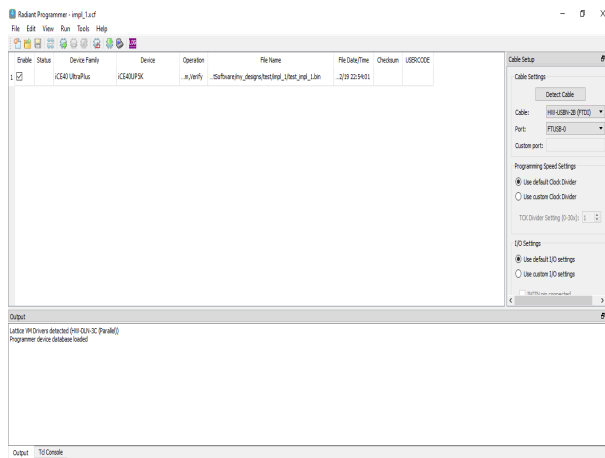
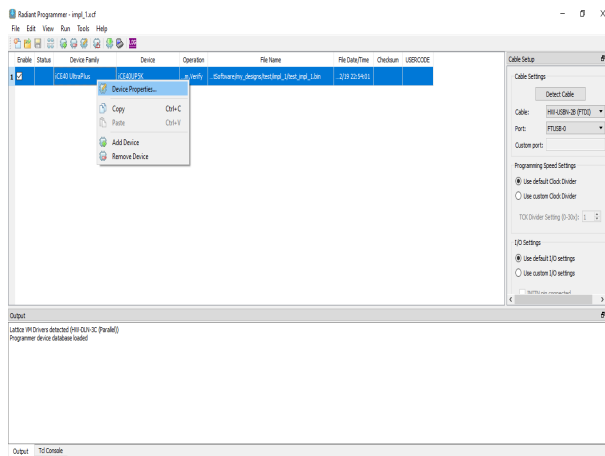


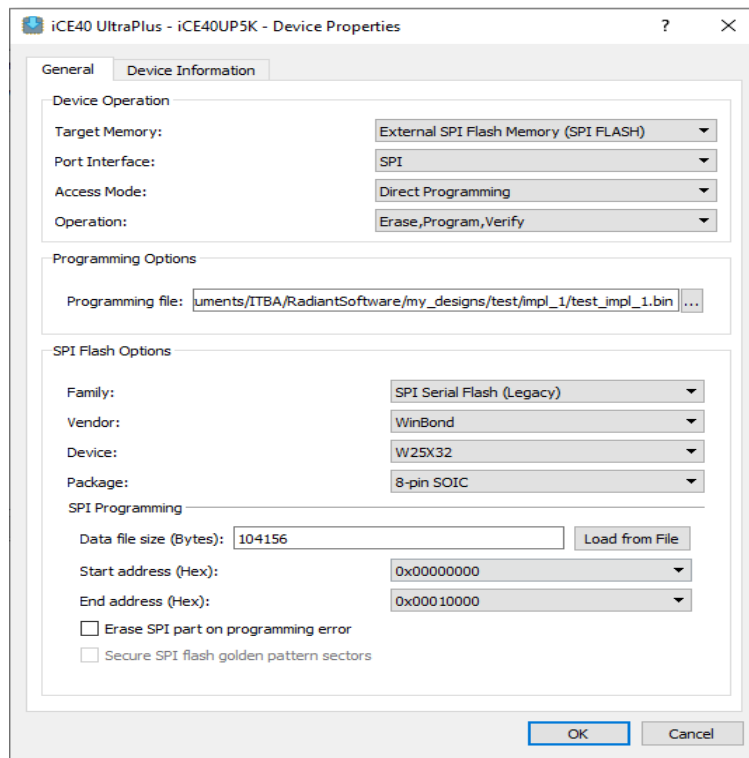
Figure 30: Ventana luego de abrir el programmer

Como se puede ver en la figura anterior debería aparecer listada la FPGA que se conecto a la PC. Se puede seleccionar la opción 'Detect Cable' a la derecha para verificar que la computadora reconoció exitosamente la FPGA. Si se tiene problemas con este paso se puede intentar esperar un poco y luego volver a intentar con 'Detect Cable', si esto no funciona se puede probar conectando la FPGA a otro puerto USB de la PC. Por si acaso siempre es mejor conectar y desconectar la FPGA con el programador cerrado y luego volver a abrirlo.

Ahora solo quedo configurar la FPGA. Para eso se debe seleccionar el dispositivo, luego edit y de ahí Device Properties.



Configurar la ventana igual que como se muestra en la siguiente figura:



Para el programming file elegir el archivo con la extension '.bin' resultante de la exportación que se realizo antes de abrir el programmer.Finalmente solo queda subir el .bin a la FPGA seleccionando la opción 'Program Device' que aparece en la barra de arriba.

