Crear componentes VHDL

MI Elizabeth Fonseca Chávez 2014

Código VHDL

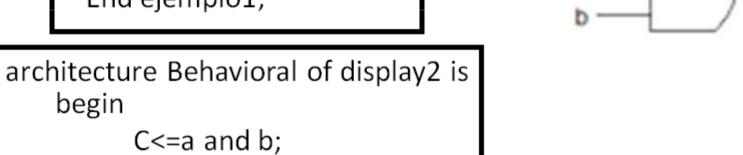
```
Entity ejemplo1 IS

port (a,b: in std_logic;

c: out std_logic);

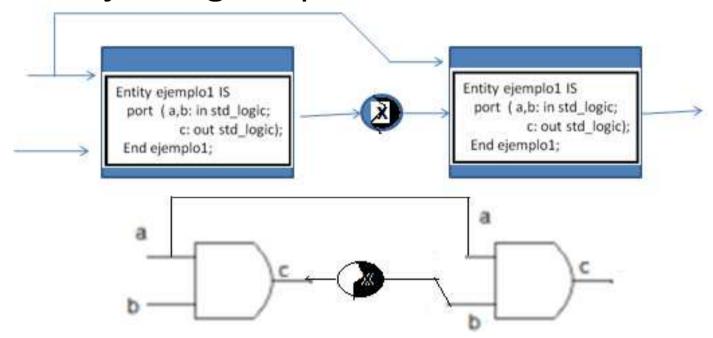
End ejemplo1;
```

end Behavioral;



Componentes

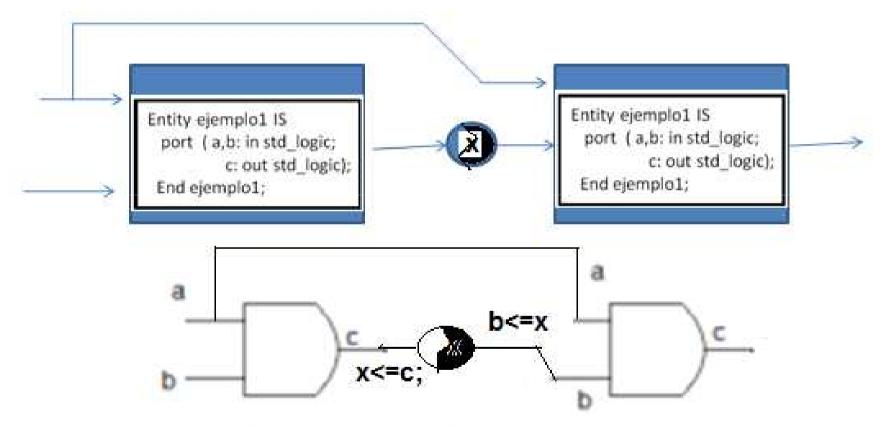
Son cajas negras que vamos a conectar



Son comúnmente usados para reutilizar circuitos.

Por ejemplo aquí. Tenemos dos bloques idénticos, lo interno solo contiene un elemento (solo sirve para comprender como armar bloques)

SE CONECTAN MEDIANTE CONECTORES declarados como : SIGNALS Signal conector std_logic;

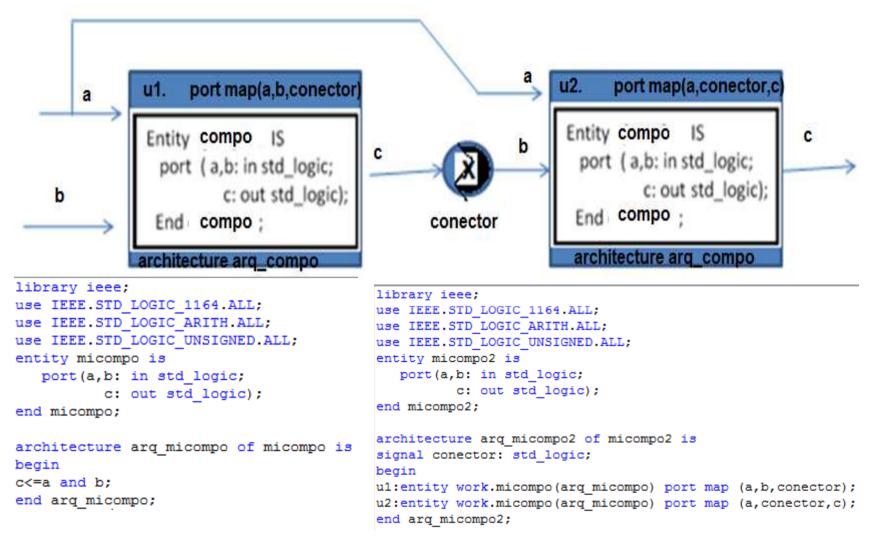


x se creara de tipo signal

Ejemplo1

1sp2/quartus/cyclone/micompo.vhd 🗵 📗 🕸 ../91sp2/quartus/cyclone/micompo2.vhd 🖣 😘 🚮 | 🏥 🚎 | 🔥 🌤 🏂 🥦 💆 | 🗓 🚾 | № | 267 ab/ | library ieee; use IEEE.STD LOGIC 1164.ALL; use IEEE.STD LOGIC ARITH.ALL; use IEEE STD LOGIC UNSIGNED ALL: Pentity micompo is port(a,b: in std logic; c: out std logic); end micompo: —architecture arg micompo of micompo is -begin c<=a and b: Lend arg micompo;

- 1. Cree un proyecto llamado: micompo
- 2. Con VHDL del mismo nombre
- 3. Verifico sintaxis
- 4. Copio la entidad que la reutilizare, verifico el nombre de mi arquiectura



Compilo el de mas alto de jerarquía, aquí se llama micompo2. y listo en ALTERA En xilinx debes asociar el archivo compo a compo2 en proyecto, ->sources, mouse derecho, escoger "add source", ahí escogemos mi compo y compilamos.

FIN

