

2023 Digital IC Design Homework 2

NAME	莫寶琳
Student ID	F64081169
Functional Simulation Result	
Score	100
<pre> # Pattern87: Expect= 1 Get= 1, PASS # # Pattern88: Expect= 0 Get= 0, PASS # # Pattern89: Expect= 1 Get= 1, PASS # # Pattern90: Expect= 1 Get= 1, PASS # # Pattern91: Expect= 1 Get= 1, PASS # # Pattern92: Expect= 1 Get= 1, PASS # # Pattern93: Expect= 1 Get= 1, PASS # # Pattern94: Expect= 1 Get= 1, PASS # # Pattern95: Expect= 0 Get= 0, PASS # # Pattern96: Expect= 0 Get= 0, PASS # # Pattern97: Expect= 1 Get= 1, PASS # # Pattern98: Expect= 1 Get= 1, PASS # # Pattern99: Expect= 1 Get= 1, PASS # # ----- # ---- Simulation finish, ALL PASS, Score = 100 ---- # ----- # ** Note: \$finish : C:/Users/user/Desktop/dic/hw2/file/tb.v(139) # Time: 39750 ns Iteration: 1 Instance: /testfixture # 1 # Break in Module testfixture at C:/Users/user/Desktop/dic/hw2/file/tb.v line 139 </pre>	
Description of your design	
<p>Rails module 接受三個 input signals clk , reset , data 和兩個 output signal valid result 。</p> <p>我宣告 trains 為 10*10bits 的 array 和變數 top 來模擬 stack , numsofTrain 代表此次共有幾台列車 , cnt 代表處理到該次第幾筆 data , current 則是處理目前是第幾台車要進 stack 。</p> <p>電路演算法如下:always@(posedge clk or reset)是正緣觸發 clk , 當 reset==1 時將所有數值初始化。當 reset==0 時, 我分成兩種狀況, 第一種是有 data 輸入時, 另一種是沒有 data 輸入時。因為 data 是連續 clk 輸入, 所以在沒有 data 輸入時我初始化全部的變數; 當 data 有輸入時, 我以 cnt 來判斷目前處理到第幾筆資料。</p>	

我簡單介紹有 data 輸入時我怎麼操作 stack:

Cnt==0 時會讀第一筆 data 並賦值給 numsOfTrain 紀錄這次總共有幾台車。

接下來當 cnt<numsOfTrain 會依序讀入 data 並對 stack 操作，我用 current 記錄目前放入 stack 的數字，如果讀入的 data 大於 current 就將小於等於 data 的車依序放入 stack，再將 data 的車 pop 出來，如果讀入的 data 小於等於 current，要判斷最上面那台車是否為 data，如果是的話 pop 出來，不是的話要將 flag 設定為 1，代表這次輸入不符合進出站規則。

最後 cnt==numsOfTrain 時，依據 flag 來決定輸出，並把 valid 設成 1。