

COMPTE RENDU PARTIE 4(addition-soustraction) : réalisé par Fall El hadji GROUPE 4B

le but du TP :

l'objectif est d'implanter un additionneur soustracteur étape par étape .

Manipulation

1) demi-additionneur :

après avoir créer un projet sur quartus en description schématique on doit câbler un demi additionneur avec les équation logique venue de la table de vérité de ce dernier ^{figure 1}, et il s'agit un schéma qui peut effectuer une addition entre A et B donnés en entré pour sortir S le résultat et R la retenue

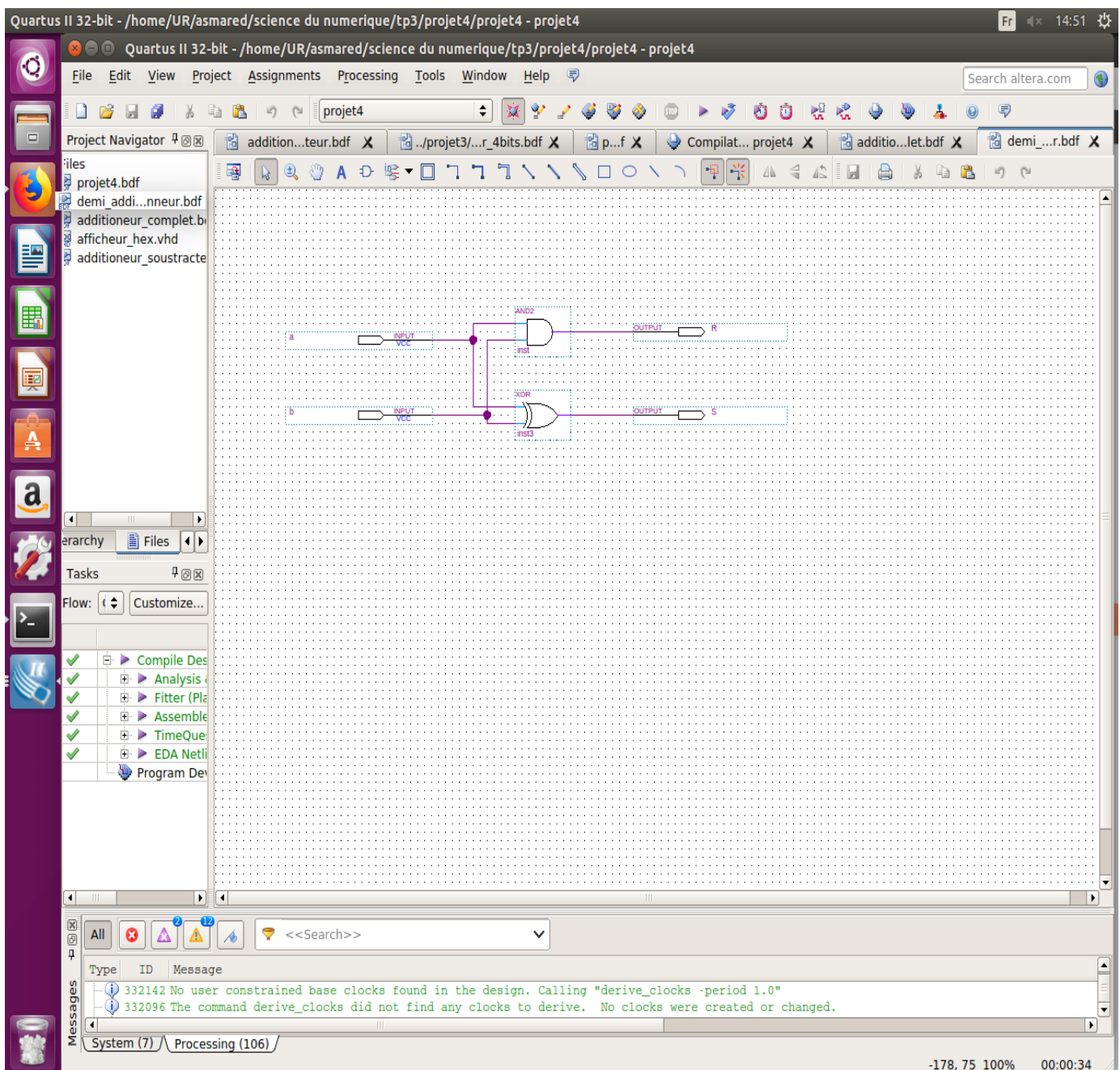


figure 1

2) additionneur complet figure 2:

après avoir crée un nouveau projet avec une description schématique et aussi enregistré le demi additionneur en étant un symbole pour pouvoir l'utiliser on doit câbler un additionneur complet.

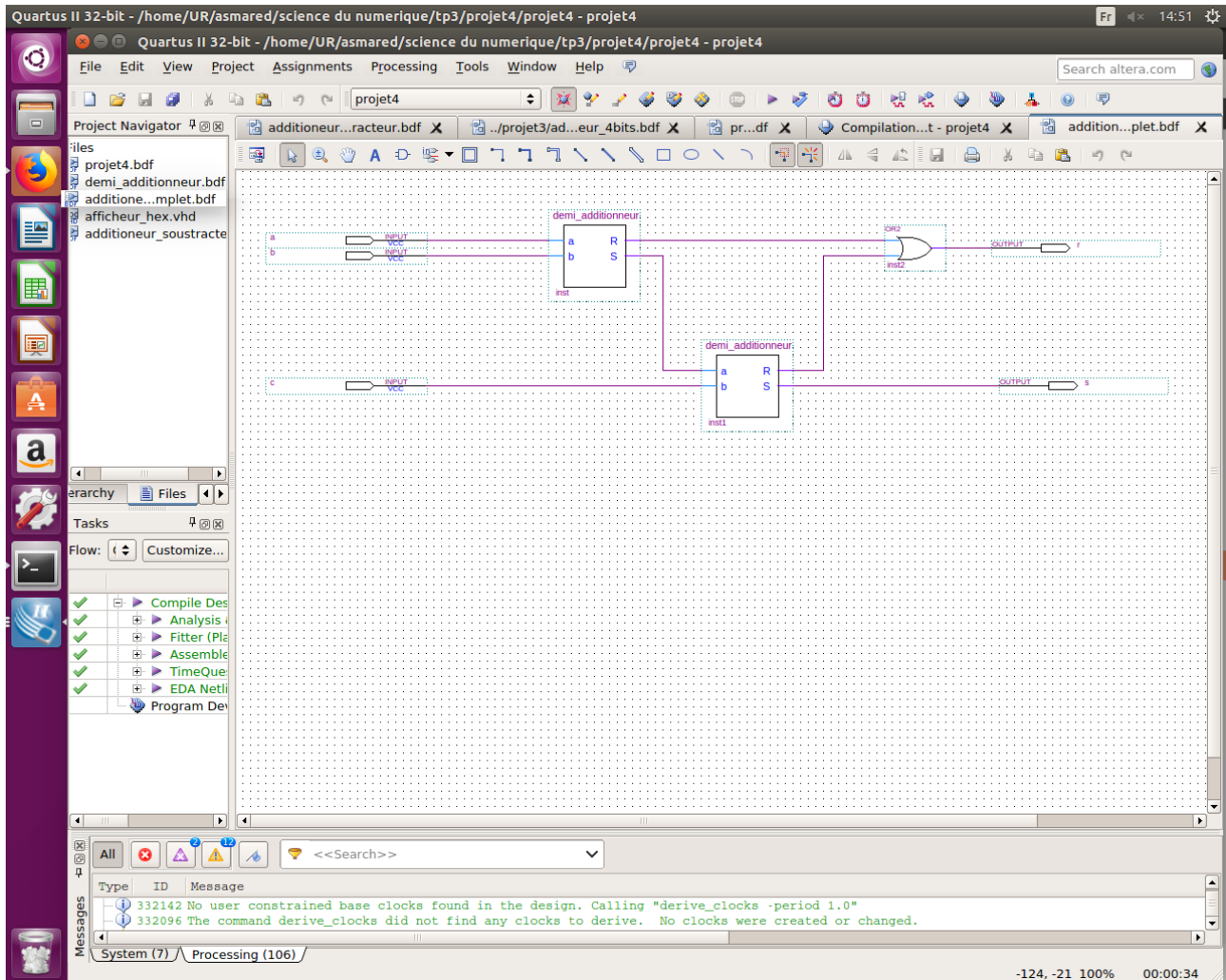


figure 2

on peut également implanter le même additionneur mais en utilisant la programmation en VHDL et les équations obtenue dans la 3éme question du travail préliminaire nous permet de la faire ainsi:

figure3

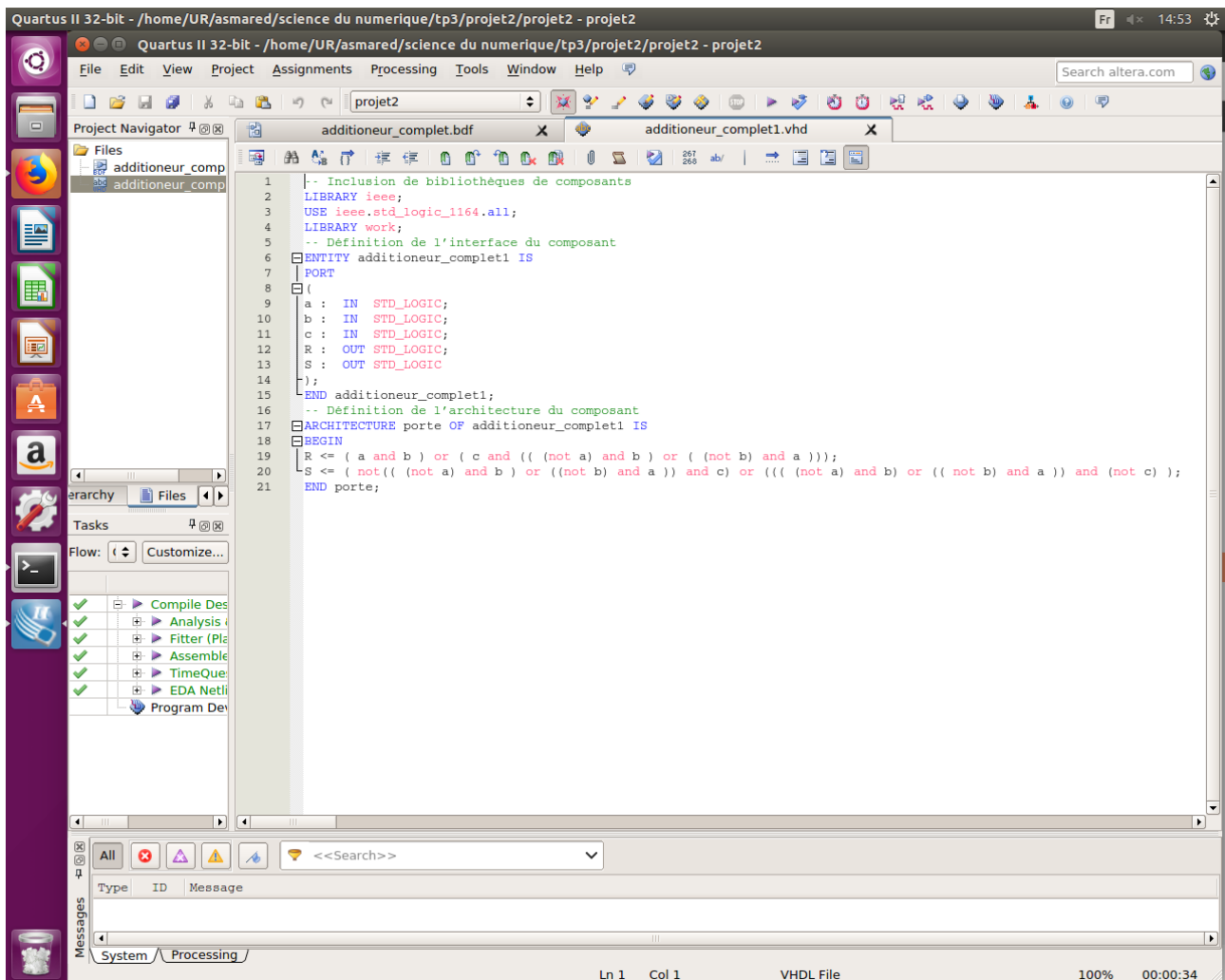


figure 3

remarque : vérification en utilisant une simulation.

3) addition n bits a propagation de retenue :

jusqu'à maintenant on a juste un additionneur qui nous fait 0+1 ou 1+0 mais le but est de construire un additionneur qui nous permet de faire des addition sur 4 bits par exemple 1000 + 1100 et c'est ce que on appel un additionneur 4 bits ^{figure 4} pour cela il ne faut 4 additionneur complet donc on a besoin d'enregistrer le premier additionneur comme symbole .

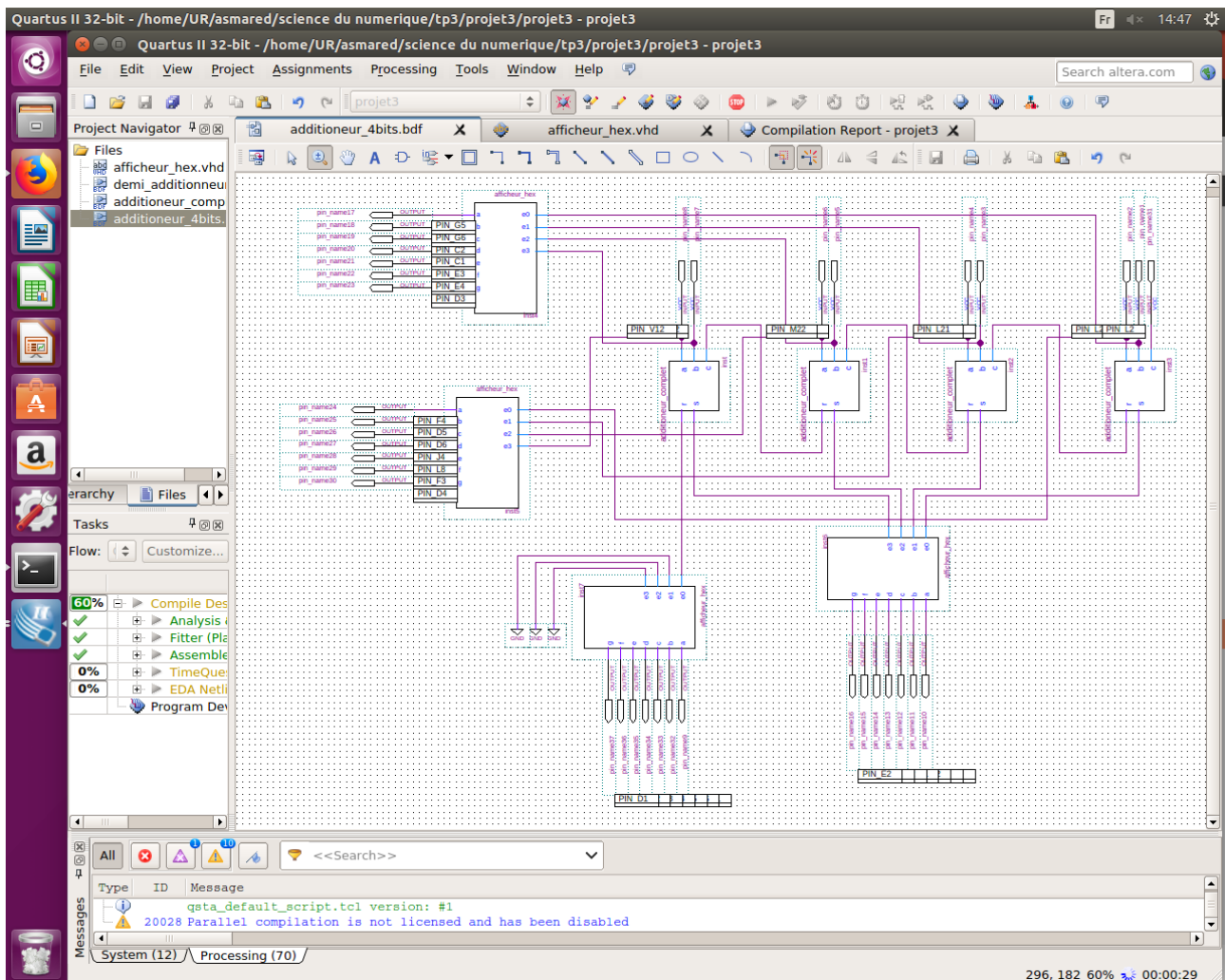


Figure 4

afin de vérifier le fonctionnement de cet additionneur on doit l'essayer avec le kit altera DE1 ,pour cela on a besoin de relier les entrée $A_0...A_3$ et $B_0...B_3$ et aussi les sortie $S_0...S_3$ et la retenue finale R_{sortie} a 4 afficheur 7 segments différents ce qu'il est la raison de la présence des afficheur 7 segment s dans mon schéma , LE 4éme afficheur qui sera relié a R_{sortie} est due a un problème lors de l'affichage car il y'aura un débordement ou un dépassement de capacité car les addition sur 4 bits peuvent donner en résultat des mots sur 5 bits par exemple ,donc on doit relié la dernier retenue sortante a un afficheur et mettre les autre entrée a 0 grâce a GND^{figure 5} .

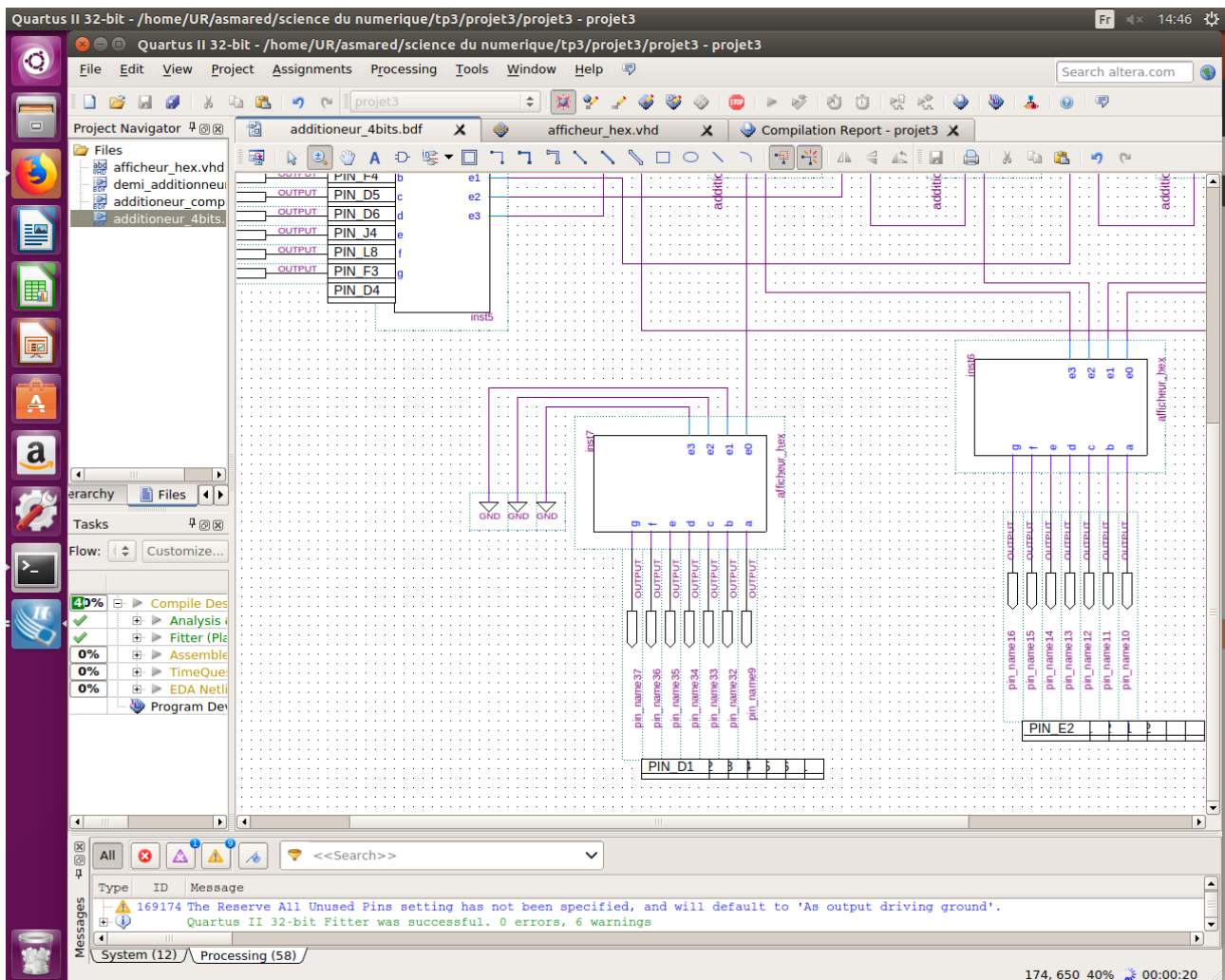


figure 5

4) additionneur-soustracteur :

la soustraction n'est rien qu'une addition prenons par exemple $A-B$ il n'est rien que $A+(-B)$ donc c'est $1+A+C(B)$ ($C(B)$ est B barre).donc il suffit de mettre la retenue entrante a 1 et d'inverser les 2ème opérande pour obtenir un soustracteur ^{figure 6}.

conclusion :

finalement on doit essayer le schéma finale avec le kit altera DE1 pour vérifier le fonctionnement de ce dernier .

