

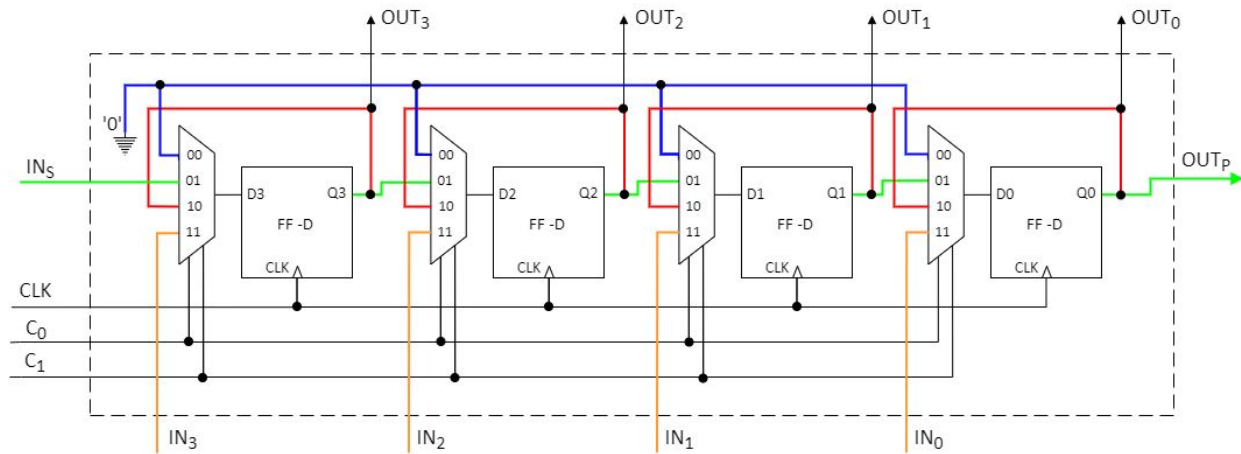
PRÁCTICO 5 - Circuitos Secuenciales

Ejercicio 5:

Diseñar un Shift Register de 4 bits (con entradas y salidas de datos en serie y paralelo) con dos señales de control C_1 y C_0 tales que:

- Si $C_1C_0 = "00"$, el registro pone todas sus salidas a cero (reset).
- Si $C_1C_0 = "01"$, el registro desplaza 1 bit a la derecha.
- Si $C_1C_0 = "10"$, el registro mantiene la información.
- Si $C_1C_0 = "11"$, el registro carga información por su entrada en paralelo.

Si se analiza el registro a implementar como una caja negra (de la línea de puntos hacia afuera, en el diagrama de la figura), se requieren 4 entradas en paralelo ($IN_3..IN_0$), 4 salidas en paralelo ($OUT_3..OUT_0$), una entrada serie (IN_S), una salida en paralelo (OUT_P). Además, será necesaria una entrada de reloj (CLK) para sincronizar los Flip Flop y dos entradas de control (C_1 , C_0).



Como en todo diseño de un registro configurable, se deben colocar multiplexores a la entrada de cada flip-flop a fin de seleccionar el origen de la señal a registrar en cada flanco ascendente del CLK. En este caso particular, es necesario contar con MUX de 4 entradas y dos señales de control las cuales serán comandadas por C_0 y C_1 de la siguiente forma:

- Si $C_1C_0 = "00"$, el registro debe registrar en todas sus salidas el valor '0'. Por esto se conecta todas las entradas de los MUX "00" (conexión azul de la figura) al valor más bajo de potencial, el cual representa el valor "0" lógico.
- Si $C_1C_0 = "01"$, el registro debe desplazar un bit a la derecha, esto quiere decir que cada flip-flop debe registrar la información contenida a la salida del flip-flop de su derecha. Esto se logra por medio de las conexiones en color verde de la figura.
- Si $C_1C_0 = "10"$, el registro debe mantener la información actualmente registrada. Para que esto ocurra, es necesario realimentar el valor actualmente almacenado en la salida de cada flip-flop a su respectiva entrada (Ver conexionado en rojo).

ATENCIÓN: Es posible que intuitivamente creas que este caso se puede implementar evitando que el flip-flop reciba la señal de CLK. Es importante saber que la señal de

CLK no se debe intervenir ni alterar por razones de diseño en la implementación circuital.

- *Finalmente, si $C_1C_0 = "11"$, el registro debe cargar información de su entrada en paralelo. De allí, que las entradas "11" de todos los MUX se conectan a las señales $IN_{0..3}$ respectivamente (Conexiones color naranja del diagrama).*