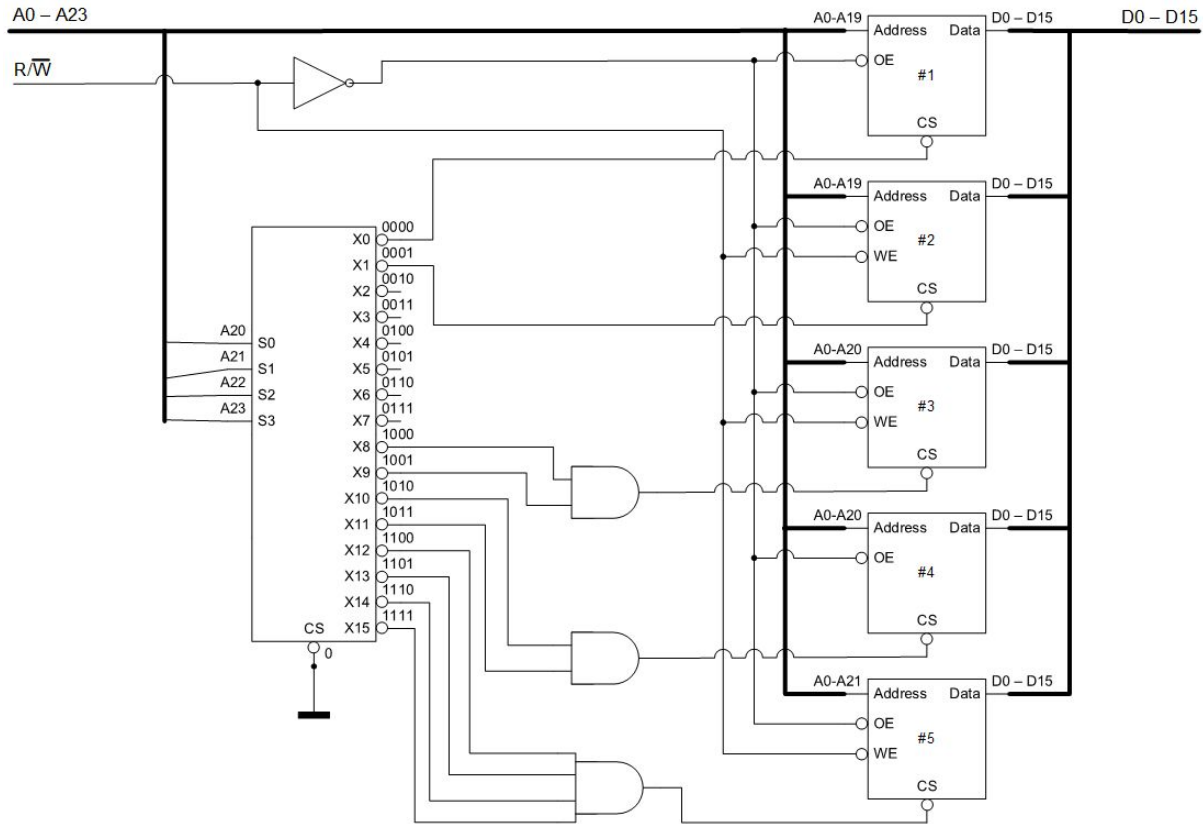


PRÁCTICO 4 - Direccionamiento y Lógica de Decodificación de Memorias**Ejercicio 6:**

Basados en el sistema de memoria mostrado en la figura.



Se pide:

- Calcular el máximo espacio direccionable por el procesador expresado en palabras de 16 bits.
- Desarrollar el mapa de direcciones implementado indicando el inicio y final de cada bloque de memoria.
- Indicar en qué bloque se encuentran las siguientes direcciones:
 - 0x0654321
 - 0x0ABCDEF
 - 0x0FEDCBA
 - 0x0123456
 - 0x2000000
- Diseñar con compuertas lógicas un circuito que proporcione un "1" a la salida cuando la dirección generada por el procesador no esté en el mapa de memoria implementado.
- ¿Esta implementación genera posiciones imagen de algún bloque de memoria?, ¿Por qué?

Respuesta

A) Dado que existen 24 bits de address: A0 - A23. El procesador puede direccionar como máximo 2^{24} palabras = 16 Mega palabras. Como las salidas de los chips son D0 a D15, el ancho de la palabra es de 16 bits. Por lo tanto, la capacidad máxima de almacenamiento del sistema es 16 M x 16 bits.

B) Tanto la salida del decodificador como el *chip select* de las memoria son activos por bajo, esto se indica mediante el círculo que hay en el pin de salida del decodificador y en el pin de entrada del chip select de las memorias. Esto implica que, por ejemplo, cuando los address A23, A22, A21 y A20 sean cero, se activará la salida X0. Es decir, habrá un cero en esta salida y por lo tanto el bloque #1 de memoria se activará.

Dado que al decodificador están conectadas las salidas A23, A22, A21 y A20, cada una habilitará bloques de 1 Mega palabras. En caso en que se quiera habilitar bloques más grandes, se deberán utilizar más de una salida.

El chip #1 tiene conectados los address del A0 al A19 es decir, 20 bits. Y dado que está conectado a la salida cero del decodificador (X0), este chip se va a habilitar cuando A23, A22, A21 y A20 sean ceros. Por lo tanto la dirección de la primer posición de memoria será la 0x000000 y la última 0x0FFFFF.

El siguiente chip (el #2) tiene el mismo tamaño pero está conectada a la salida uno del decodificador (X1), por lo tanto, el chip se habilita cuando las señales [A23, A22, A21, A20] = 0001. La dirección de la primer dirección de memoria será la 0x100000 y la última 0x1FFFFF.

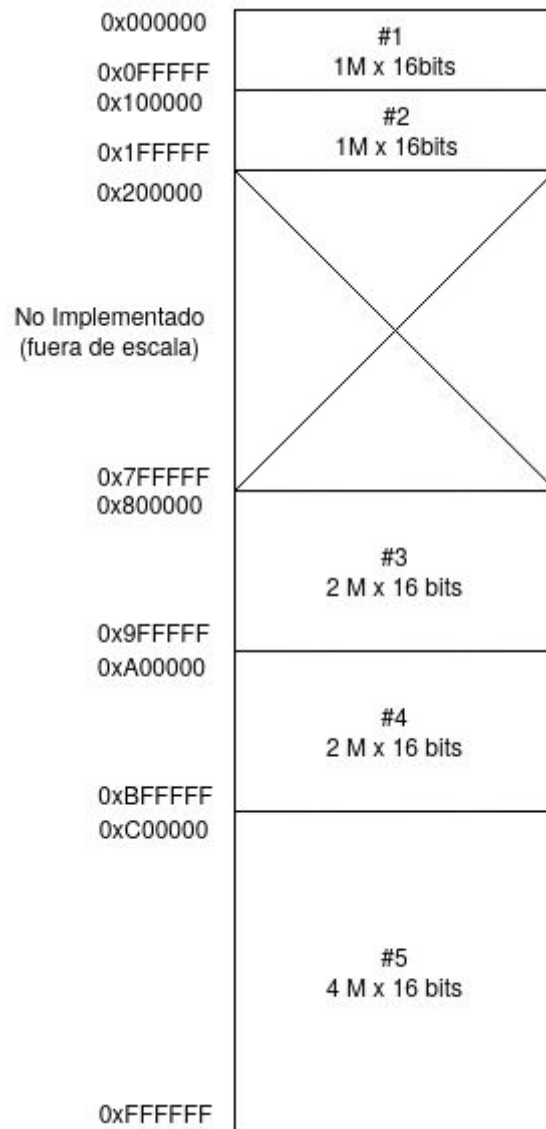
El chip #3 cuenta con 21 señales de dirección, de la A0 a la A20 (21 bits), es decir, la capacidad de direccionamiento es de 2 Mega palabras. El *chip select* de este bloque se conecta a dos salidas del decodificador, las X8 y X9, mediante una compuerta AND. Dado que las salidas del decodificador son activas por bajo, si la salida de alguna de ellas vale cero, la salida de la compuerta AND será cero y por lo tanto se habilitará el chip #3 de memoria. La primer posición de memoria de este bloque será la 0x800000 y la última será la 0x9FFFFF.

La conexión del chip #4 es similar a la anterior, pero la dirección de la primer posición es la 0xA00000 y la última la 0xBFFFFF.

Finalmente, las señales de direccionamiento que están conectadas al último chip de memoria (#5) son las A0 a la A21, es decir, 22 bits. Por lo tanto, este bloque de memoria tiene una capacidad de 4 Mega palabras. Al *chip select*, hay conectadas cuatro salidas del decodificador mediante una compuerta AND. Por lo tanto, la primer posición de memoria es la 0xC00000 y la última la 0xFFFFF.

El Mapa de memoria completo puede verse a continuación:

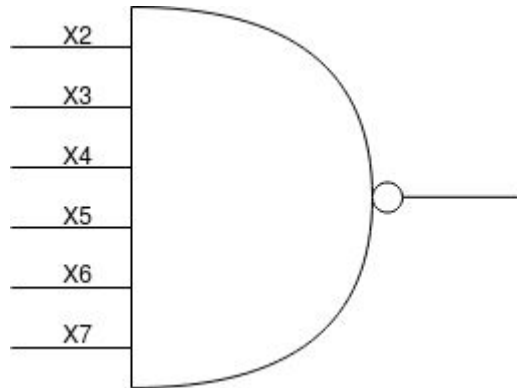
Organización del Computador 2020



C)

Posición	Bloque
0x0654321	No implementado
0x0ABCDEF	#4
0x0FEDCBA	#5
0x0123456	#2
0x2000000	No implementado (fuera del espacio de direccionamiento)

D) Como se dijo en el punto B, la salida del decodificador es activa por bajo, por lo tanto, si alguna de las señales del decodificador que no están utilizadas (X2, X3, X4, X5, X6, X7) se activan, tendremos un cero en dicha salida. Por lo tanto, mediante el siguiente circuito se obtendrá un 1 si se activa alguna de estas señales.



E) No existen posiciones imágenes, ya que, en todos los chips están involucradas todas las señales de direccionamiento. Ya sea, conectadas directamente a las señales de address del chip o mediante el *Chip Select* y el decodificador.