

PRÁCTICO 3 - Lógica Combinacional

ATENCIÓN!: Antes de proceder con la resolución del Ejercicio 10, se recomienda la lectura de la sección 4-10.MULTIPLEXORES del apunte correspondiente al archivo Practico3_Multiplexores.pdf, incluido en el aula virtual.

Ejercicio 10:

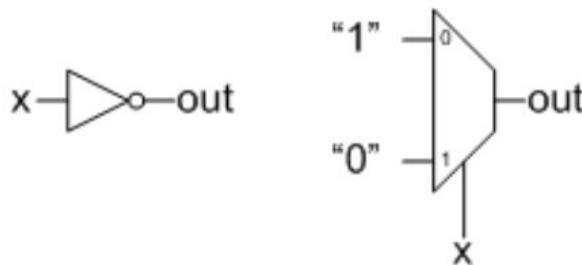
Un MULTIPLEXOR (MUX) es un circuito combinacional que selecciona información binaria de muchas entradas y la dirige a una única salida (**Y**), conforme al estado de las señales de selección. Si un MUX posee ' 2^N ' entradas de información (**D**) requiere ' N ' señales de selección (**S**).

- a. Expresar la tabla de verdad de un MUX de 2 entradas (y una salida) y su implementación mediante el uso de compuertas lógicas (AND, OR, NOT, NOR, NAND, etc.)

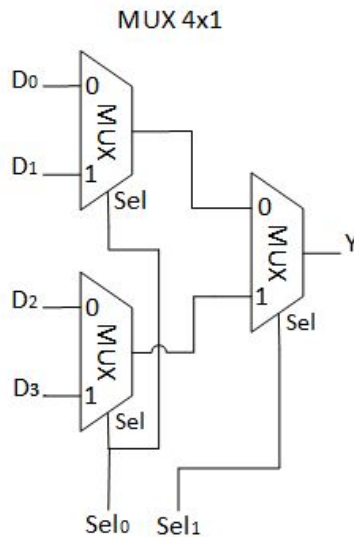
S	D1	D0	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Circuito implementado en Fig. 4.24 del apunte Practico3_Multiplexores.pdf a partir de las expresiones simplificadas.

- b. Mostrar cómo se puede usar un MUX para obtener una compuerta NOT.



- c. ¿Cómo obtener un MUX de 4 entradas (y una salida) en base a multiplexores de 2 entradas?



- d. ¿Cómo obtener un multiplexor de 'N' entradas con multiplexores de 2 entradas?

A partir del ejemplo de la figura del MUX 4x1 construido a partir de 3 MUX de 2x1 es posible observar la metodología para obtener multiplexores de N entradas. Se debe poner una primer columna de multiplexores (MUXes de la izquierda) hasta obtener la cantidad de entradas requeridas. Luego una segunda columna de multiplexores compuesta por la mitad de multiplexores que la columna anterior. Repetir esta secuencia, hasta obtener una última columna de MUX (columna de derecha) compuesta de un solo multiplexor. Todas las líneas de selección (Sel) de los MUX de una misma columna deben conectarse juntas, tomando el peso menos significativo para la primer columna de la derecha, e incrementando su peso en uno (+1) para las columnas sucesivas hacia la derecha (Sel 0 -> Sel 1 -> Sel 2 ... Sel N-1).