

FIGURA 4-17
Comparador de magnitudes de cuatro bits

dad utilizan las mismas compuertas que generan la salida de igualdad. El diagrama lógico del comparador de magnitudes de cuatro bits se reproduce en la figura 4-17. Las cuatro salidas x se generan con circuitos NOR exclusivo y se aplican a una compuerta AND para dar la variable binaria de salida ($A = B$). Las otras dos salidas utilizan las variables x para generar las funciones booleanas que presentamos antes. Ésta es una implementación multinivel y sigue un patrón regular. El procedimiento para obtener circuitos comparadores de magnitud para números binarios de más de cuatro bits se deduce fácilmente de este ejemplo.

4-8 DECODIFICADORES

En los sistemas digitales, las cantidades discretas de información se representan con códigos binarios. Un código binario de n bits puede representar hasta 2^n elementos distintos de información codificada. Un *decodificador* es un circuito combinacional que convierte información binaria de n líneas de entrada a un máximo de 2^n líneas de salida distintas. Si la información codificada en n bits tiene combinaciones que no se usan, el decodificador podría tener menos de 2^n salidas.

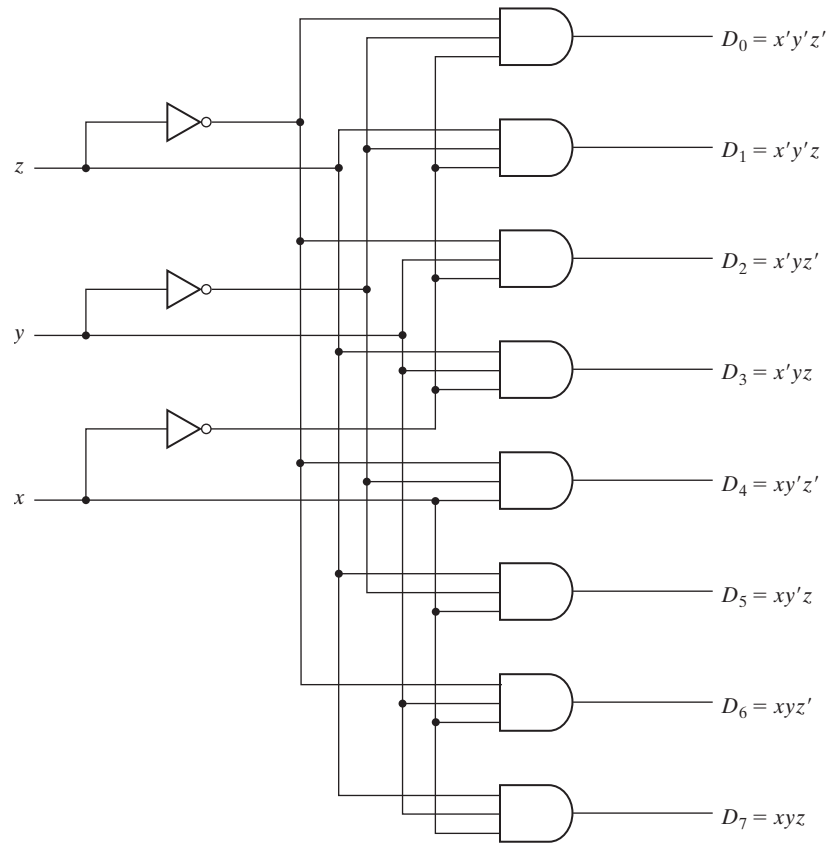


FIGURA 4-18
Decodificador de 3 a 8 líneas

Los decodificadores que presentamos aquí se describen como decodificadores de n a m líneas, donde $m \leq 2^n$. Su propósito es generar los 2^n (o menos) minitérminos de n variables de entrada. El nombre *decodificador* también se usa para referirse a otros convertidores de códigos, como un decodificador de BCD a siete segmentos.

Como ejemplo, consideremos el circuito decodificador de 3 a 8 líneas de la figura 4-18. Las tres entradas se decodifican para dar ocho salidas, cada una de las cuales representa uno de los minitérminos de las tres variables de entrada. Los tres inversores producen el complemento de las entradas, y cada una de las ocho compuertas AND genera uno de los minitérminos. Una aplicación específica de este decodificador es la conversión de binario a octal. Las variables de entrada representan un número binario, y las salidas, los ocho dígitos del sistema numérico octal. Sin embargo, un decodificador de 3 a 8 líneas puede servir para decodificar cualquier código de tres bits y obtener ocho salidas, una por cada elemento del código.

El funcionamiento del decodificador podría aclararse al examinar la tabla de verdad de la tabla 4-6. Para cada posible combinación de entrada, hay siete salidas que son 0 y sólo una igual a 1. La salida que vale 1 representa el minitérmino equivalente al número binario que se está alimentando a las líneas de entrada.

minos está seleccionado. En general, un decodificador podría operar con salidas complementadas o no complementadas. La entrada de habilitación podría activarse con una señal 0 o con una señal 1. Algunos decodificadores tienen dos o más entradas de habilitación que deben satisfacer una condición lógica dada para habilitar el circuito.

Un decodificador con entrada de habilitación puede funcionar como desmultiplexor. Un *desmultiplexor* es un circuito que recibe información de una sola línea y la dirige a una de 2^n posibles líneas de salida. La selección de una salida específica se controla con la combinación de bits de n líneas de selección. El decodificador de la figura 4-19 funciona como desmultiplexor de 1 a 4 líneas si E se toma como una línea de entrada de datos, y A y B se toman como entradas de selección. La variable única de entrada E tiene un camino a las cuatro salidas, pero la información de entrada se dirige a sólo una de las líneas de salida, especificada por la combinación binaria de las dos líneas de selección A y B . Esto se verifica examinando la tabla de verdad del circuito. Por ejemplo, si las líneas de selección $AB = 10$, la salida D_2 tendrá el mismo valor que la entrada E , mientras que todas las demás salidas se mantendrán en 1. Dado que se obtienen operaciones de decodificador y desmultiplexor con el mismo circuito, decimos que un decodificador con entrada de habilitación es un *decodificador/desmultiplexor*.

Es posible conectar los decodificadores con entradas de habilitación unos con otros para formar un circuito decodificador más grande. La figura 4-20 muestra dos decodificadores de 3 a 8 líneas con entradas de habilitación conectadas para formar un decodificador de 4 a 16 líneas. Cuando $w = 0$, el decodificador de arriba está habilitado y el otro está inhabilitado. Todas las salidas del decodificador de abajo son 0, y las ocho salidas del generador de arriba generan los minitérminos 0000 a 0111. Cuando $w = 1$, las condiciones de habilitación se invierten; las salidas del decodificador de abajo generan los minitérminos 1000 a 1111, mientras que todas las salidas del decodificador de arriba son 0. Este ejemplo ilustra la utilidad de las entradas de habilitación en los decodificadores y otros componentes de lógica combinacional. En general, las entradas de habilitación son una característica conveniente para interconectar dos o más componentes estándar y así expandir el componente a una función similar con más entradas y salidas.

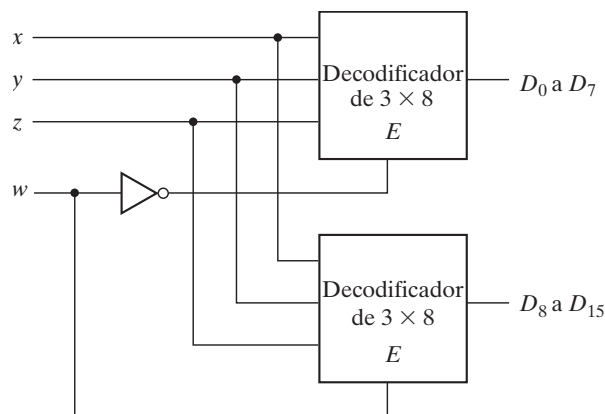


FIGURA 4-20
Decodificador 4 × 16 construido con dos decodificadores 3 × 8

Implementación de lógica combinacional

Un decodificador produce los 2^n minitérminos de n variables de entrada. Puesto que cualquier función booleana es susceptible de expresarse como suma de minitérminos, es posible utilizar un decodificador para generar los minitérminos y una compuerta OR externa para formar la suma lógica. Así, cualquier circuito combinacional con n entradas y m salidas se puede implementar con un decodificador de n a 2^n líneas y m compuertas OR.

El procedimiento para implementar un circuito combinacional con un decodificador y compuertas OR requiere expresar la función booleana del circuito como suma de minitérminos. Entonces se escoge un decodificador que genere todos los minitérminos de las variables de entrada. Las entradas a cada compuerta OR se escogen de entre las salidas del decodificador, de acuerdo con la lista de minitérminos de cada función. Ilustraremos este procedimiento con un ejemplo que implementa un circuito sumador completo.

De la tabla de verdad del sumador completo (véase la tabla 4-4), obtenemos las funciones para el circuito combinacional en forma de suma de minitérminos:

$$S(x, y, z) = \Sigma(1, 2, 4, 7)$$

$$C(x, y, z) = \Sigma(3, 5, 6, 7)$$

Puesto que hay tres entradas y un total de ocho minitérminos, se necesita un decodificador de 3 a 8 líneas. La implementación se muestra en la figura 4-21. El decodificador genera los ocho minitérminos para x, y, z . La compuerta OR de la salida S forma la suma lógica de los minitérminos 1, 2, 4 y 7. La compuerta OR de la salida C forma la suma lógica de los minitérminos 3, 5, 6 y 7.

Una función con una lista larga de minitérminos requerirá una compuerta OR con un gran número de entradas. Una función con una lista de k minitérminos se expresa en su forma complementada F' empleando $2^n - k$ minitérminos. Si el número de minitérminos de una función es mayor que $2^n/2$, podremos expresar F' con menos minitérminos. En tal caso, resulta ventajoso utilizar una compuerta NOR para sumar los minitérminos de F' . La salida de la compuerta NOR complementa esta suma y genera la salida normal F . Si se usan compuertas NAND para el decodificador, como en la figura 4-19, las compuertas externas deberán ser NAND en lugar de OR. El motivo es que un circuito de compuertas NAND de dos niveles implementa una función de suma de minitérminos y equivale a un circuito AND-OR de dos niveles.

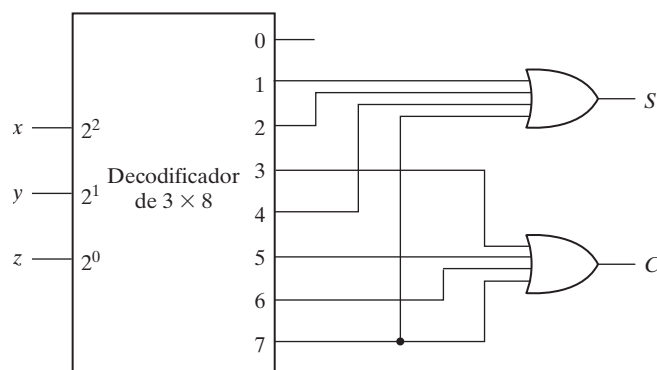


FIGURA 4-21

Implementación de un sumador completo con un decodificador