

4-4 SUMADOR-RESTADOR BINARIO

Las computadoras digitales efectúan diversas tareas de procesamiento de información. Entre esas funciones están las operaciones aritméticas. La operación aritmética más básica es la suma de dos dígitos binarios. Esta suma simple consiste en cuatro posibles operaciones elementales: $0 + 0 = 0$, $0 + 1 = 1$, $1 + 0 = 1$ y $1 + 1 = 10$. Las primeras tres operaciones producen una suma de un dígito, pero cuando ambos bits sumandos son 1, la suma binaria consta de dos dígitos. El bit más significativo de este resultado se denomina *acarreo* (*carry*, en inglés). Cuando ambos sumandos contienen más dígitos significativos, el acarreo obtenido de la suma de dos bits se suma al siguiente par más alto de bits significativos. Un circuito combinacional que realiza la suma de dos bits se denomina *semisumador*; uno que realiza la suma de tres bits (dos bits significativos y un acarreo previo) es un *sumador completo*. Los nombres de los circuitos provienen del hecho de que es posible usar dos semisumadores para implementar un sumador completo.

Un sumador-restador binario es un circuito combinacional que realiza las operaciones aritméticas de suma y resta con números binarios. Desarrollaremos este circuito utilizando un diseño jerárquico. Primero diseñaremos el semisumador, y a partir de él desarrollaremos el sumador completo. La conexión de n sumadores completos en cascada produce un sumador binario para números de n bits. Incluiremos el circuito de resta con la ayuda de un circuito complementador.

Semisumador

Por la descripción verbal del semisumador, se sabe que este circuito necesita dos entradas binarias y dos salidas binarias. Las variables de entrada designan los bits sumandos; las de salida, la suma y el acarreo. Asignaremos los símbolos x y y a las dos entradas y S (de suma) y C (de *carry*) a las salidas. La tabla de verdad del semisumador se presenta en la tabla 4-3. La salida C es 1 sólo cuando ambas entradas son 1. La salida S representa el bit menos significativo de la suma.

Las funciones booleanas simplificadas para las dos salidas se obtienen directamente de la tabla de verdad. Las expresiones simplificadas en suma de productos son

$$S = x'y + xy'$$

$$C = xy$$

El diagrama lógico del semisumador implementado como suma de productos se observa en la figura 4-5a). También se puede implementar con un OR exclusivo y una compuerta AND, como se indica en la figura 4-5b). Esta forma se utiliza para mostrar cómo dos semisumadores sirven para construir un sumador completo.

Tabla 4-3
Semisumador

x	y	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

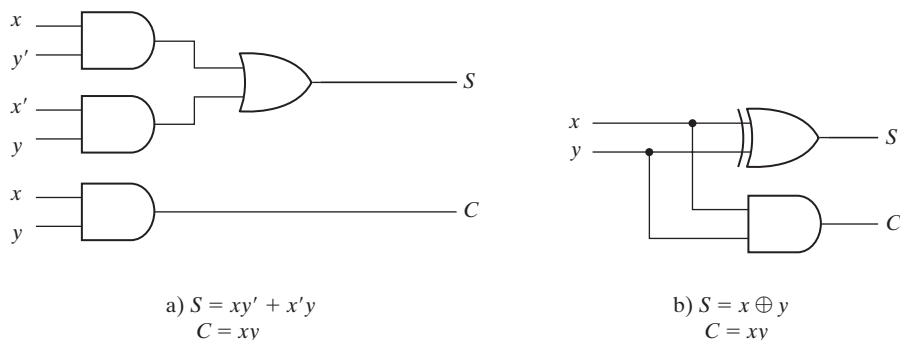


FIGURA 4-5
Implementación de semisumador

Sumador completo

Un sumador completo es un circuito combinacional que forma la suma aritmética de tres bits. Tiene tres entradas y dos salidas. Dos de las variables de entrada, denotadas por x y y , representan los dos bits significativos que se sumarán. La tercera entrada, z , representa el acarreo de la posición significativa inmediata inferior. Se requieren dos salidas porque la suma aritmética de tres dígitos binarios puede tener valores entre 0 y 3, y el 2 o el 3 binarios requieren dos dígitos. Las dos salidas se designan otra vez con los símbolos S y C . La variable binaria S da el valor del bit menos significativo de la suma. La variable binaria C da el acarreo de salida. La tabla de verdad del sumador completo se presenta en la tabla 4-4. Las ocho filas bajo las variables de entrada dan todas las posibles combinaciones de las tres variables. Las variables de salida se determinan a partir de la suma aritmética de los bits de entrada. Si todos los bits de entrada son 0, la salida es 0. La salida S es 1 cuando sólo una entrada es 1 o cuando las tres entradas son 1. La salida C da un acarreo de 1 si dos o tres entradas son 1.

Los bits de entrada y de salida del circuito combinacional tienen diferentes interpretaciones en las distintas etapas del problema. Físicamente, las señales binarias de las entradas se consideran dígitos binarios que deben sumarse aritméticamente para formar una salida de dos dígitos. Por otra parte, los mismos valores binarios se consideran variables de funciones booleanas cuando se expresan en la tabla de verdad o cuando el circuito se implementa con compuertas

Tabla 4-4
Sumador completo

x	y	z	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

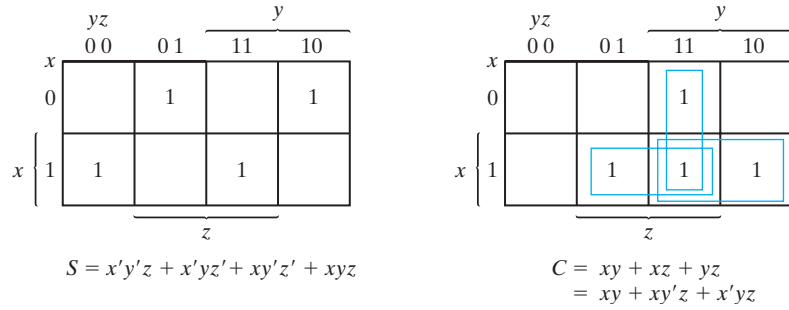


FIGURA 4-6
Mapas para el sumador completo

lógicas. Los mapas para las salidas del sumador completo aparecen en la figura 4-6. Las expresiones simplificadas son

$$S = x'y'z + x'yz' + xy'z' + xyz$$

$$C = xy + xz + yz$$

El diagrama lógico para el sumador completo implementado en forma de suma de productos se muestra en la figura 4-7. También puede implementarse con dos semisumadores y una compuerta OR, como se indica en la figura 4-8. La salida S del segundo semisumador es el OR exclusivo de z y la salida del primer semisumador, lo que da

$$S = z \oplus (x \oplus y)$$

$$= z'(xy' + x'y) + z(xy' + x'y)'$$

$$= z'(xy' + x'y) + z(xy + x'y')$$

$$= xy'z' + x'yz' + xyz + x'y'z$$

La salida de acarreo es

$$C = z(xy' + x'y) + xy = xy'z + x'yz + xy$$

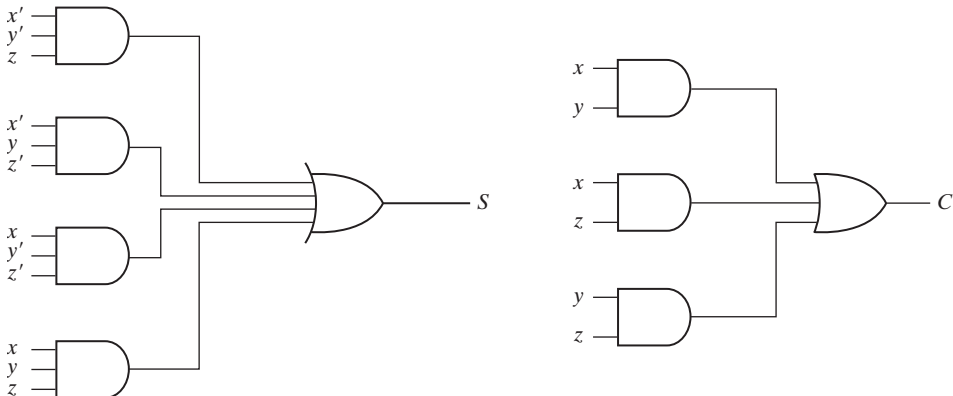


FIGURA 4-7
Implementación de un sumador completo como suma de productos

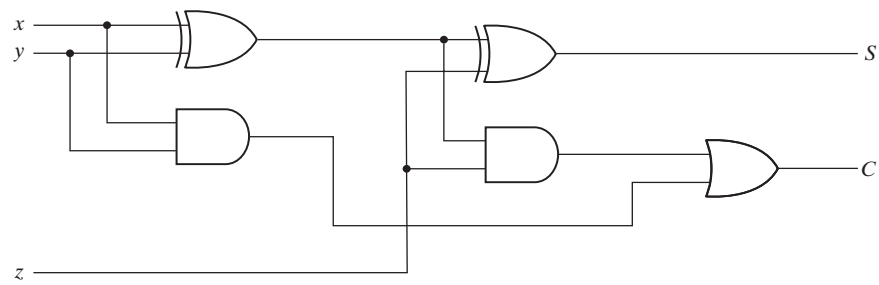


FIGURA 4-8
Implementación de un sumador completo con dos semisumadores y una compuerta OR

Sumador binario

Un sumador binario es un circuito digital que produce la suma aritmética de dos números binarios. Es posible construirlo con sumadores completos dispuestos en cascada, conectando el acarreo de salida de cada sumador completo al acarreo de entrada del siguiente sumador completo de la cadena. La figura 4-9 muestra la interconexión de cuatro circuitos sumadores completos (SC) para formar un sumador binario de cuatro bits con acarreo rizado. Los bits de los sumandos *A* y *B* se designan con subíndices de izquierda a derecha; el subíndice 0 denota el bit menos significativo. Los acarreos se conectan en una cadena a través de los sumadores completos. El acarreo de entrada del sumador es C_0 y se propaga a través de los sumadores completos hasta el acarreo de salida C_4 . Las salidas *S* generan los bits de suma requeridos. Un sumador de *n* bits requiere *n* sumadores completos con cada acarreo de salida conectado al acarreo de entrada del siguiente sumador completo de orden superior.

Para ilustrar esto con un ejemplo específico, consideremos los dos números binarios $A = 1011$ y $B = 0011$. Su suma $S = 1110$ se forma con el sumador de cuatro bits así:

Subíndice <i>i</i> :	3	2	1	0	
Acarreo de entrada	0	1	1	0	C_i
Sumando	1	0	1	1	A_i
Sumando	0	0	1	1	B_i
Suma	1	1	1	0	S_i
Acarreo de salida	0	0	1	1	C_{i+1}

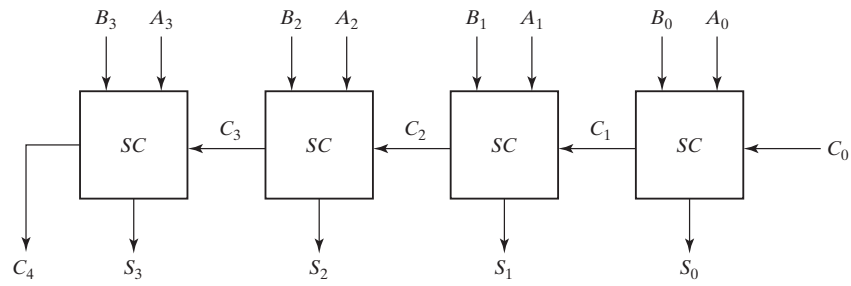


FIGURA 4-9
Sumador de cuatro bits

Los bits se suman con sumadores completos, comenzando por la posición menos significativa (subíndice 0) para formar el bit de suma y el bit de acarreo. El acarreo de entrada C_0 en la posición menos significativa debe ser 0. El valor de C_{i+1} en una posición significativa dada es el acarreo de salida del sumador completo. Este valor se transfiere al acarreo de entrada del sumador completo que suma los bits de la siguiente posición significativa a la izquierda. Así, los bits de la suma se generan comenzando por la posición de la extrema derecha y están disponibles tan pronto como se genera el bit de acarreo anterior. Se deben generar todos los acarreos para que los bits de suma correctos aparezcan en las salidas.

El sumador de cuatro bits es un ejemplo representativo de un componente estándar. Se utiliza en muchas aplicaciones que implican operaciones aritméticas. Observe que el diseño de este circuito empleando el método clásico requeriría una tabla de verdad con $2^9 = 512$ entradas, ya que el circuito tiene nueve entradas. Al usar un método iterativo de conectar en cascada una función estándar, es posible obtener una implementación sencilla y directa.

Propagación del acarreo

La suma de dos números binarios en paralelo implica que todos los bits de los sumandos están disponibles al mismo tiempo para efectuar el cálculo. Como en cualquier circuito combinatorial, la señal tiene que propagarse a través de las compuertas para que la salida correcta (la suma) esté disponible en las terminales de salida. El tiempo total de propagación es igual al retardo de propagación de una compuerta representativa multiplicado por el número de niveles de compuertas del circuito. El retardo de propagación más largo en un sumador es el tiempo que el acarreo tarda en propagarse a través de los sumadores completos. Dado que cada bit de la suma depende del valor del acarreo de entrada, el valor de S_i en cualquier etapa dada del sumador alcanzará su valor final de estado estable sólo hasta que el acarreo de entrada se haya propagado a esa etapa. Consideremos la salida S_3 de la figura 4-9. Las entradas A_3 y B_3 están disponibles tan pronto como se aplican señales de entrada al sumador. Sin embargo, el acarreo de entrada C_3 no se estabiliza en su valor final sino hasta después de que se cuenta con C_2 de la etapa anterior. Asimismo, C_2 tiene que esperar a C_1 , y así hasta C_0 . Por tanto, no será sino hasta que el acarreo se propague en rizo a través de todas las etapas cuando la última salida S_3 y el último acarreo C_4 se establezcan en su valor final correcto.

Es posible calcular el número de niveles de compuerta para la propagación del acarreo a partir del circuito del sumador completo. La figura 4-10 reproduce otra vez el circuito. Las variables de entrada y salida llevan el subíndice i para denotar una etapa representativa del

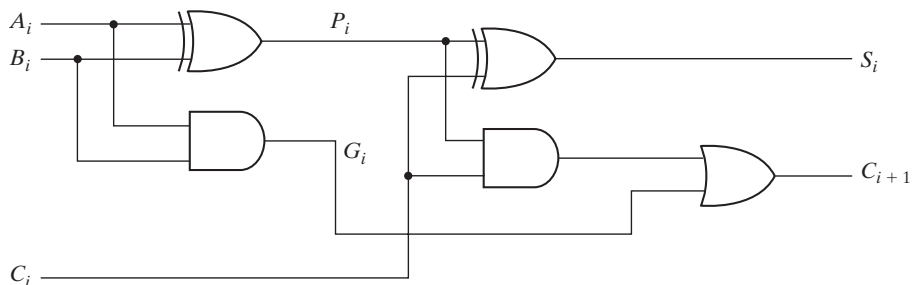


FIGURA 4-10
Sumador completo en el que se indican P y G