

LÓGICA COMBINACIONAL

ALGUNOS MÓDULOS BÁSICOS

Circuitos Combinacionales

- Esquema General

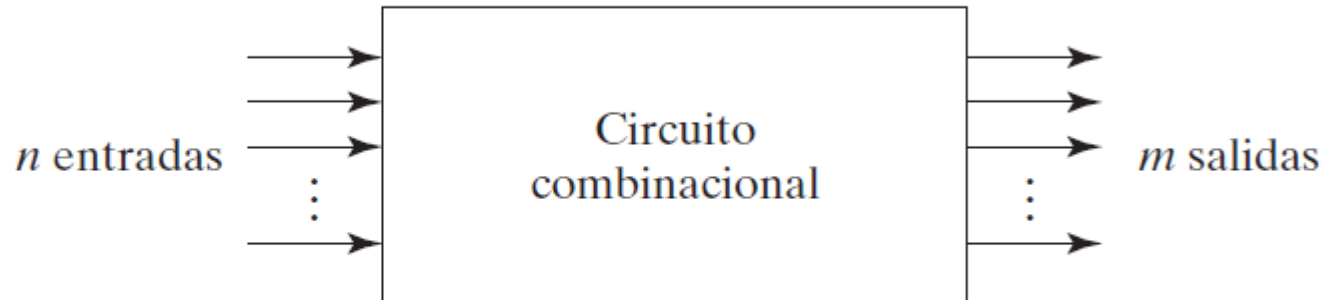


FIGURA 4-1

Diagrama de bloques de un circuito combinacional

Circuitos Combinacionales

- Análisis

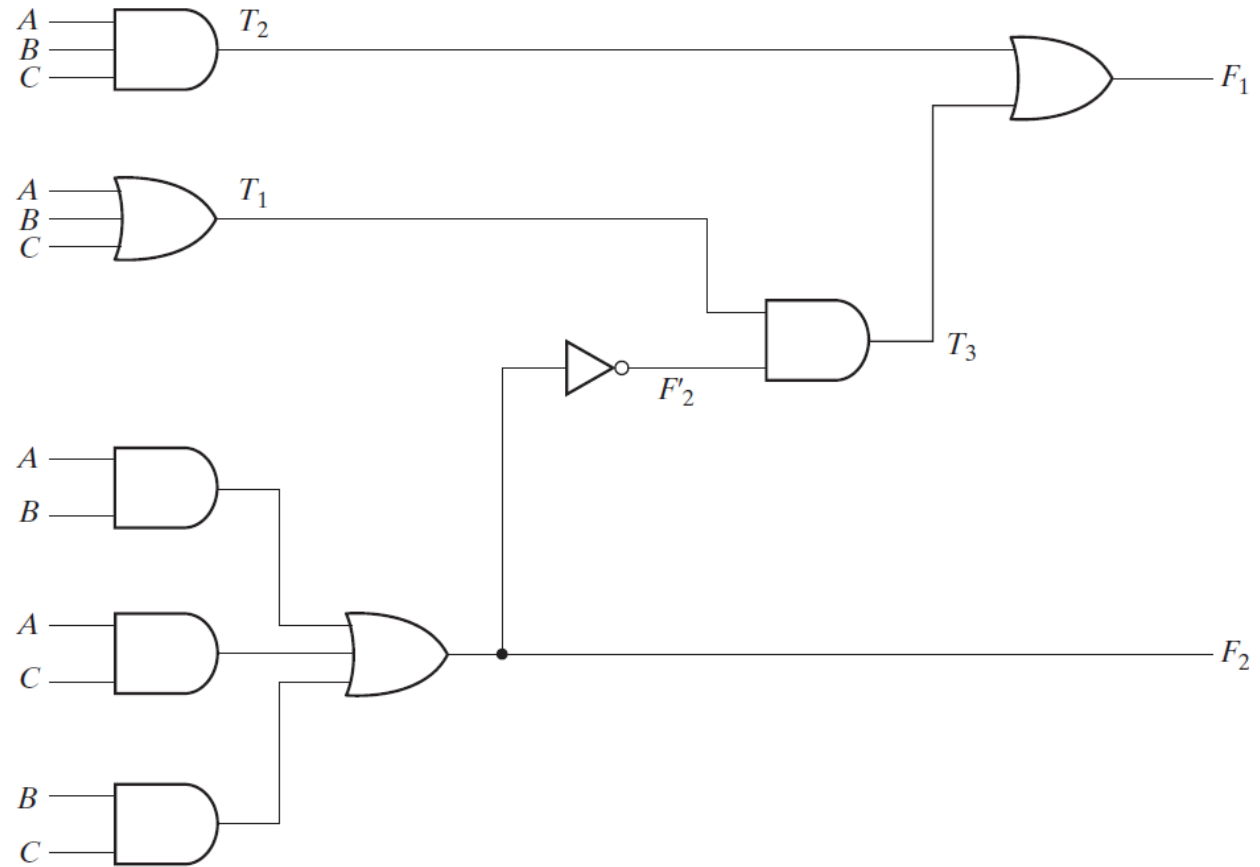


FIGURA 4-2

Diagrama lógico para el ejemplo de análisis

Circuitos Combinacionales

- Ejemplo de Diseño

Tabla 4-2

Tabla de verdad para el ejemplo de conversión de código

Entrada BCD				Salida código exceso-3			
A	B	C	D	w	x	y	z
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

Circuitos Combinacionales

- Ejemplo de Diseño

Sección 4-3 Procedimiento de diseño

117

		CD		C	
		00	01	11	10
AB	00	1			1
	01	1			1
	11	X	X	X	X
	10	1		X	X

$z = D'$

		CD		C	
		00	01	11	10
AB	00	1		1	
	01	1		1	
	11	X	X	X	X
	10	1		X	X

$y = CD + C'D'$

Circuitos Combinacionales

- Ejemplo de Diseño

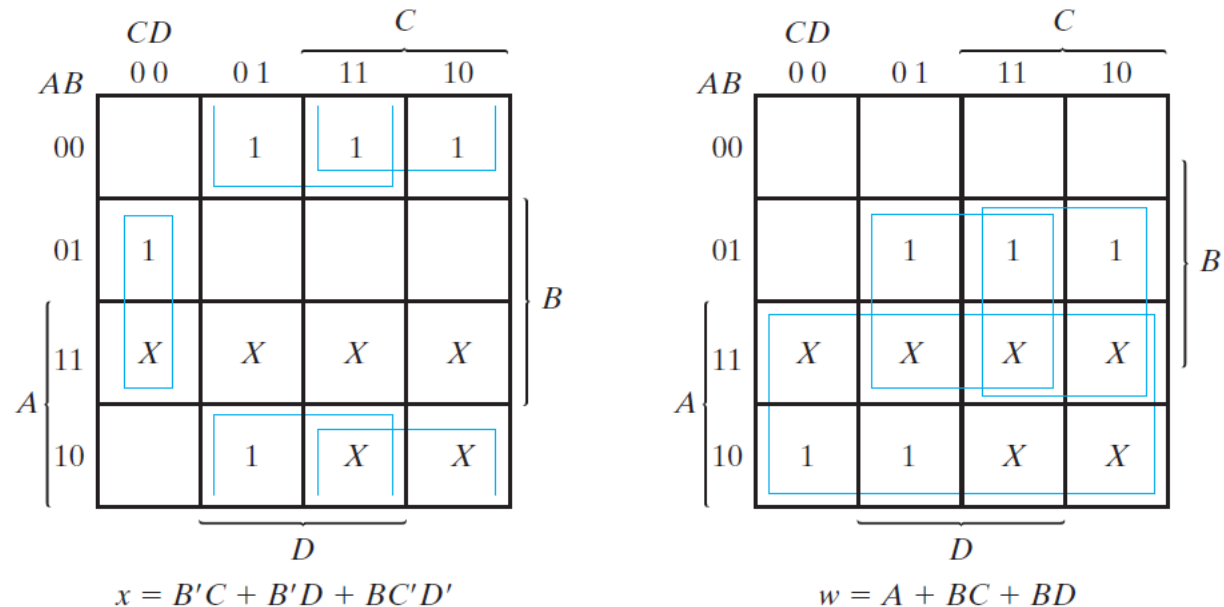


FIGURA 4-3

Mapas para el convertidor de código BCD a exceso-3

Circuitos Combinacionales

- Ej:

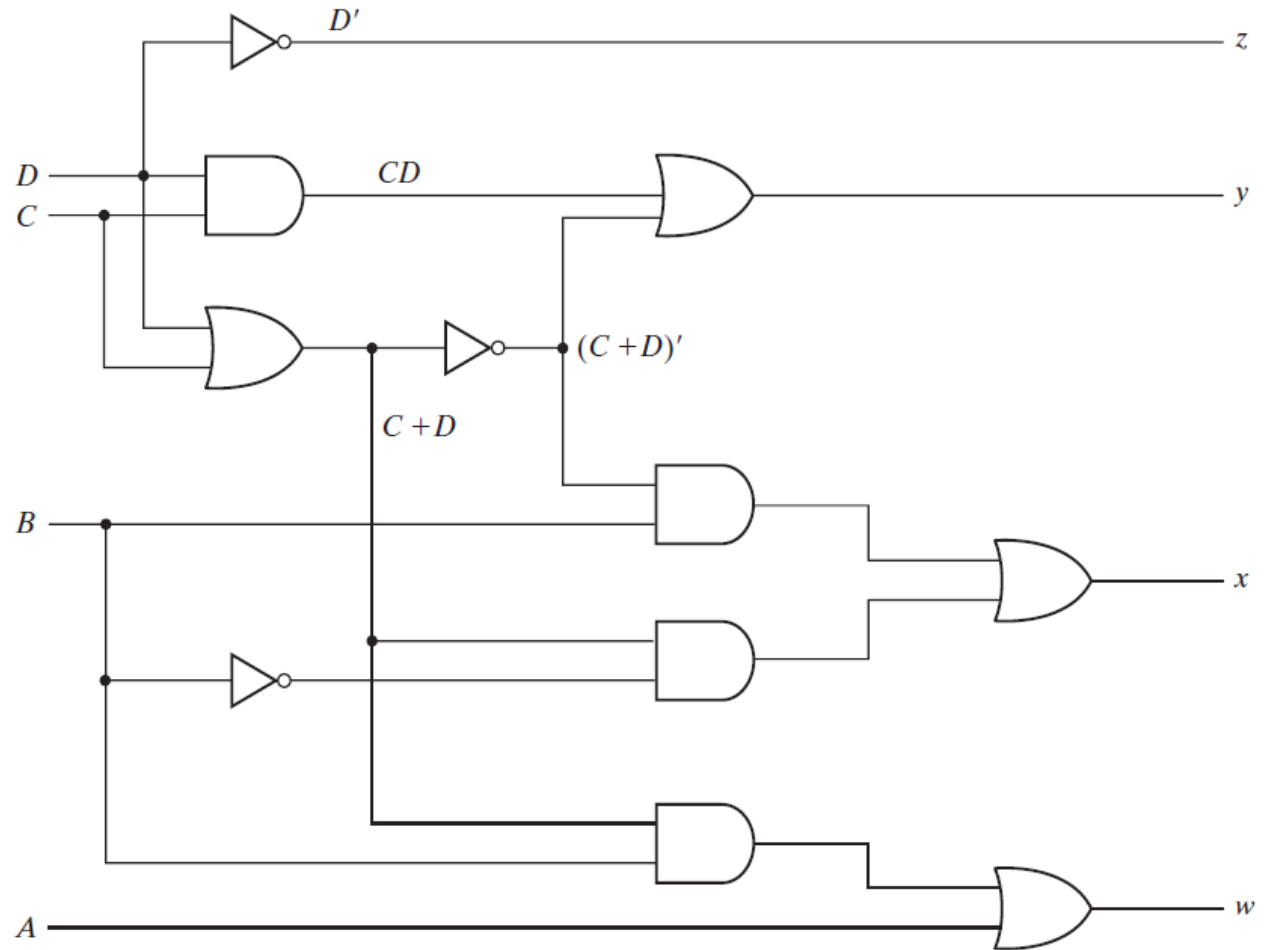


FIGURA 4-4

Diagrama lógico para el convertidor de código BCD a exceso-3

Ejemplo de un Sumador Restador

- Semisumador

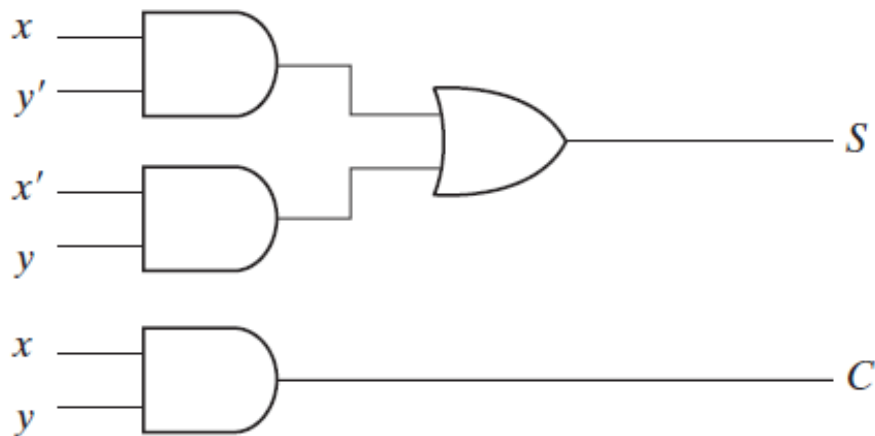
Tabla 4-3
Semisumador

x	y	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

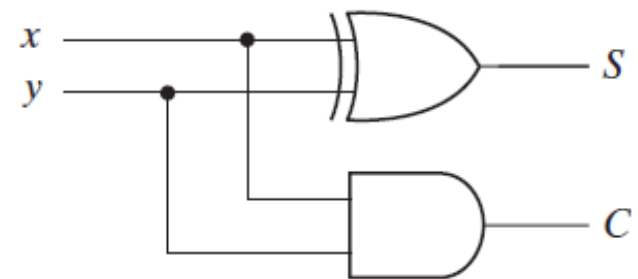
Ejemplo de un Sumador Restador

- Semisumador

Capítulo 4 Lógica combinacional



$$\begin{aligned} \text{a) } S &= xy' + x'y \\ C &= xy \end{aligned}$$



$$\begin{aligned} \text{b) } S &= x \oplus y \\ C &= xy \end{aligned}$$

FIGURA 4-5

Implementación de semisumador

Ejemplo de un Sumador Restador

- Sumador Completo

Tabla 4-4
Sumador completo

<i>x</i>	<i>y</i>	<i>z</i>	<i>C</i>	<i>S</i>
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Ejemplo de un Sumador Restador

- Sumador Completo

Sección 4-4 Sumador-restador binario 121

		yz		y	
		00	01	11	10
x	0		1		1
x	1	1		1	
		z			

$$S = x'y'z + x'yz' + xy'z' + xyz$$

		yz		y	
		00	01	11	10
x	0			1	
x	1		1	1	1
		z			

$$\begin{aligned} C &= xy + xz + yz \\ &= xy + xy'z + x'yz \end{aligned}$$

FIGURA 4-6

Mapas para el sumador completo

Ejemplo de un Sumador Restador

- Sumador Completo

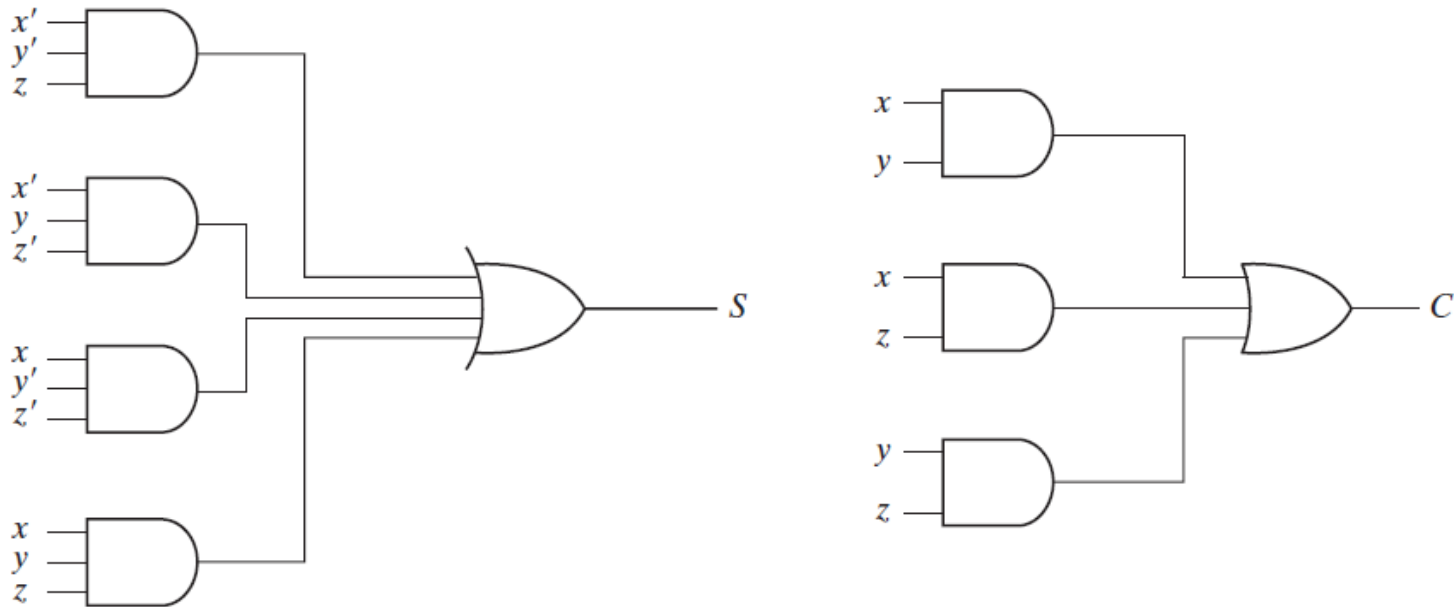


FIGURA 4-7

Implementación de un sumador completo como suma de productos

Ejemplo de un Sumador Restador

- Sumador Completo

122 Capítulo 4 Lógica combinacional

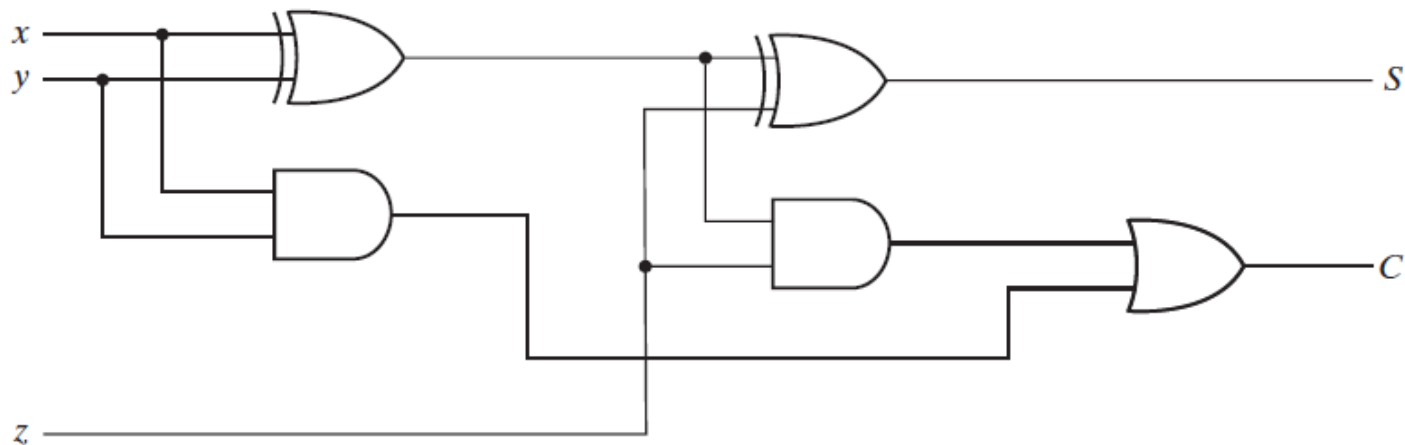


FIGURA 4-8

Implementación de un sumador completo con dos semisumadores y una compuerta OR

Ejemplo de Sumador Restador

- Sumador Completo

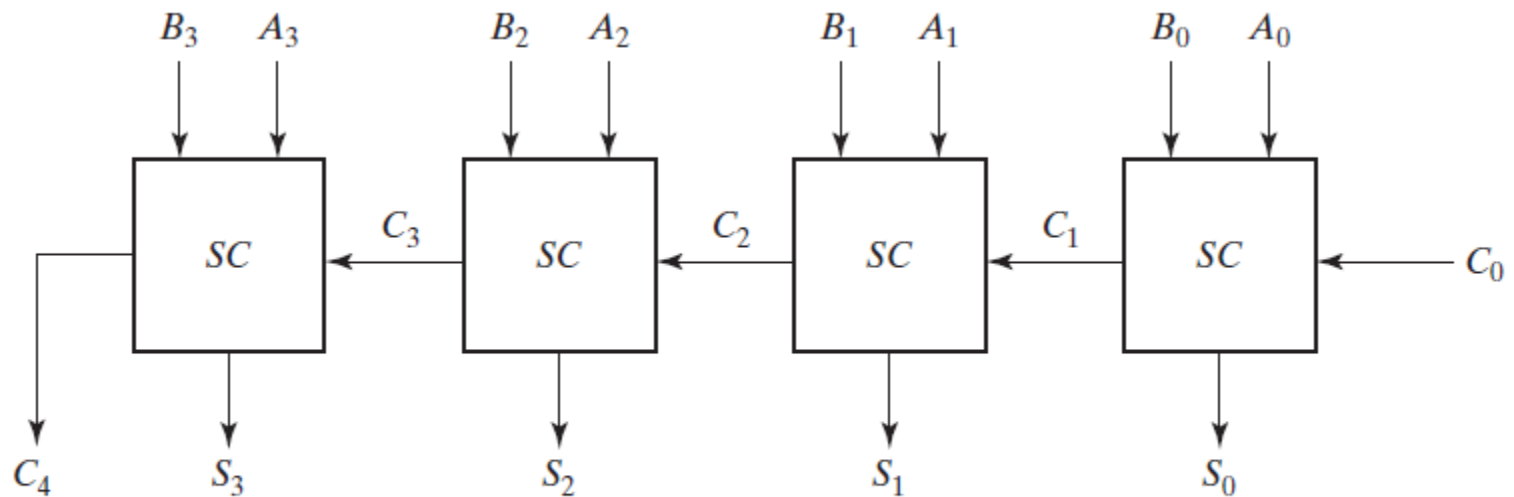


FIGURA 4-9

Sumador de cuatro bits

Ejemplo de Sumador Restador

- Sumador Completo

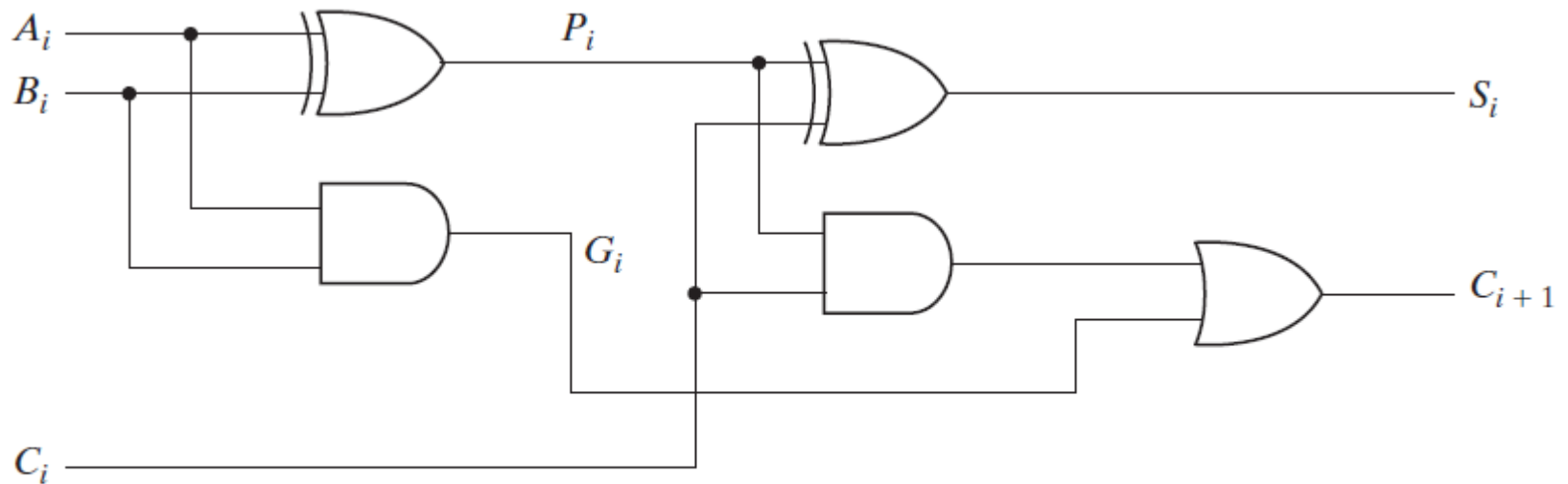


FIGURA 4-10

Sumador completo en el que se indican P y G

Ejemplo de Sumador Restador

- Acarreo Anticipado

Considere el circuito del sumador completo que se aprecia en la figura 4-10. Si definimos dos nuevas variables binarias

$$P_i = A_i \oplus B_i$$

$$G_i = A_i B_i$$

la suma y el acarreo se expresarán así:

$$S_i = P_i \oplus C_i$$

$$C_{i+1} = G_i + P_i C_i$$

Ejemplo de Sumador Restador

- Acarreo Anticipado

C_0 = acarreo de entrada

$$C_1 = G_0 + P_0C_0$$

$$C_2 = G_1 + P_1C_1 = G_1 + P_1(G_0 + P_0C_0) = G_1 + P_1G_0 + P_1P_0C_0$$

$$C_3 = G_2 + P_2C_2 = G_2 + P_2G_1 + P_2P_1G_0 + P_2P_1P_0C_0$$

Ejemplo de Sumador Restador

Sección 4-4 Sumador-restador binario 125

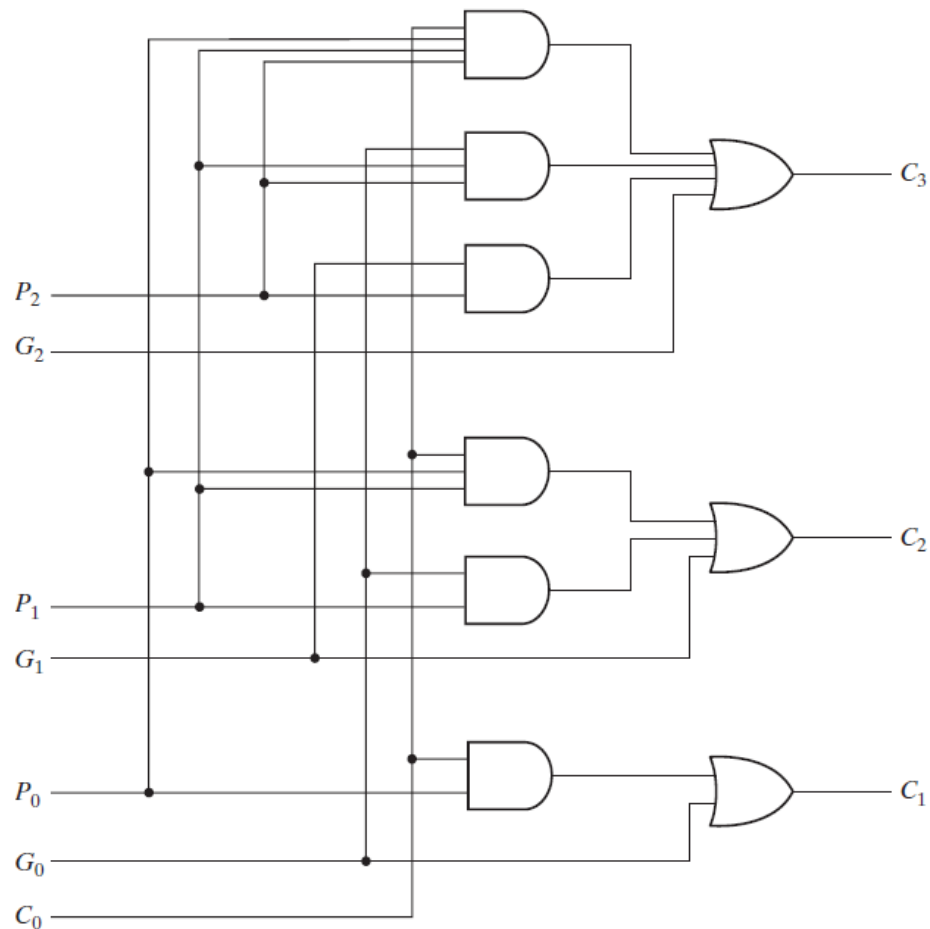


FIGURA 4-11
Diagrama lógico del generador de acarreo anticipado

Ejemplo de Sumador Restador

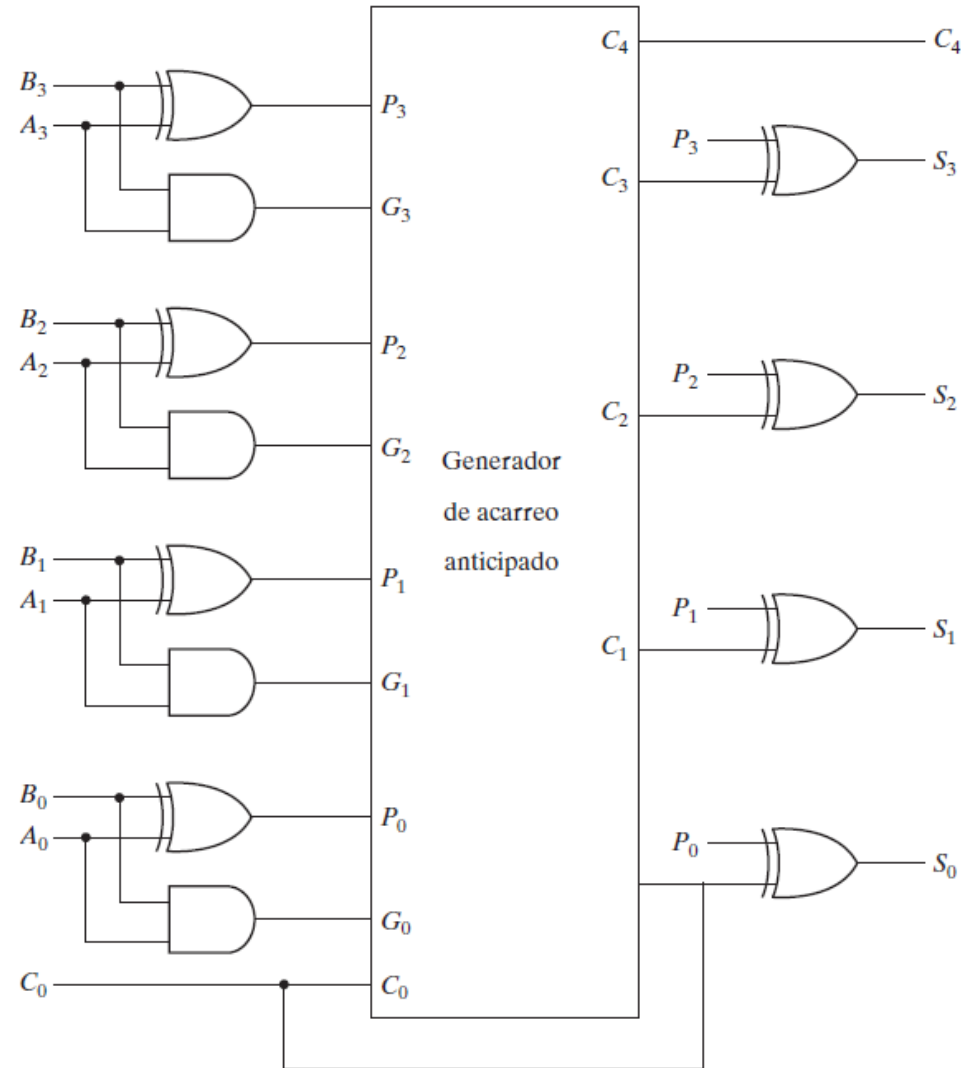


FIGURA 4-12

Sumador de cuatro bits con acarreo anticipado

Ejemplo de Sumador Restador

Sección 4-4 Sumador-restador binario 127

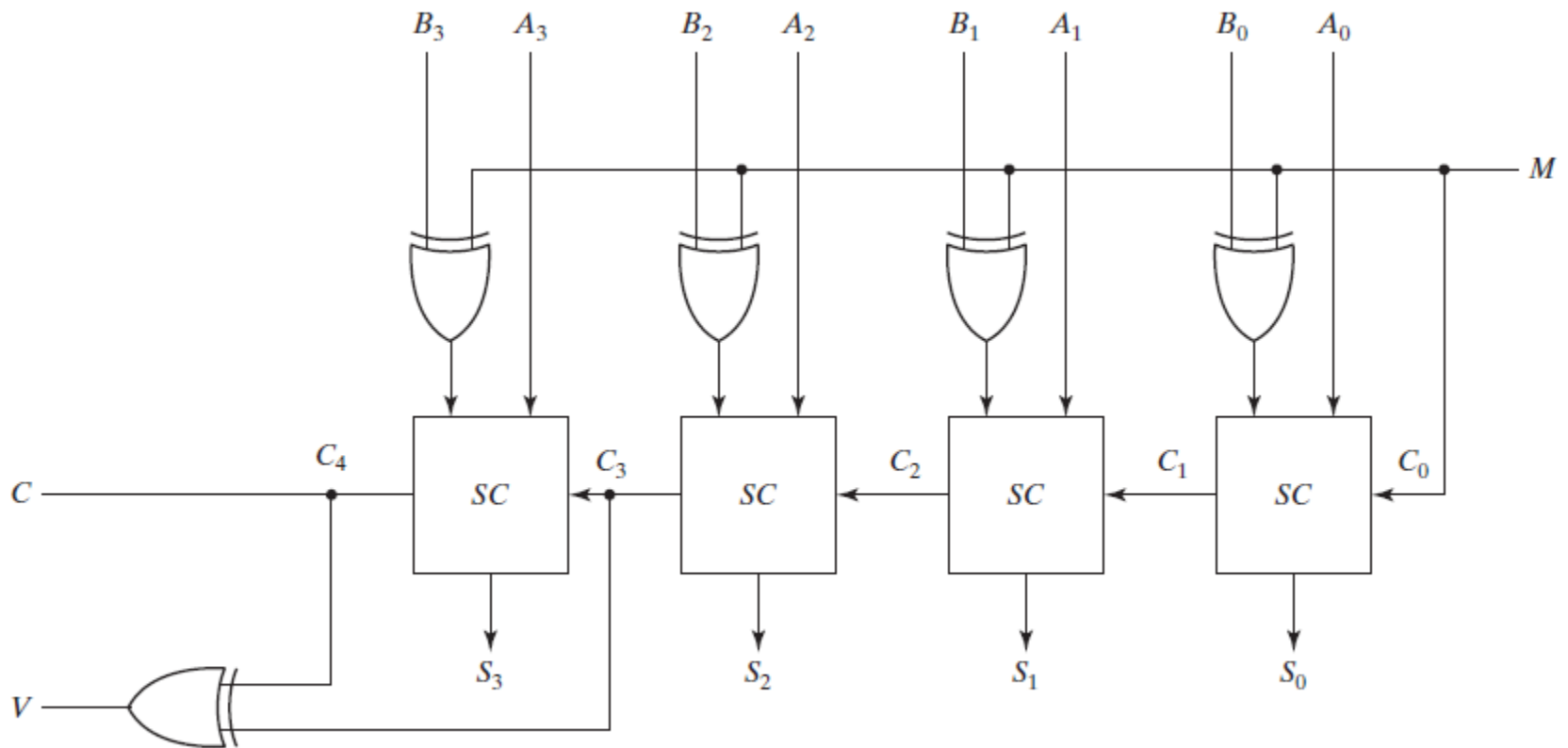


FIGURA 4-13
Sumador-restador de cuatro bits

Ejemplo de Multiplicador Binario

		B_1	B_0
	A_1	A_0	
	<hr/>		
	A_0B_1	A_0B_0	
A_1B_1	A_1B_0		
<hr/>			
C_3	C_2	C_1	C_0

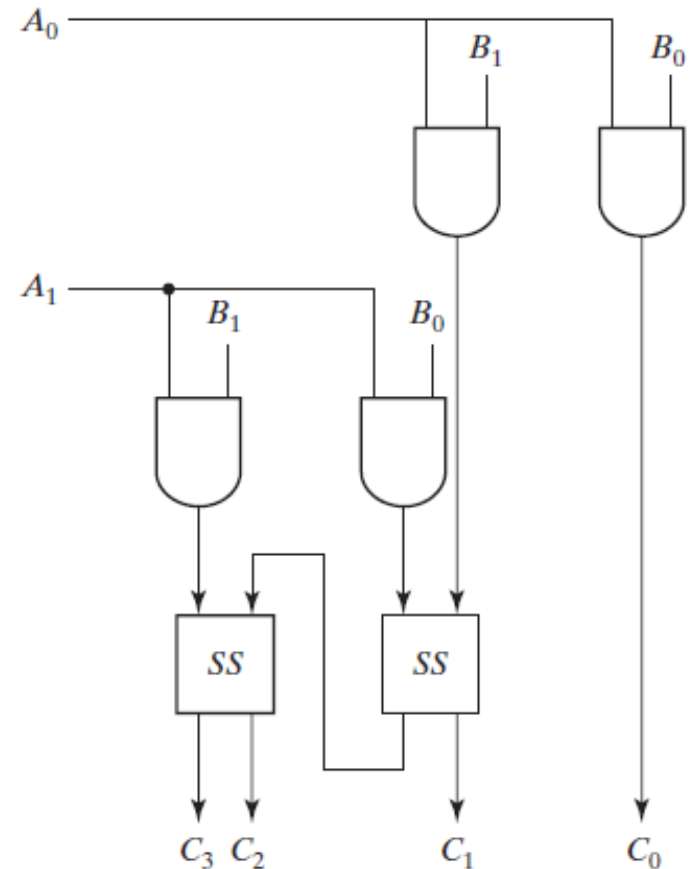


FIGURA 4-15

Multiplicador binario de dos bits por dos bits

Ejemplo de Multiplicador Binario

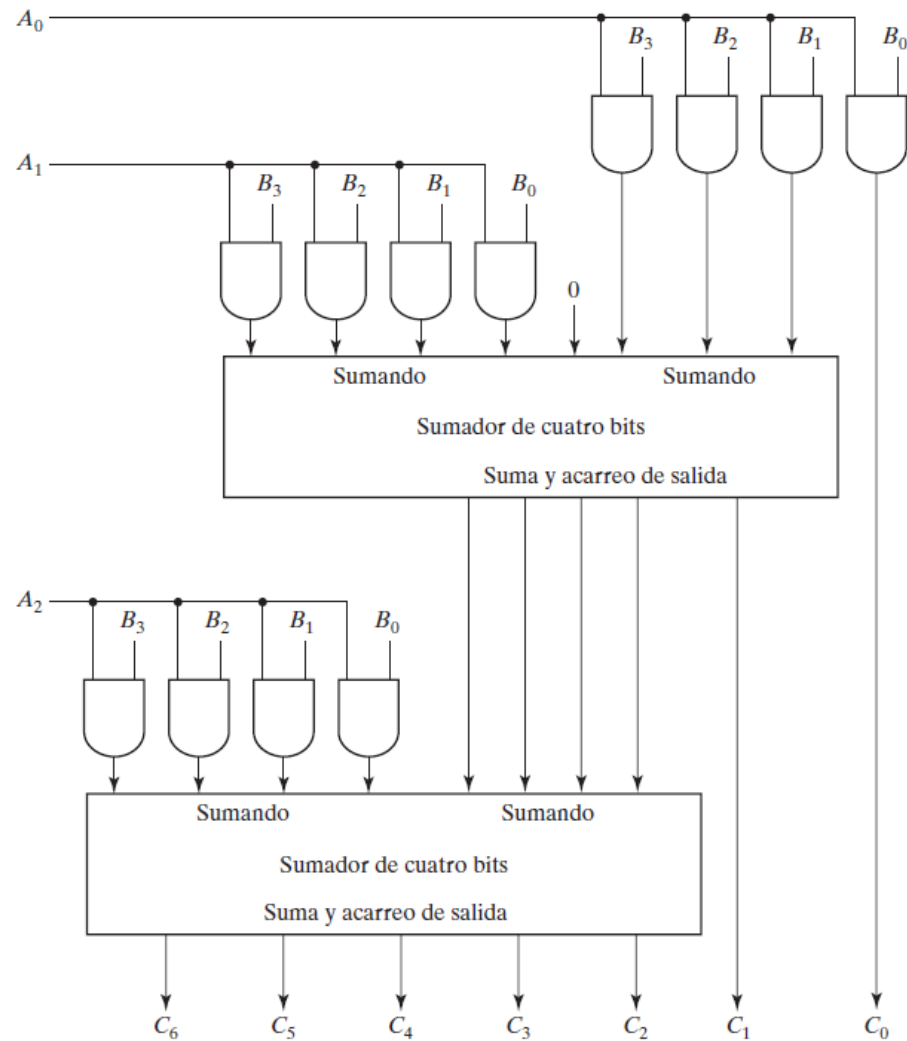


FIGURA 4-16
Multiplicador binario de 4 bits por 3 bits

DECODIFICADORES

Sección 4-8 Decodificadores

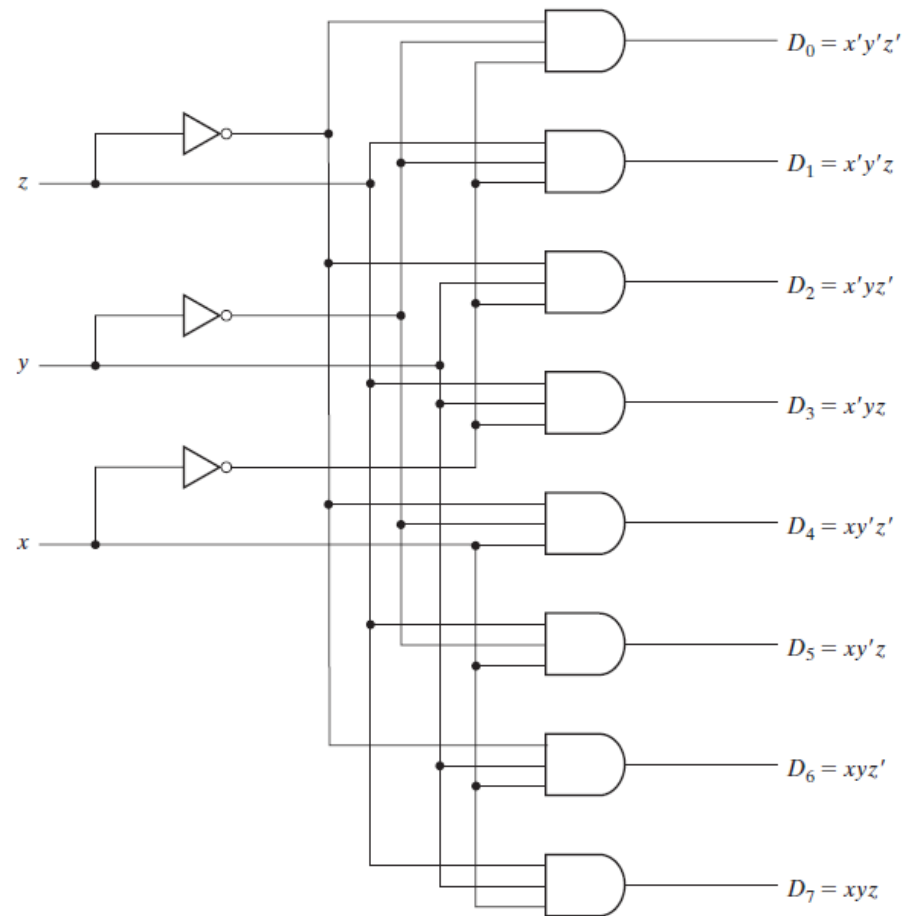


FIGURA 4-18
Decodificador de 3 a 8 líneas

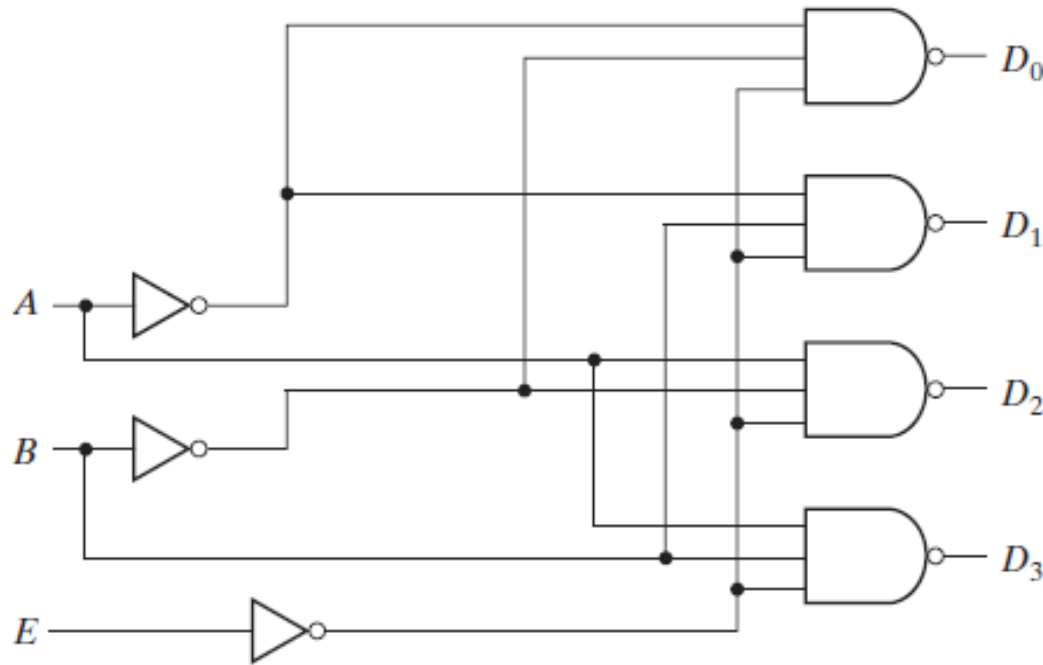
DECODIFICADORES

Tabla 4-6

Tabla de verdad de un decodificador de 3 a 8 líneas

Entradas			Salidas							
<i>x</i>	<i>y</i>	<i>z</i>	<i>D</i> ₀	<i>D</i> ₁	<i>D</i> ₂	<i>D</i> ₃	<i>D</i> ₄	<i>D</i> ₅	<i>D</i> ₆	<i>D</i> ₇
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

DECODIFICADORES



a) Diagrama lógico

E	A	B	D_0	D_1	D_2	D_3
1	X	X	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

b) Tabla de verdad

FIGURA 4-19

Decodificador de 2 a 4 líneas con entrada habilitadora

DECODIFICADORES

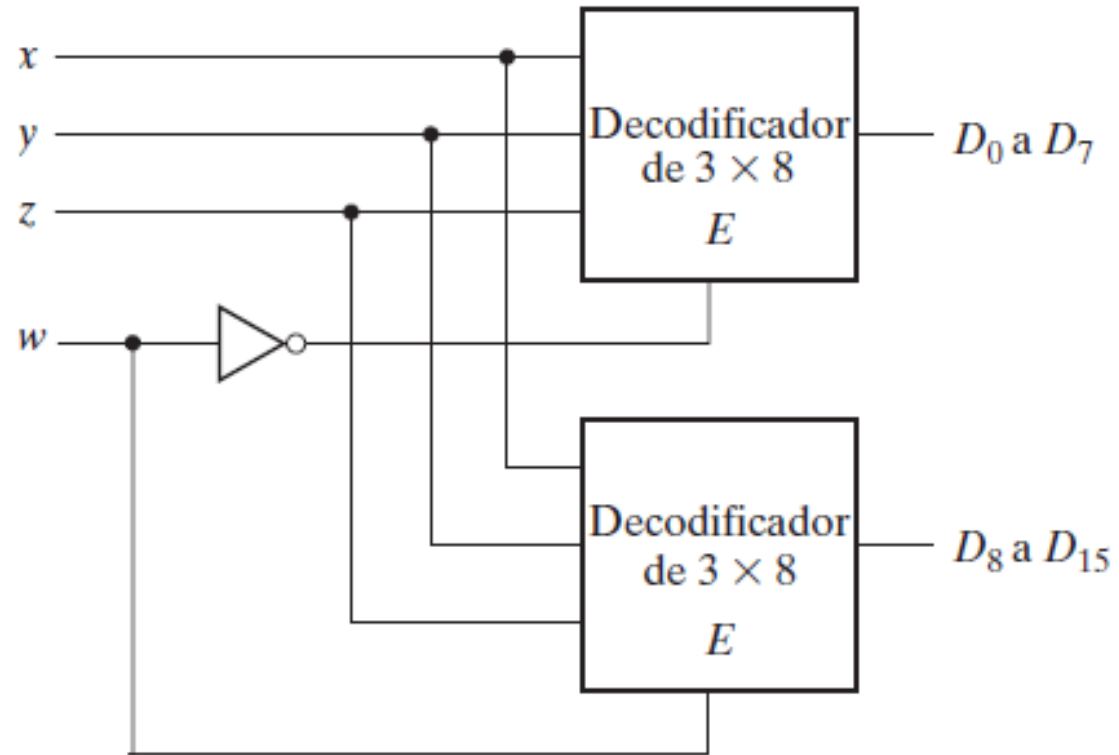


FIGURA 4-20

Decodificador 4×16 construido con dos decodificadores 3×8

Implementación de lógica con decodificadores

- Suma de Productos

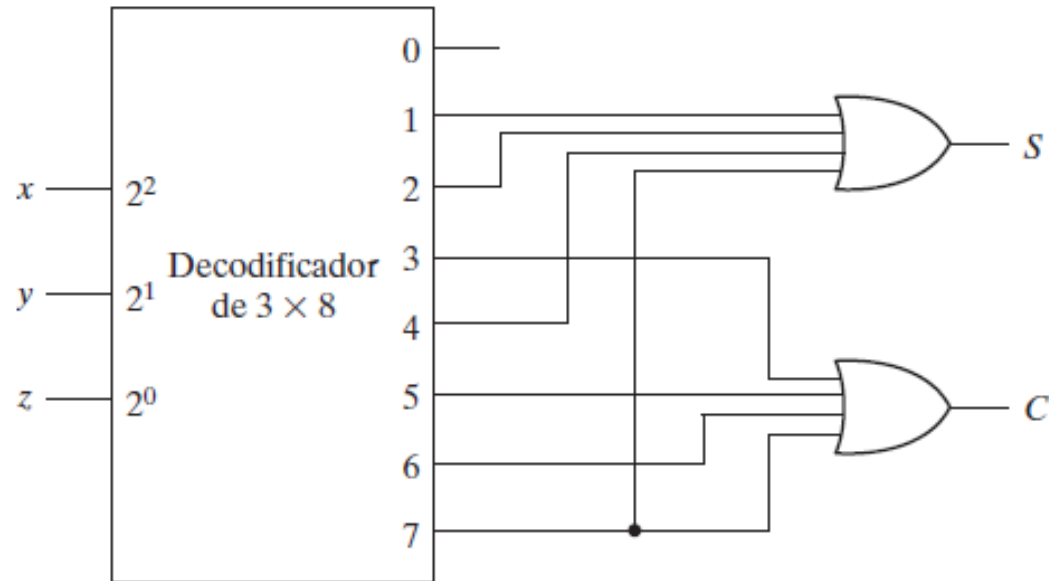
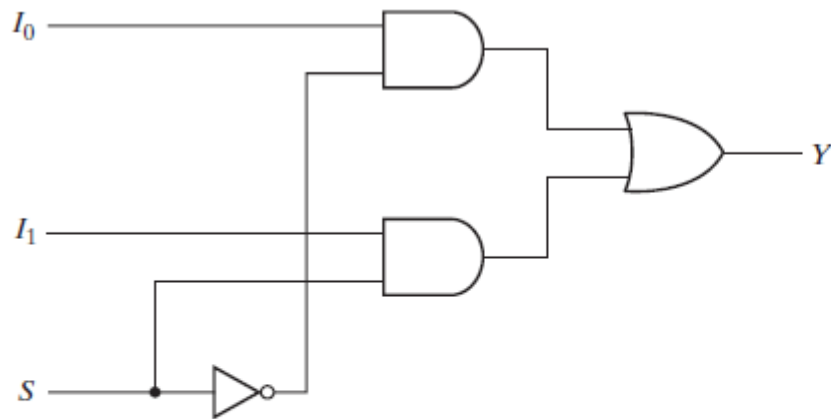


FIGURA 4-21

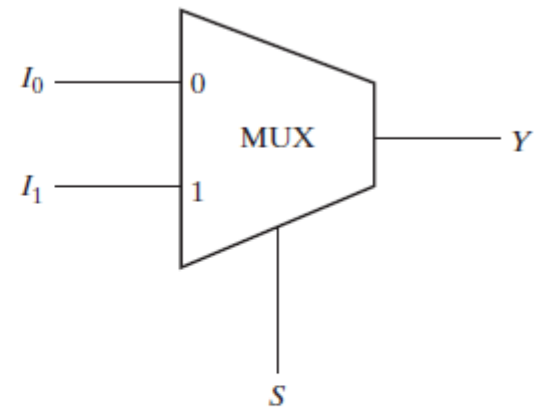
Implementación de un sumador completo con un decodificador

MULTIPLEXORES

- De 2 a 1



a) Diagrama lógico

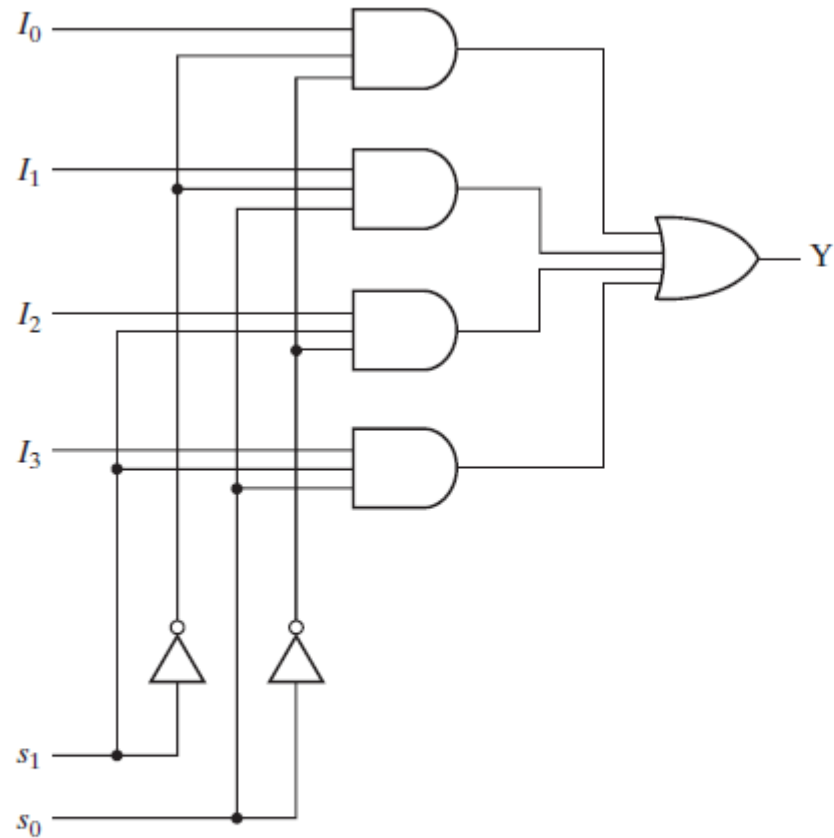


b) Diagrama de bloque

FIGURA 4-24
Multiplexor de 2 líneas a 1

MULTIPLEXORES

- De 4 a 1



a) Diagrama lógico

s_1	s_0	Y
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

b) Tabla de función

FIGURA 4-25
Multiplexor de 4 líneas a 1

MULTIPLEXORES

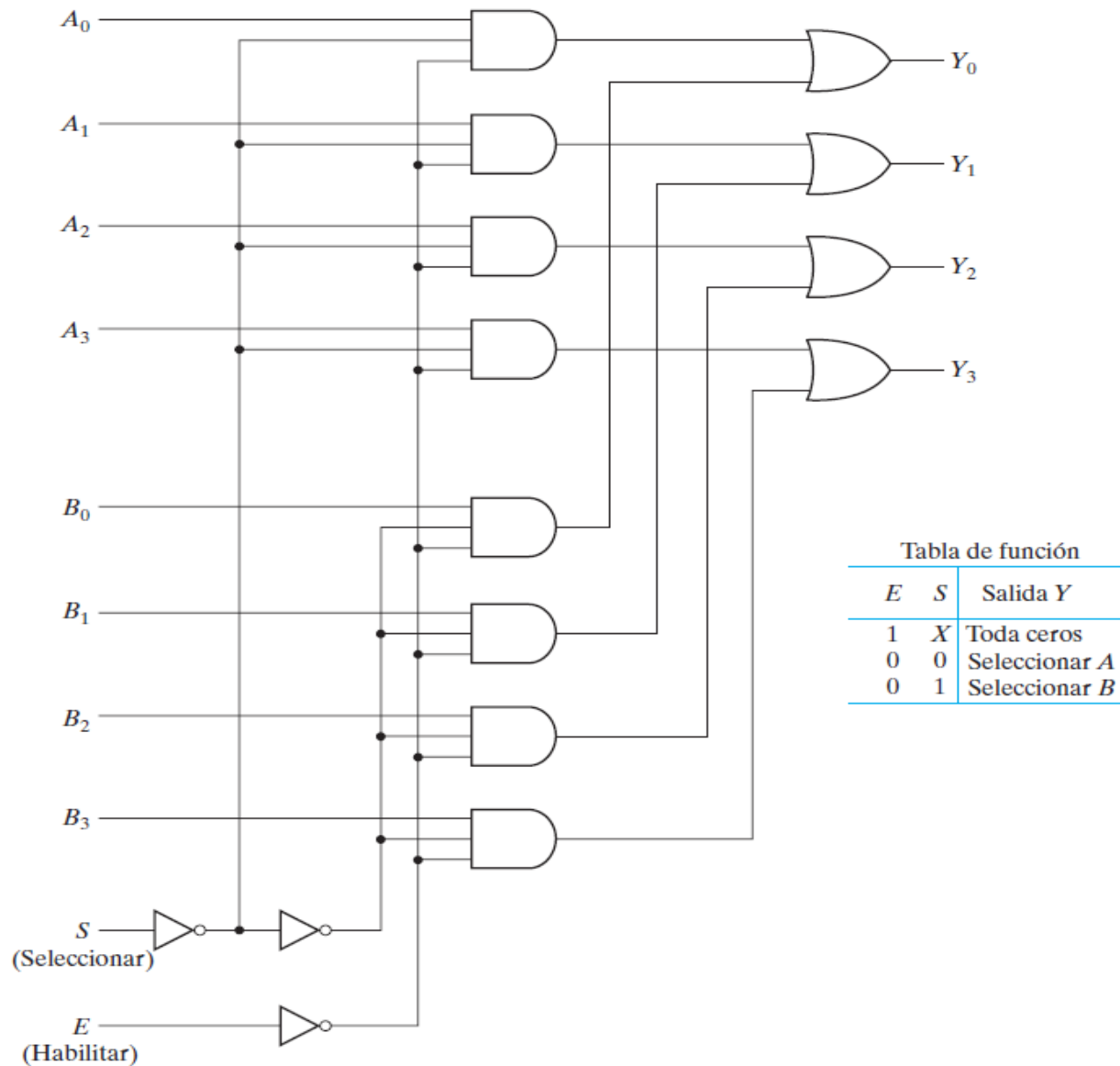
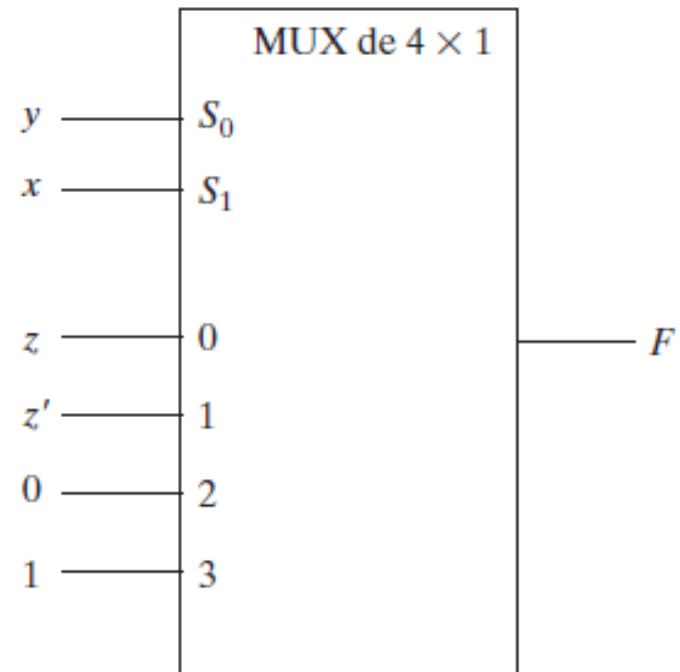


FIGURA 4-26
Multiplexor cuádruple de 2 líneas a 1

IMPLEMENTACIÓN DE LÓGICA CON MULTIPLEXORES

x	y	z	F	
0	0	0	0	$F = z$
0	0	1	1	
0	1	0	1	$F = z'$
0	1	1	0	
1	0	0	0	$F = 0$
1	0	1	0	
1	1	0	1	$F = 1$
1	1	1	1	

a) Tabla de verdad



b) Implementación con multiplexor

FIGURA 4-27

Implementación de una función booleana con un multiplexor

IMPLEMENTACIÓN DE LÓGICA CON MULTIPLEXORES

<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>F</i>	
0	0	0	0	0	$F = D$
0	0	0	1	1	
0	0	1	0	0	$F = D$
0	0	1	1	1	
0	1	0	0	1	$F = D'$
0	1	0	1	0	
0	1	1	0	0	$F = 0$
0	1	1	1	0	
1	0	0	0	0	$F = 0$
1	0	0	1	0	
1	0	1	0	0	$F = D$
1	0	1	1	1	
1	1	0	0	1	$F = 1$
1	1	0	1	1	
1	1	1	0	1	$F = 1$
1	1	1	1	1	

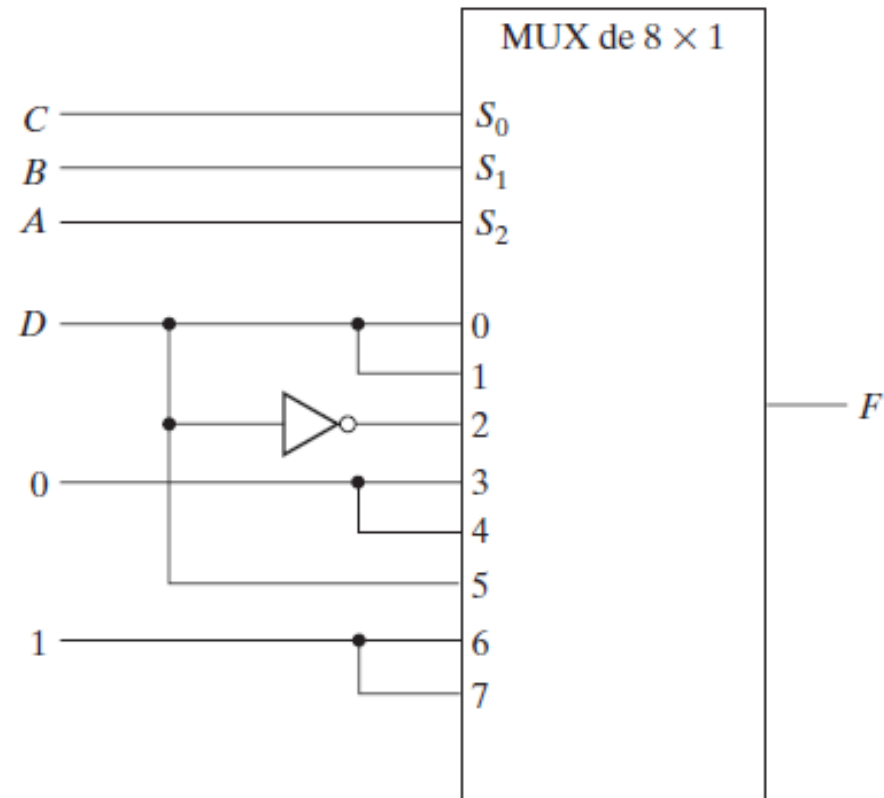


FIGURA 4-28

Implementación de una función de cuatro entradas con un multiplexor

IMPLEMENTACIÓN DE LÓGICA CON BUFFERS DE ALTA CON ALTA IMPEDANCIA

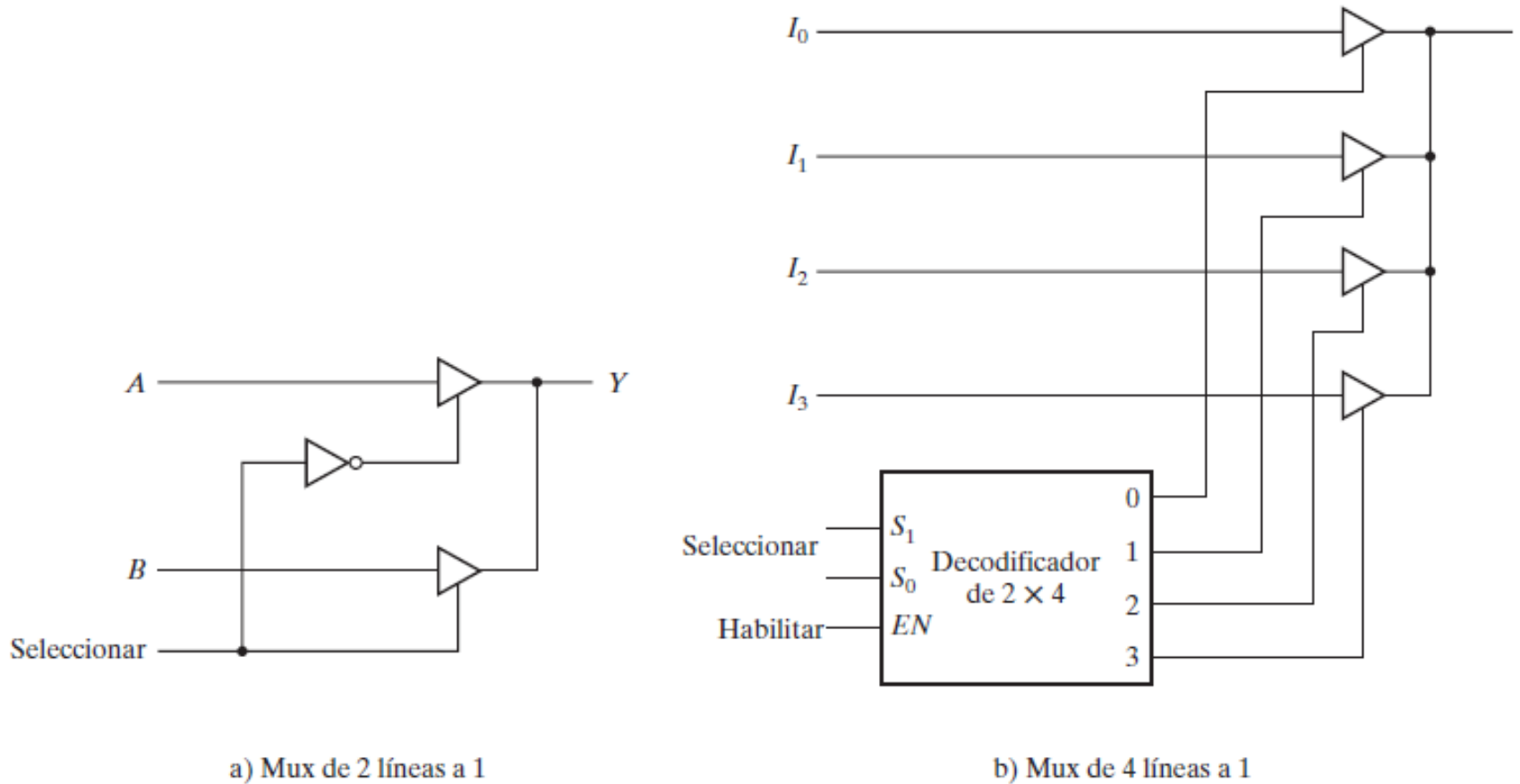


FIGURA 4-30

Multiplexores con compuertas de tres estados