

## PRÁCTICO 5

### Direccionamiento y Lógica de Decodificación de Memorias

#### Mapa de memoria

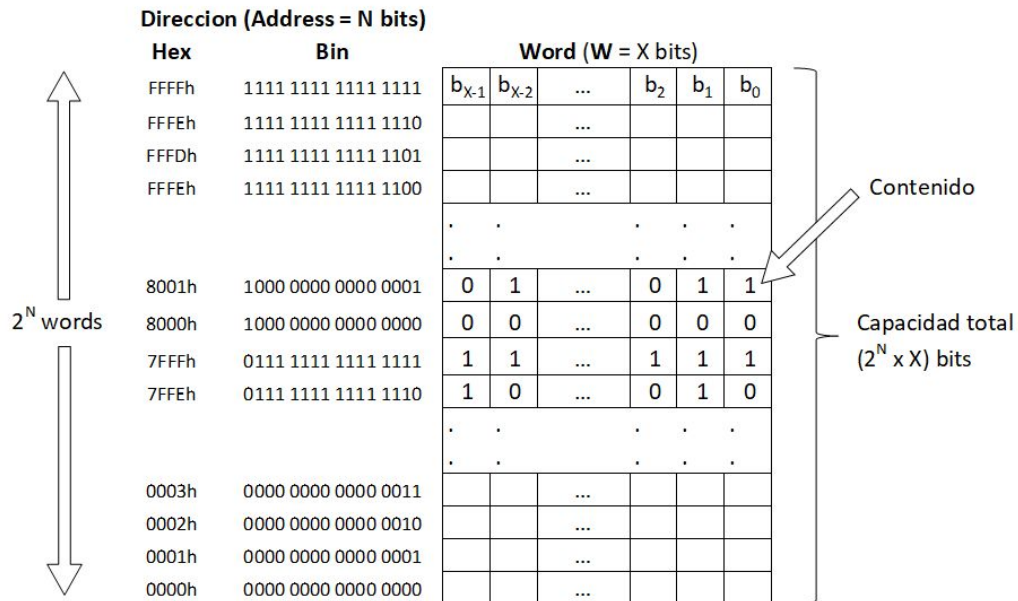


Tabla de capacidad de direccionamiento y unidades de almacenamiento de información

N bits ( $2^N$ )	Capacidad (en words)	N bits ( $2^N$ )	Capacidad (en words)	Símbolo [Prefijo]
$2^1$	2 words	$2^{10}$	1024 words	1Kw [Kilo]
$2^2$	4 words	$2^{20}$	1024 Kw	1Mw [Mega]
$2^3$	8 words	$2^{30}$	1024 Mw	1Gw [Giga]
$2^4$	16 words	$2^{40}$	1024 Gw	1Tw [Tera]
$2^5$	32 words	$2^{50}$	1024 Tw	1Pw [Peta]
$2^6$	64 words			
$2^7$	128 words			
$2^8$	256 words			
$2^9$	512 words			

#### Ejercicio 1:

Dados los siguientes bloques de memoria:

- |                 |                 |
|-----------------|-----------------|
| 1) 8Kbyte       | 5) 16Knibble    |
| 2) 256 x 16bits | 6) 32Mbyte      |
| 3) 2Kbits       | 7) 16K x 32bits |
| 4) 4K x 4bits   | 8) 1024Kbyte    |

Se pide:

- Ordenar los bloques de forma descendente según su capacidad total.
- Ordenar los bloques de forma ascendente según su cantidad de palabras.

**Ejercicio 2:**

Cuántos “chip” de memoria RAM de 2K palabras x 8 bits se necesitan para implementar un banco de memoria de:

- A. 2K palabras de 16 bits?
- B. 4K palabras de 8 bits?
- C. 4K palabras de 16 bits?

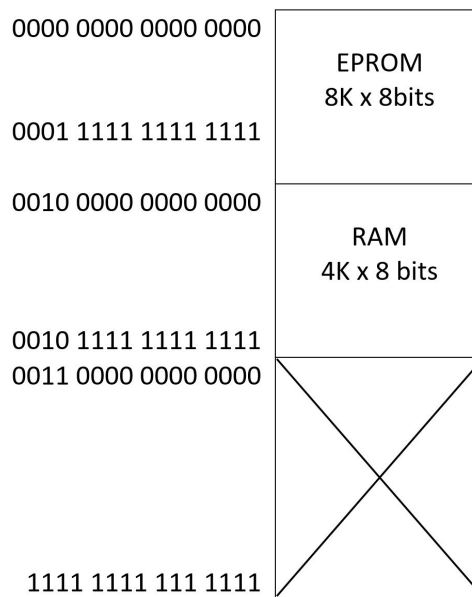
**Ejercicio 3:**

Construir un sistema de memoria RAM de 4K palabras de 16 bits mediante la utilización de “chips” de memoria de:

- A. 1K palabras de 16 bits.
- B. 4K palabras de 8 bits.
- C. 2K palabras de 8 bits.

**Ejercicio 4:**

Construir un sistema de memoria como el que se muestra en el mapa de memoria de la figura. Se dispone para su implementación con los siguientes “chip” de memoria: EPROM de 2K x 8 bits y RAM de 2K x 4 bits.



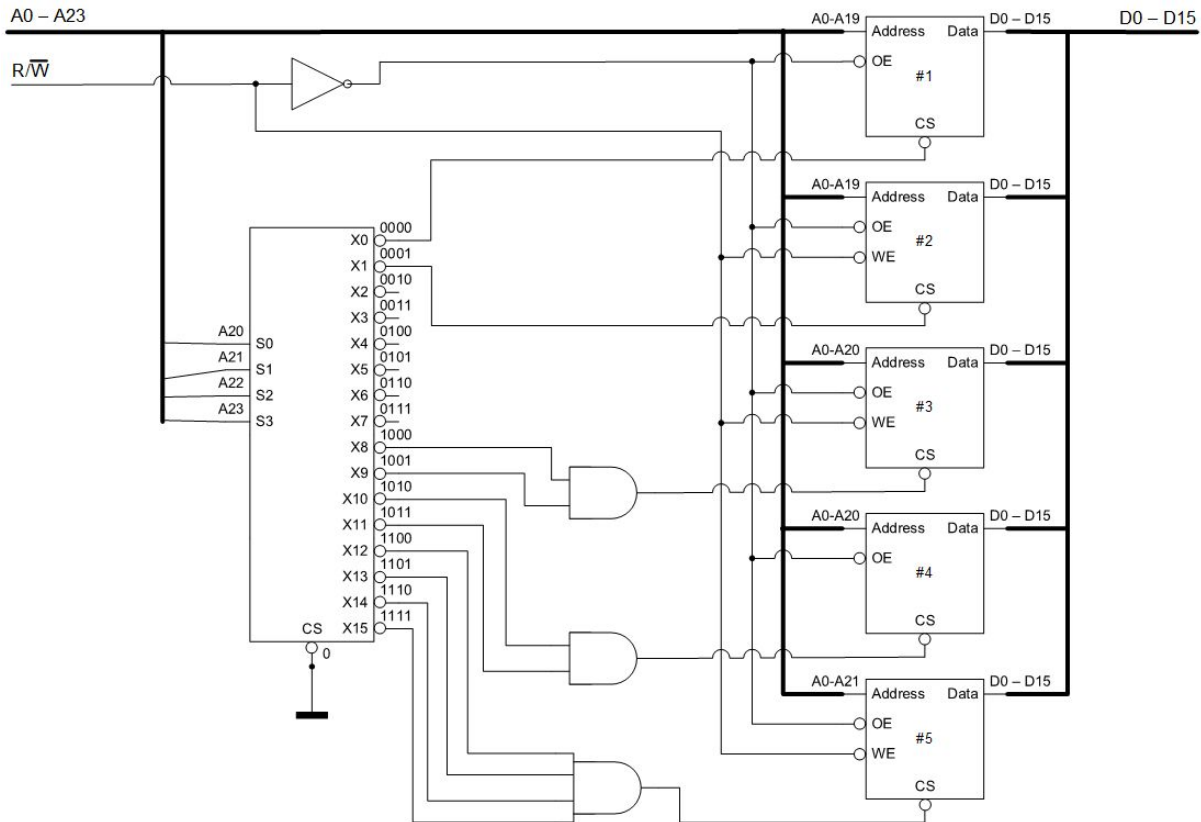
**Ejercicio 5:**

“Interleaved Memory” es una técnica utilizada para compensar la velocidad relativamente lenta de las memorias dinámicas de acceso aleatorio (DRAM) respecto al procesador. Esta técnica consiste en distribuir direcciones de memoria en forma uniforme a través de distintos bancos, y así evitar el tiempo de ciclo que se debería esperar entre dos accesos consecutivos a memoria. Sabiendo esto, se pide:

Implementar la sección de RAM del ejercicio 3 como un sistema de memoria de dos bancos, de forma tal que las direcciones pares estén contenidas en un banco y las impares en otro.

**Ejercicio 6:**

Basados en el sistema de memoria mostrado en la figura.



Se pide:

- Calcular el máximo espacio direccionable por el procesador expresado en palabras de 16 bits.
- Desarrollar el mapa de direcciones implementado indicando el inicio y final de cada bloque de memoria.
- Indicar en qué bloque se encuentran las siguientes direcciones:
  - 0x0654321
  - 0x0ABCDEF
  - 0x0FEDCBA
  - 0x0123456
  - 0x2000000
- Diseñar con compuertas lógicas un circuito que proporcione un "1" a la salida cuando la dirección generada por el procesador no esté en el mapa de memoria implementado.