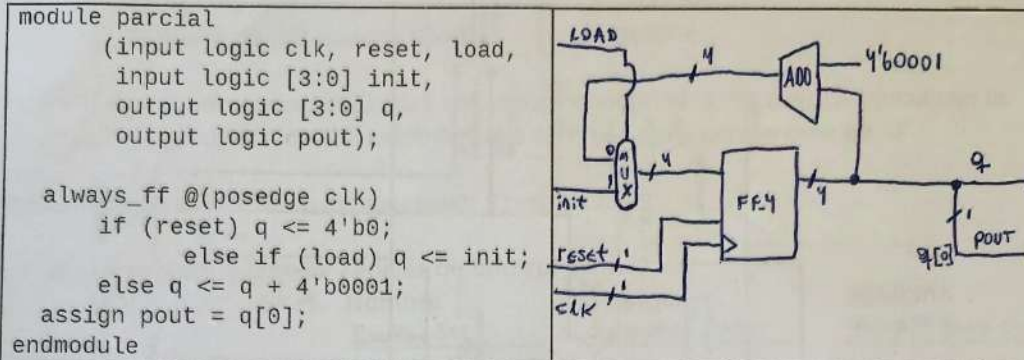


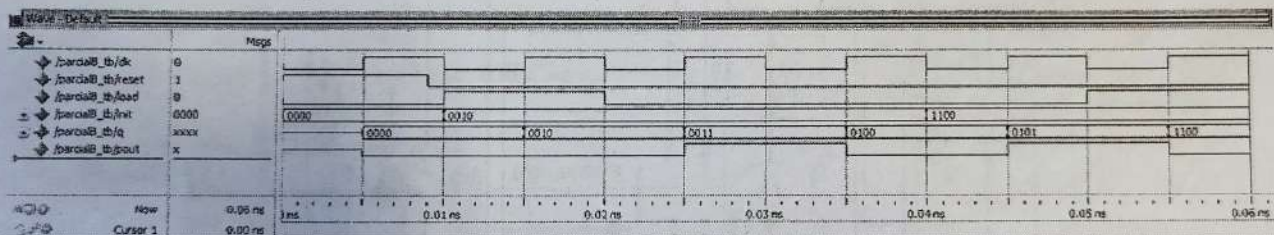
9

Ejercicio 1

- a) Dibujar en el recuadro el circuito resultante de la síntesis del siguiente código en SystemVerilog:



- b) ¿Qué nombre le pondría a este módulo en lugar de "parcial", que sea más representativo del circuito descrito? COUNTER
- c) A continuación se describe en SystemVerilog el test bench del módulo **parcial**. Completar las líneas con los elementos faltantes para obtener las formas de onda de respuesta que se muestran en la figura.



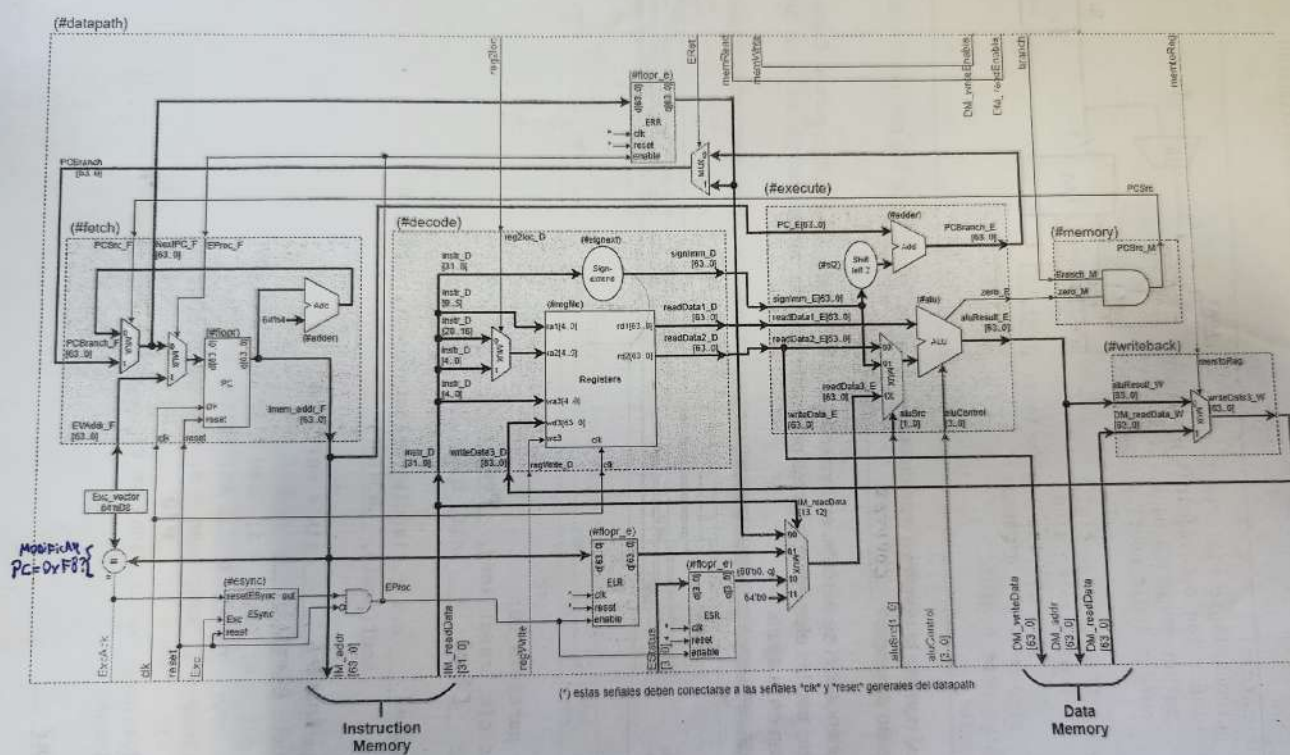
```

module parcialB_tb;
  logic clk, reset, load, pout;
  logic [3:0] init, q;

  parcial dut (.clk(clk), .reset(reset), .load(load),
               .pout(pout), .init(init) ,.q(q));

  always begin #5; clk = ~clk; end;
  initial begin
    clk = 0; reset = 1; load = 0; init = 4'b0000;
    #9; reset = 0; #1; init = 4'b0010;
    load = 1; #10; load = 0; #20; init = 4'b1100;
    #10; load = 1; #10;
    $display("Valor final de q: 4'b ", q);
    $stop;
  end
endmodule
  
```

Ejercicio 2



Se requiere manejo de sistema (Extr)

45085745 A.

45085746 A.

Parcial 1 - Arquitectura de computadoras 2024 Nombre: TOMÁS ARIAN BEZECIO

Se requiere analizar las modificaciones necesarias al procesador LEGv8 de un ciclo con manejo de EXCEPCIONES (Práctico 3) a fin de separar los vectores de excepciones de sistema (op code invalido para nuestro caso), del vector de interrupciones por periféricos (ExtIRQ). Los nuevos vectores son:

- OpCode Invalido = 0x00D8
- Interrupción de E/S externa (ExtIRQ) = 0x00F8

NOTA: La señal de respuesta *ExcAck* solo debe ponerse en "1" en caso de ejecutarse la ISR de una Interrupción de E/S externa. Caso contrario debe permanecer en "0".

Proponga una modificación al procesador y responda:

- a) Es necesario agregar señales de control extras?

NO:.....

SI: X

Nombre

#Origen

#Destino

ExcVecSel

ESTATUS

FIGURA 1 punto c)

- b) Enumere qué módulos existentes deben ser modificados (si los hubiera)

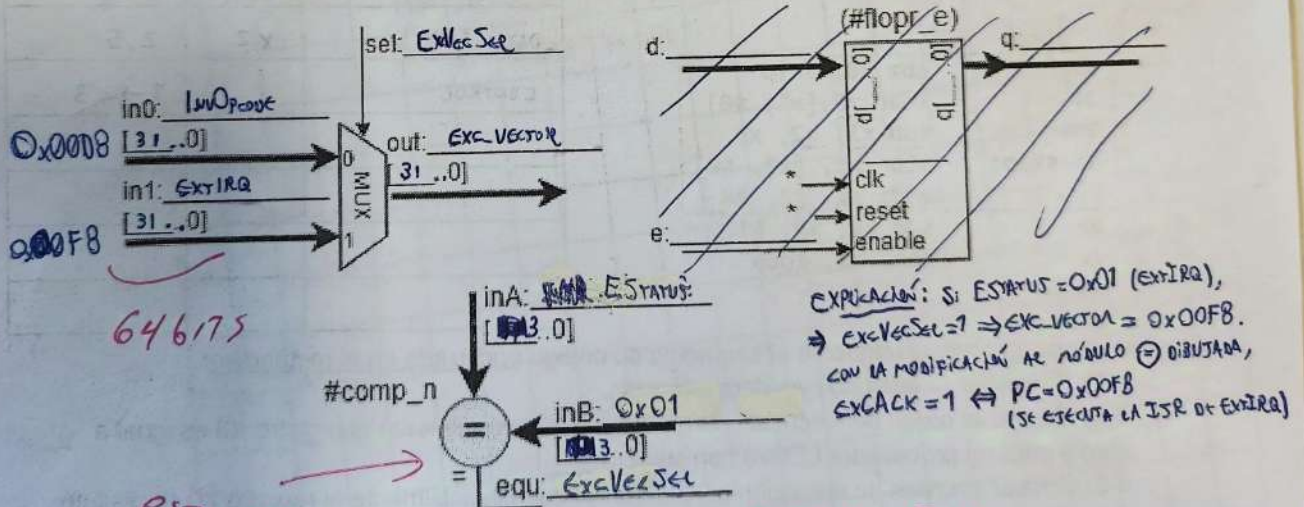
1 ⊖ DIBUJADO EN LA FIGURA

2 # DIBUJADO EN LA FIGURA

3

4

- c) Se requiere agregar alguno de éstos módulos? De ser afirmativo, especificar el nombre de las señales involucradas. Caso contrario, tachar el/los módulos.



ESTO ES LO MISMO QUE ESTATUS [0]

- d) Suponga que el contenido de la dirección de memoria 0x00FC no contiene una instrucción válida. Que ocurre en nuestro nuevo procesador si ocurre una interrupción de E/S externa? (marcar la correcta)

- i) La ISR de interrupción de E/S externa se ejecuta normalmente
- ii) El procesador se queda en un bucle infinito sobre el vector 0x00F8
- iii) El procesador se queda en un bucle infinito sobre el vector 0x00D8
- iv) Ninguna de las anteriores

Ejercicio 3

Asumiendo que las etapas individuales del pipeline de un procesador tienen las siguientes latencias:

	IF	ID	EX	WB
Latencia por etapa	100 ns	80 ns	130 ns	105 ns

a) Completar:

Tipo de procesador	Máxima frecuencia de reloj [Hz]	Latencia de una instrucción [ns]
Sin pipeline	2.4 MHz	415 ns
Con pipeline	7.69 MHz	520 ns

Asuma que quiero ejecutar un fragmento de código que tiene 2E6 instrucciones, las cuales no presentan hazards:

- b) ¿Cuánto tiempo llevaría ejecutar dicho fragmento de código? $260\ 000\ 390\ ns$ (0.26s) $(520 + 1999999 * 130)$
- c) ¿Cuánto tiempo llevaría ejecutar el mismo fragmento si el procesador no tuviese pipeline? $830\ 000\ 000\ ns$ (0.83s) $(415 * 2\ 000\ 000)$

Ejercicio 4

Para la siguiente secuencia de código:

```

loop:
1>      cbz x0, skip
2>      ldur x2, [x1, #0]
3>      sub x3, x2, x0
4> skip: stur x3, [x1, #0]
5>      addi x1, x2, #8
6>      sub x9, x9, #1
7>      cbnz x9, loop
    
```

Tipo de dependencia	Registro	Instrucciones
DATOS (COND)	x2	2,3
DATOS (COND)	x3	3,4
DATOS (COND)	x2	2,5
CONTROL		1 → 2,3

a) Considerando únicamente el segmento de código encerrado en el rectángulo:

a-1) Completar la tabla con las dependencias.

a-2) Mostrar el orden de ejecución considerando que inicialmente el registro X0 es igual a cero y para un procesador LEGv8 con stall.

a-3) Mostrar el orden de ejecución considerando que el inicialmente el registro X0 es distinto de cero y para un procesador LEGv8 con forwarding stall.

b) Considerando el código completo, que inicialmente el registro x9 está inicializado en 1000, x0 es distinto de cero y para un procesador LEGv8 con forwarding stall:

b-1) ¿Cuántos ciclos de clock tomaría ejecutar este código? 14997 $(999 * (12+3) + 12)$

b-2) ¿Cuántos ciclos de clock tomaría ejecutar este código en el microprocesador optimizado para saltos: 12999 $(999 * (12+1) + 12)$

b-3) Calcular la ganancia de velocidad entre los puntos b-1 y b-2: 1.1537

Respuestas puntos a-2 y a-3 en la siguiente hoja

Parcial 1 - Arquitectura de computadoras 2024

Nombre: Tomás Achával Pérez

Nº de línea de instrucción

STALL

Flush

α-2)	cc1	cc2	cc3	cc4	cc5	cc6	cc7	cc8	cc9	cc10	cc11	cc12	cc13	cc14	cc15	cc16	cc17	cc18	cc19	cc20	cc21
1	IF	ID	IE	M	WB																
2		IF	ID	IE																	
3			IF	ID																	
4				IF																	
4					IF	ID	IE	M	WB												
5						IF	ID	IE	M	WB											

α-3)

1	IF	ID	IE	M	WB																
2		IF	ID	IE	M	WB															
3			IF	ID																	
3				IF	ID	IE	M	WB													
4					IF	ID	IE	M	WB												
5						IF	ID	IE	M	WB											

Forwarding