

Integracija na razini sustava

2014./2015.

Administracija predmeta, uvod i motivacija



**Sveučilište u Zagrebu
Fakultet elektrotehnike i računarstva**





Pregled tema

■ Administracija

- organizacija nastave
- sadržaj kolegija
- literatura
- ocjenjivanje



ADMINISTRACIJA



Integracija na razini sustava

- engl. *System Level Integration*
- **Predmeti specijalizacije profila Računalno inženjerstvo**
- ECTS : 4
- Nositelji:
 - Vlado.Sruk@fer.hr (D-332)
 - Hrvoje.Mlinaric@fer.hr (C11-09)



Asistenti, informacije

- Asistenti:
 - Danko.Ivosevic@fer.hr (D-344, D-335)
- Informacije:
 - sve obavijesti u svezi predmeta biti će objavljene na web stranici:
<http://www.fer.unizg.hr/predmet/inrss> 
 - predavanja: Moodle
<https://moodle.fer.hr/course/view.php?id=21>



Predavanja i konzultacije



- Predavanja
 - četvrtak, 14-16, D-306
- Konzultacije profesora i asistenata: FER web stranice:
[Http://www.fer.unizg.hr/predmet/inrss/konzultacije](http://www.fer.unizg.hr/predmet/inrss/konzultacije)
 - najava e-pošta:
 - Naslov/Subject: [SOC] Konzultacije



Organizacija predmeta

- **Predavanja** su organizirana u dva ciklusa (7+6 tjedana) s 2 sata predavanja.
- **Samostalni rad:** Lab. vježbe
- **Anketa:** središnji i završni upitnik
- **Kontinuirana provjera znanja:**
 - kratke provjere znanja, međuispit, završni ispit



Preporučena literatura

- ***Bilješke s predavanja***
- Nastavni sadržaji prezentacija s predavanja
 - 2-3 dana prije predavanja (FER web)
- Dodatni sadržaji
 - članci, tehnička dokumentacija (FER web, Moodle, web)
- Knjige:
- D. D. Gajski, S. Bdi, A. Gerstlauer, G. Schirner, Embedded System Design: Modeling, Synthesis, Verification
- M. Keating, P.Bricaud: Reuse Methodology Manual for System-on-A-Chip Design
- W. Wolf: Computers as Components: Principles of Embedded Computing System Design, Morgan Kaufmann, 2nd Edition, 2005



Ocjenvivanje u kontinuiranoj nastavi

Aktivnost	max. 9
Projekt	max. 30
Međuispit	max. 25
Završni ispit	max. 36

- Uvjeti za izlazak na završni ispit:
 - $\geq 1/9$ bodova iz aktivnosti
 - $\geq 15/30$ bodova iz projekta



Formiranje ocjena

- Polaganje predmeta
 - na završnom ispitу postignuto ≥ 12 bodova
 - prag za prolaz: 50 bodova
- Formiranje ocjena
 - prema utvrđenim pragovima

Ocjena	Bodovi
Izvrstan (5)	≥ 86
Vrlo dobar (4)	≥ 72
Dobar (3)	≥ 60
Dovoljan (2)	≥ 50



Ocenjivanje na ispitnim rokovima

- Uvjeti za izlazak na ispitni rok:
 - **$\geq 15/30$** bodova iz projekta.

Na ispitnom roku prenose se bodovi iz kontinuirane nastave:

Maks. broj bodova:

■ Aktivnost:	9
■ Projekt (8+8+14):	30
■ Pismeni ispit na roku:	61

- Na pismenom ispitu potrebno je ostvariti barem 30 bodova.
- Polaganje predmeta
 - na pismenom ispitu postignuto **≥ 30 bodova**
 - prag za prolaz: **50 bodova**
- Formiranje ocjena
 - **prema utvrđenim pragovima jednakim kao i za kontinuiranu provjeru**



Profil Računalno inženjerstvo

Računalno inženjerstvo bavi se osmišljavanjem i projektiranjem programske podrške i sklopolja računala i sustava temeljenih na računalu, međudjelovanjem sklopolja i programske opreme, oblikovanjem sustava koji podržavaju interakciju čovjeka i računalnog sustava te računalnog sustava i vanjskog svijeta, metodama i postupcima oblikovanja digitalnih sklopovalskih sustava kao što su računalni sustavi, komunikacijski sustavi i svi sustavi koji sadrže u sebi računalo, te programskim sustavima, posebice onima koji se koriste kao sučelja između digitalnih uređaja i naprava.

Računalno inženjerstvo daje sustavni pregled računala i programske podrške kao cjeline i svih postupaka u njihovom projektiranju i korištenju te obuhvaća kombinaciju ključnih znanja računarstva i elektrotehnike. Računalno inženjerstvo daje dubinu znanja i sveobuhvatnost razumijevanja problema potrebnih za rješavanje kompleksnih programskih i programsko-sklopolovskih problema u industriji.



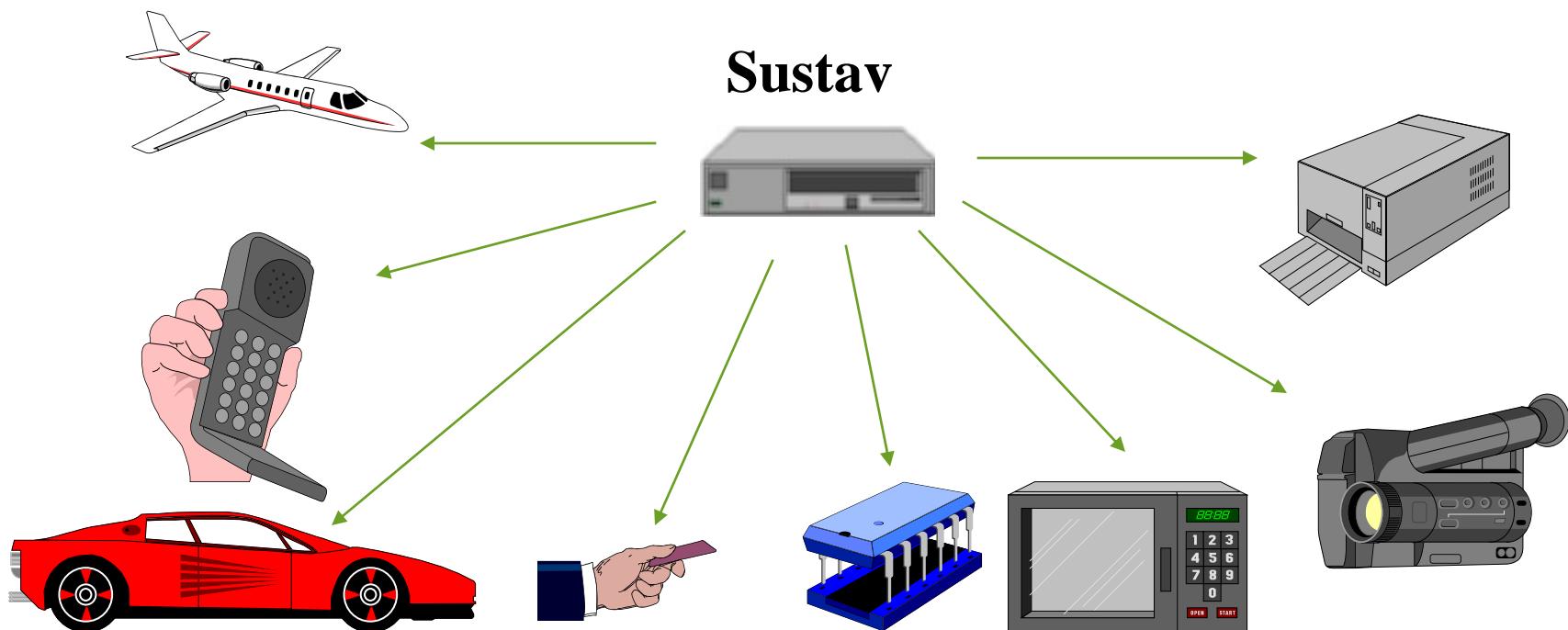
Tema

- Razumijevanje koncepata i procesa oblikovanja sustava na čipu
- Metodologija sklopovalno programskog suoblikovanja
 - engl. *hardware/software co-design*
- Sklopovalno i programsko oblikovanje i verifikacija u kontrolnim, komunikacijskim i multimedijalnim sustavima.
- Definicija arhitekture te odabir gradbenih blokova poluvodičkog intelektualnog vlasništva.
- Metodologija integracije pred-definiranih funkcionalnih blokova u hijerarhijskom procesu podložnom vremenskim ograničenjima.
- Postupci u projektiranju poluvodičkog intelektualnog vlasništva.
- Intelektualno vlasništvo
- Oblikovanje s integracijskom platformom.



Sustav

- Korisnički pogled:
 - specifikirana funkcionalnost i zahtjevi (cijena, brzina ...)
- Projektantski pogled:
Sustav = sklopovske komponente + programi





Ostvarenje sustava

■ Potpuno programsko

- Sklopljivo: matična ploča (*engl. Motherboard*)
- Programi:
 - definiraju i obavljaju sve funkcionalnosti sustava

■ Potpuno sklopljivo

- Sklopljivo: matična ploča + upravljačka jedinica
 - upravljanje osjetnicima i izlaznim napravama
- Programi:
 - komunikacija, složeni algoritmi (npr. obrada slike, ...)

■ Hibridno programsko/sklopljivo

- Sklopljivo : matična ploča + upravljačka jedinica
 - osjetnici
 - mikrokontroler
- Programi :
 - program na matičnoj ploči : komunikacija, složeni algoritmi (npr. obrada slike, ...)
 - program na upravljačkoj jedinici: npr. upravljanje motorima, komunikacija prema matičnoj ploči



Razlika sklopoljja i programa

- Projektanti sklopoljja i programa potpuno različite specijalizacije
- Projekti sadrže oboje
- Brzi rast složenosti i sklopoljja i programa



Problemi projektiranja sklopoljja



- Sporo
- Malo iskusnih
- Velika cijena razvojnih alata
- Razvoj programa čeka izradu sklopoljja



Statistika neuspjeha

- 18% projekata prekinuto unutar 18 mj.
- 58% zakasnilo na tržište
- 20% ne zadovoljava 50% specifikacija
- Proizvodi koji izađu na tržište
 - u vremenu i 50% veći troškovi zarade samo 4% manje
 - 6 mj. zakašnjenja izgube 33% zarade
 - 1 mjesec kašnjenja gubi 14% udjela tržišta



Složenost

- Svi prethodni problemi izravno povezani sa složenošću sustava
- Jedini praktičan način obrade složenosti je podizanje razine apstrakcije sustava

Tehnologija ne ČEKA
&
VRIJEME NE ČEKA



Sustav na čipu

- engl. *System-on-Chip (SoC)*
- Objedinjuje različite komponente računala u jednom čipu
 - mikroprocesor; Memorija; Sabirnica; Periferija; Specifične funkcije
- Razvoj programske podrške
 - zasnovan na simulacijskim modelima ili FPGA
- Sklopovalno programsko suoblikovanje
 - engl. *Hardware/Software Co-Design*
 - potrebno je što ranije odrediti odnose programske i sklopovalne implementacije



Sustav na čipu

- Složeni integrirani sklop koji objedinjuje glavne funkcijeske elemente proizvoda na jednom čipu
- Sustav koji sadrži:
 - ugrađeni CPU (najmanje jedan)
 - ugrađenu memoriju
 - sučelja (povezivanje s vanjskim svjetom: USB, PCI, Ethernet)
 - program (na čipu i izvan)
 - koprocesore za obavljanje najzahtjevnijih funkcija
 - intelektualno vlasništvo IP
 - analogne sklopove
 - programabilno sklopolje
 - tehnologija: ASIC, FPGA



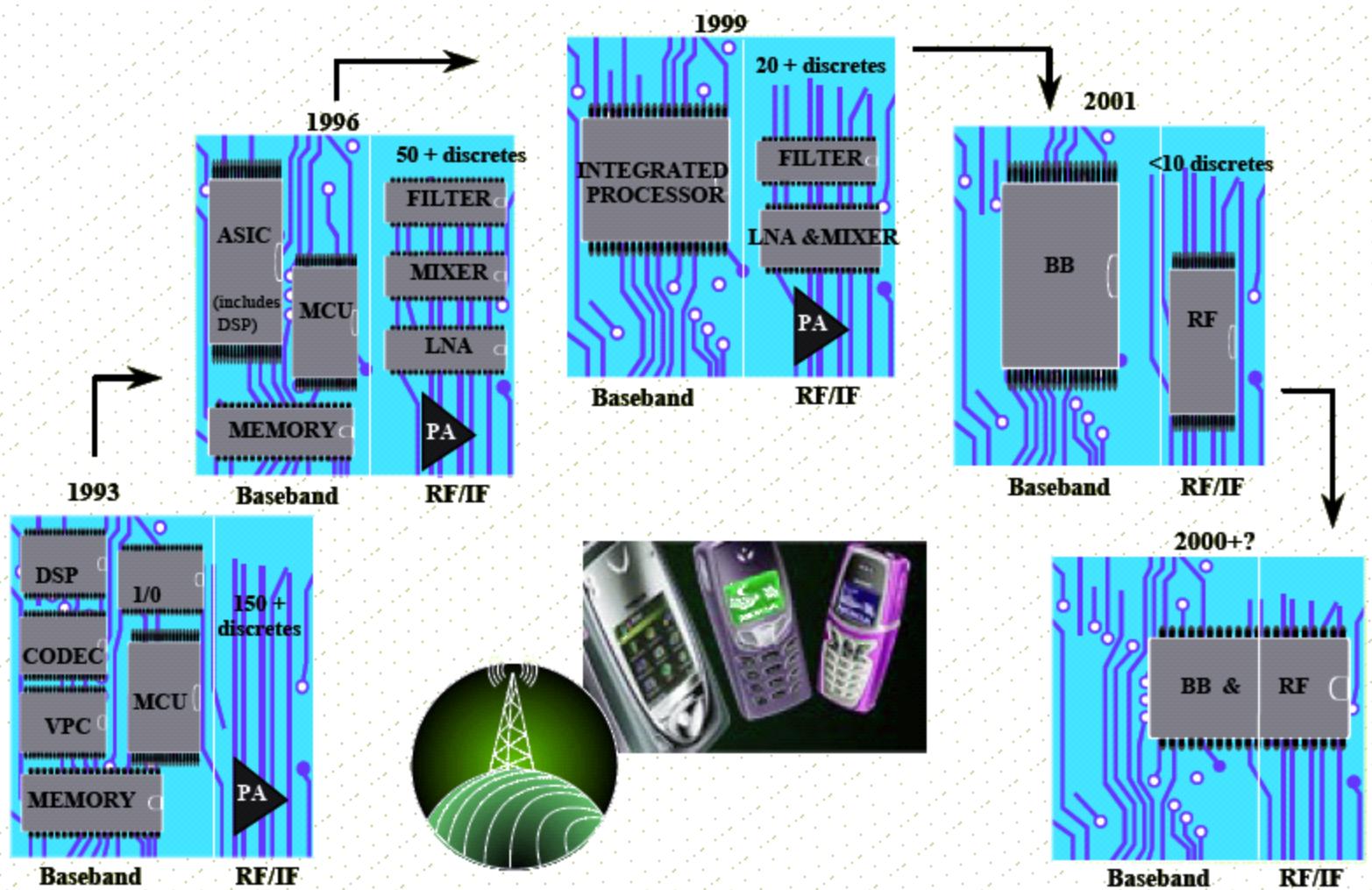
Poticaj razvoju

- SOC specifikacije definira inženjer sustava
- SOC uklanja razdor HW/SW i implementacije na energetiko učinkovit način
- Sustav se gradi na nivou blokova IP vlasništva (ponovna uporaba, *engl. design reuse*) i IP sučelja

- Zahtjevne aplikacije
- Skraćivanje razvoja
- Tehnologija izrade
- Povećanje procesne moći
- Produktivnost
- Nove tehnike i alati

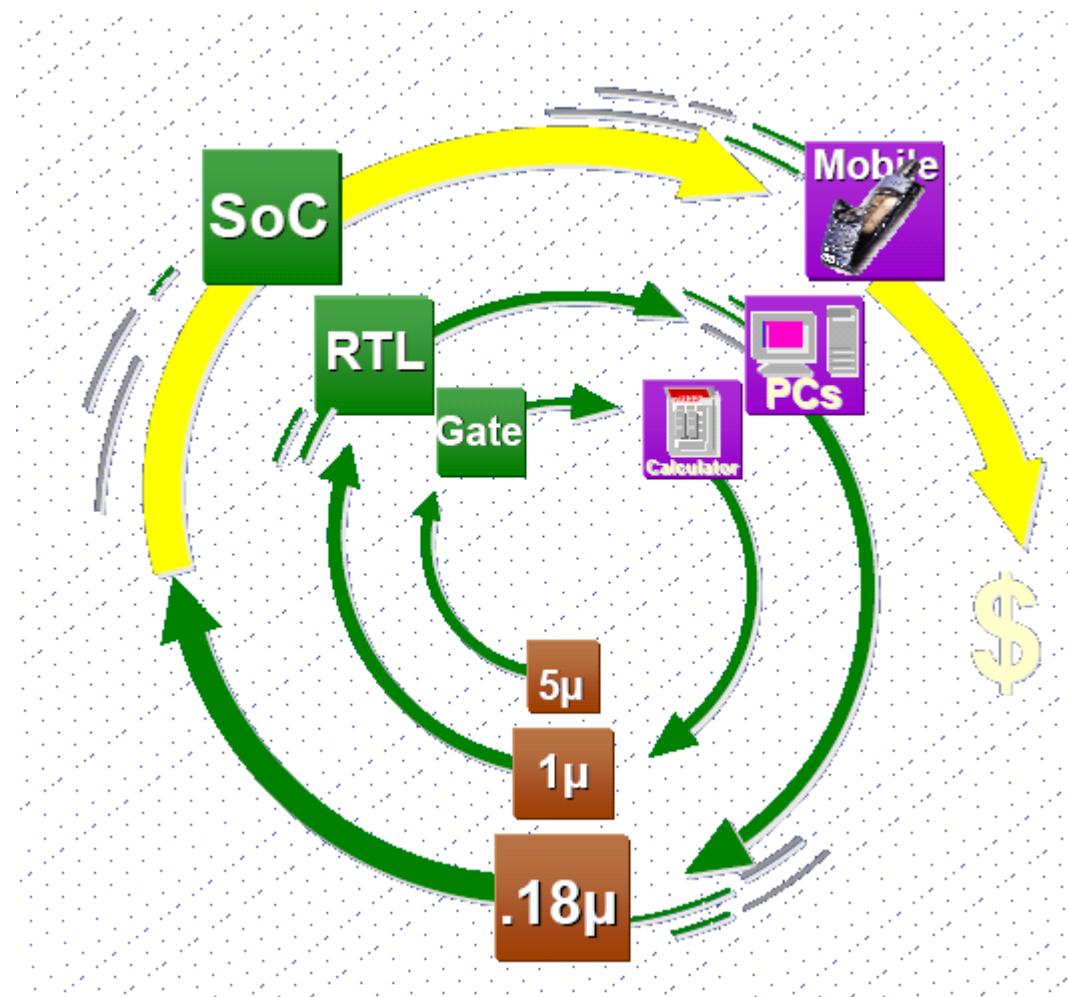


Utjecaj SOC na integraciju proizvoda





Utjecaj na razvoj





Trend razvoja

Year	2002	2005	2008	2011	2014
Feature size (nm)	130	100	70	50	35
Logic: trans/cm ²	18M	44M	109M	269M	664M
Trans/chip	67.6M	190M	539M	1523M	4308M
#pads/chip	2553	3492	4776	6532	8935
Clock (MHz)	2100	3500	6000	10000	16900
Chip size (mm ²)	430	520	620	750	900
Wiring levels	7	7-8	8-9	9	10
Power supply (V)	1.5	1.2	0.9	0.6	0.5
High-perf pow (W)	130	160	170	175	183
Battery pow (W)	2	2.4	2.8	3.2	3.7

Izvor: Semiconductor Industry Association



Svojstva poluvodičkih integriranih sklopova

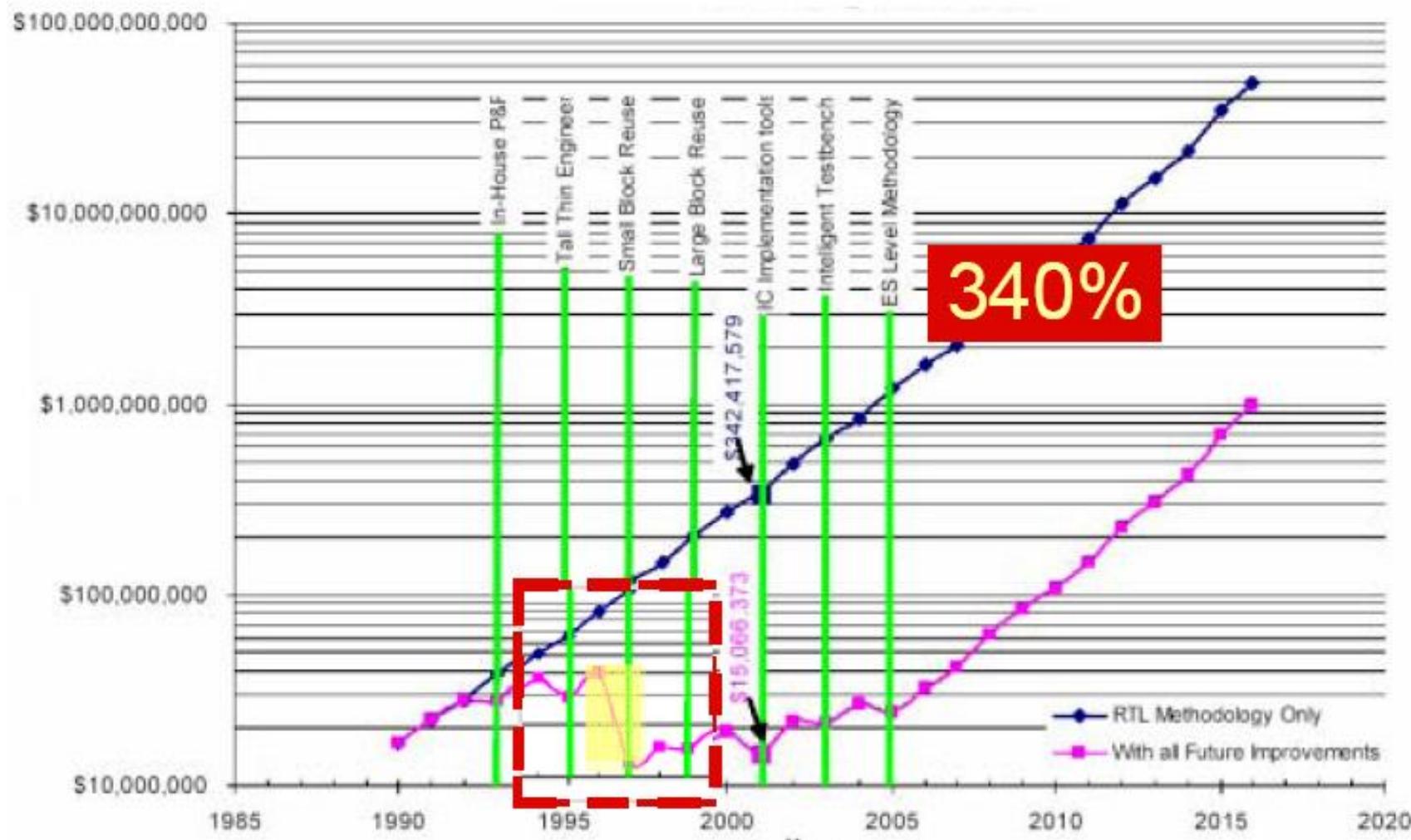
Površina: 2.5x2.5 cm
Napajanje: 0.6 V
Tehnologija: 0.07 μm

	Gbits/cm ²	Vrijeme pristupa (ns)
DRAM	8,5	10
DRAM (Logic)	2,5	10
SRAM (Cache)	0,3	1,5

	(Mgates/cm ²)	potrošnja (W/cm ²)	brzina (GHz)
Custom	25	54	3
Std. Cell	10	27	1,5
Gate Array	5	18	1
Single-Mask GA	2,5	12,5	0,7

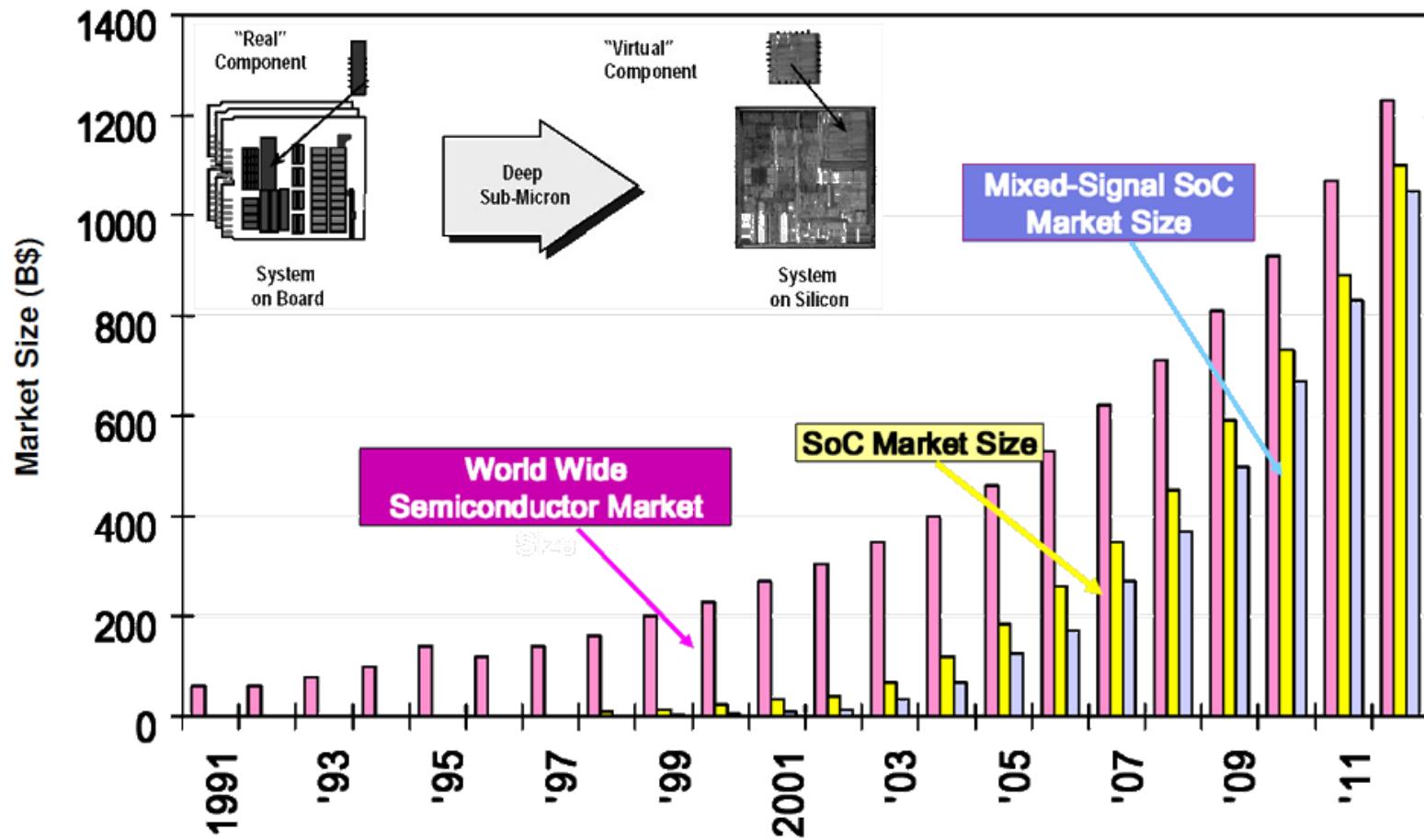


Utjecaj SoC ponovne uporabe na cijenu





Rast SOC-a





Soft IP

- *engl. soft intellectual property, Soft IP*
- Viši novo - HDL model
 - komercijalni HDL zaštićen
 - Licenses of Right - LOR
- Izvori: Cadence, Synopsys Designware, Opencores, MIPS, ...
- Moguće ostvarenje na raznim tehnologijama
- HDL 8051, 6800, Leon, ...
- Svojstva:
 - velike mogućnosti prilagodbe potrebama
 - Instanciranje parametrima
 - vremenska svojstva, površina i potrošnja ovise o ciljanom odabranom procesu, alatima i iskustvu korisnika
- Primjer:
 - <http://www.logicbricks.com/Archive/3D-GPU-For-Xilinx-EPP-FPGA.aspx>
 - <http://www.plda.com/products/asic-ip/pcie-30/xpressrich3-axi>
 - <http://www.triadsemi.com/2007/01/25/soft-ip-for-the-analog-asic-impossible-yet-true/>

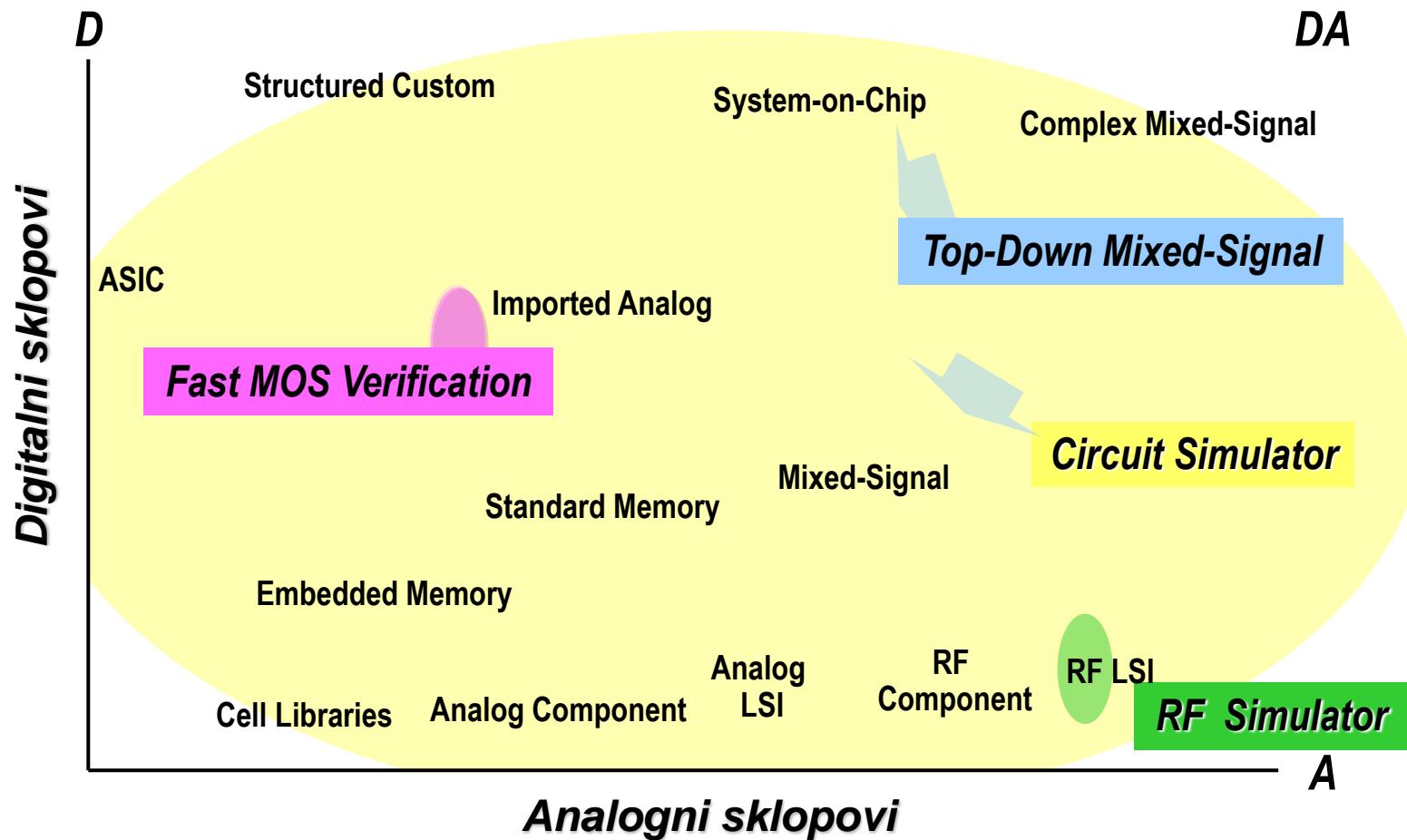


“Hard” IP

- engl. *hard intellectual property, Hard IP*
- Niži novo - npr. *GDSII*
- Finalizirana implementacija intelektualnog vlasništva u obliku fizičke izvedbe
 - potpuna implementacija
 - vezano za proizvodni proces - ispitne maske
 - dostupno samo za ograničen broj tehnoloških procesa
- Prednost
 - zagarantirana vremenska svojstva,
 - definirana površina i potrošnja
- Nema mogućnost jednostavne prilagodbe
- Uobičajeno za analogne, hibridne i složene sklopove
 - PLL, SerDes, ADC, DAC, PHY, procesore (npr. *MIPS, ARM*)
- Primjer:
 - http://www.logicbricks.com/Products/logiMEM_arb.aspx



Metodologije implementacije





Principi ASIC

- engl. *Application-specific integrated circuit*
- “Value-added ASIC for huge volume opportunities; standard parts for quick time to market applications”
- Projektiranje
 - korisničko oblikovanje, radno intezivno
 - velik broj primjeraka
- CAD alati
 - oblikovanje na nivou sustava (koncept - VHDL/C)
 - engl. *System-level design*
 - implementacija VHDL/C -> si
 - vremenska ograničenja
- Strategije oblikovanja:
 - hijerarhija, regularnost, modularnost, lokalnost
 - engl. *Hierarchy; Regularity; Modularity; Locality*



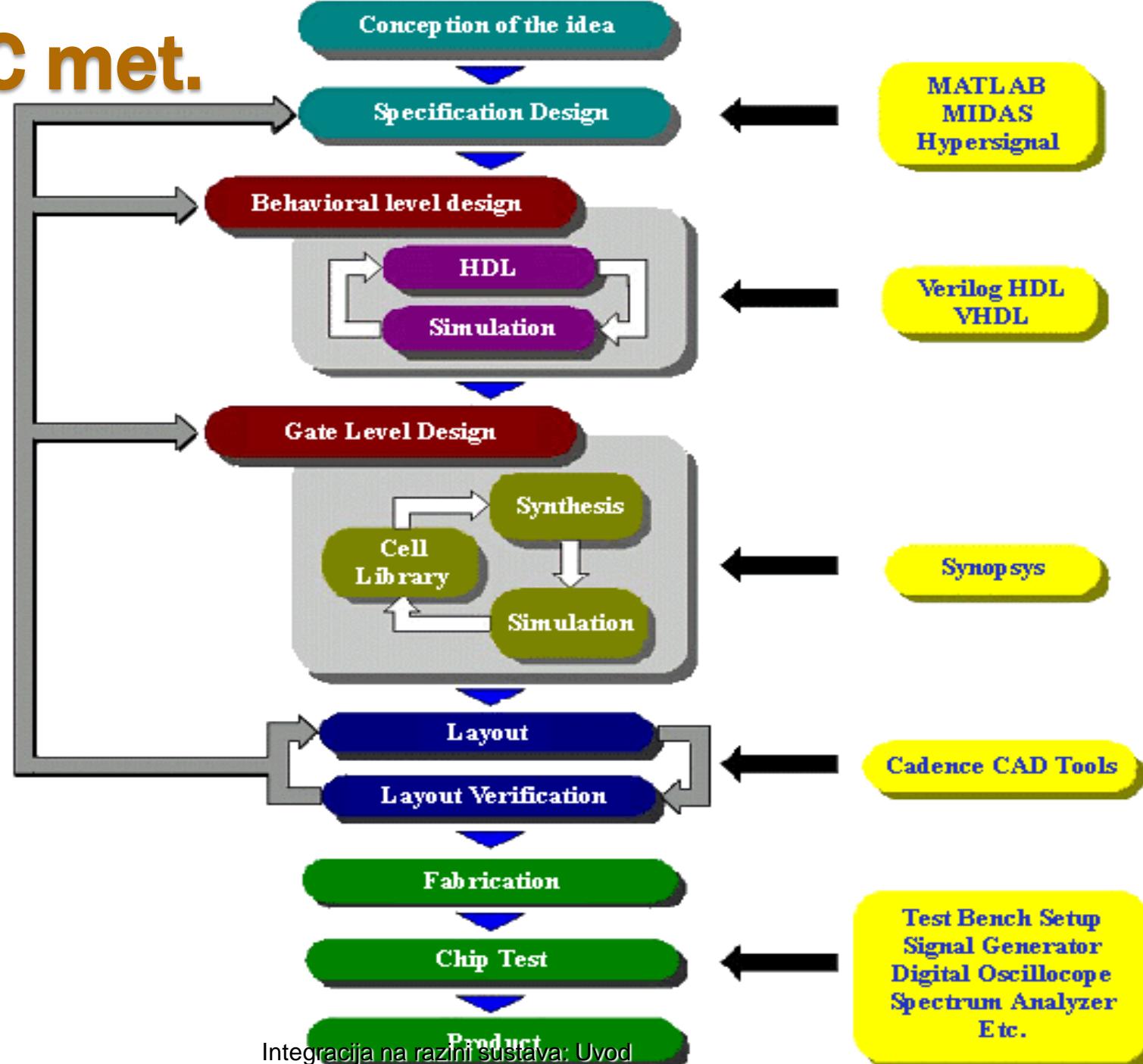
Strategija oblikovanja ASICa



- Ustupci za postizanje zadanih performansi uz poštovanje svih ostalih parametara
- Specifikacija performansi
 - funkcija, vrijeme, brzina, potrošnja
- Površina -> cijena
- Vrijeme oblikovanja -> cijena, TTM
- Ispitivanje -> lakoća generiranja ispitnih slučajeva, cijena, TTM



ASIC met.





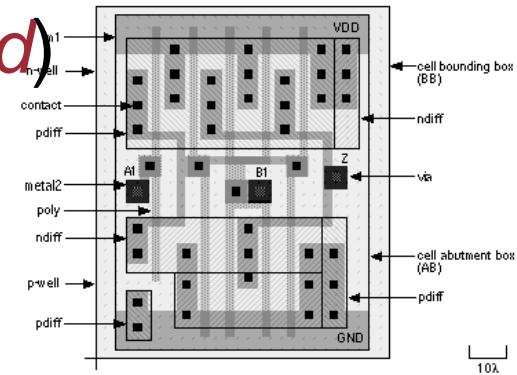
Strukturirano oblikovanje ASIC-a

- Hijerarhija (engl. *Hierarchy*)
 - podjela u više nivoa i podmodula
- Regularnost (engl. *Regularity*)
 - podjela u maskimalan broj sličnih modula na pojedinom nivou
- Modularnost (engl. *Modularity*)
 - definiranje jednoznačnih podmodula s dobro definiranim sučeljima (engl. *interfaces*)
- Lokalnost (engl. *Locality*)
 - zadržavanje kritičnih putova unutar podmodula



Tipovi ASIC

- korisnički (engl. *Custom, Full-Custom*)
- čelijski (engl. *Cell, Standard-Cell Based*)
 - polja (engl. *Gate-Array-Based*)
 - prediffused, mask programmable MGA
 - Structured Gate Array
 - Sea of gates
 - prewired, field programmable FPGA
 - Field-Programmable Gate Arrays
 - antifuse

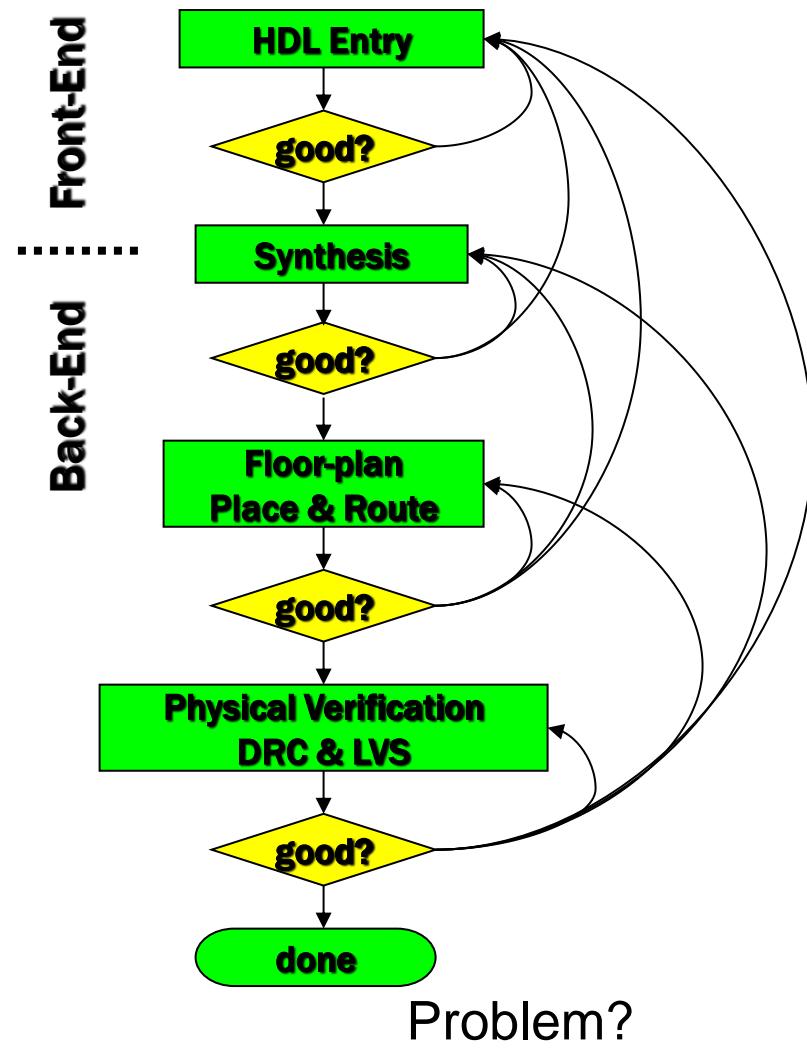


	<i>Custom</i>	<i>Cell-based</i>	<i>Prediffused</i>	<i>Prewired</i>
Density	Very High	High	High	Medium - Low
Performance	Very High	High	High	Medium - Low
Flexibility	Very High	High	Medium	Low
Design time	Very Long	Short	Short	Very Short
Manufacturing time	Medium	Medium	Short	Very Short
Cost - low volume	Very High	High	High	Low
Cost - high volume	Low	Low	Low	High



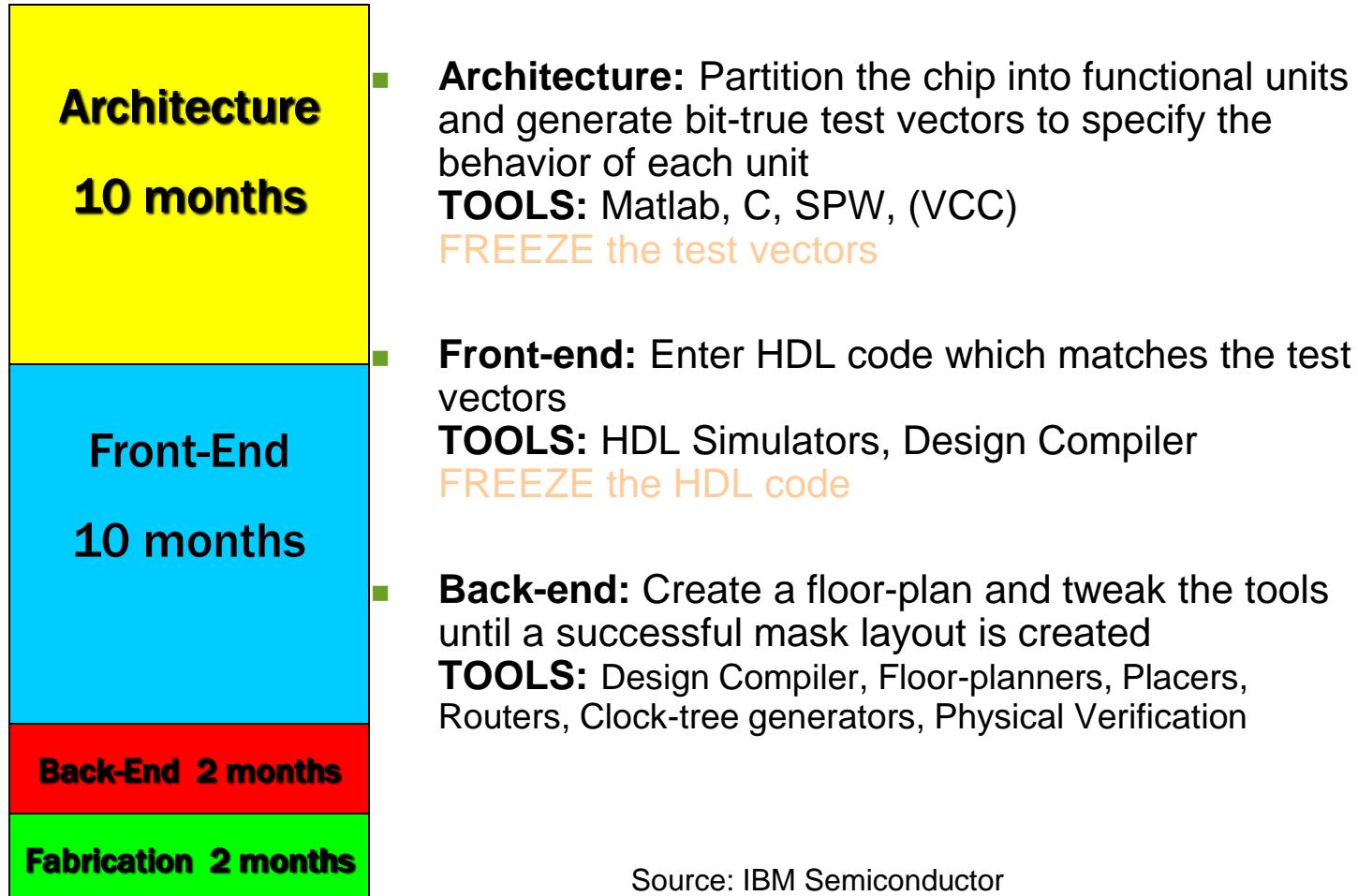
Industrijski standard projektiranja

- Svaki korak vremenski zahtjevan
- HDL opisi ne sadrže fizičke značajke
- Razdvojeno oblikovanje
 - ulazna specifikacija (engl. *front-end*)
 - pozadinsko generiranje (engl. *back-end*)





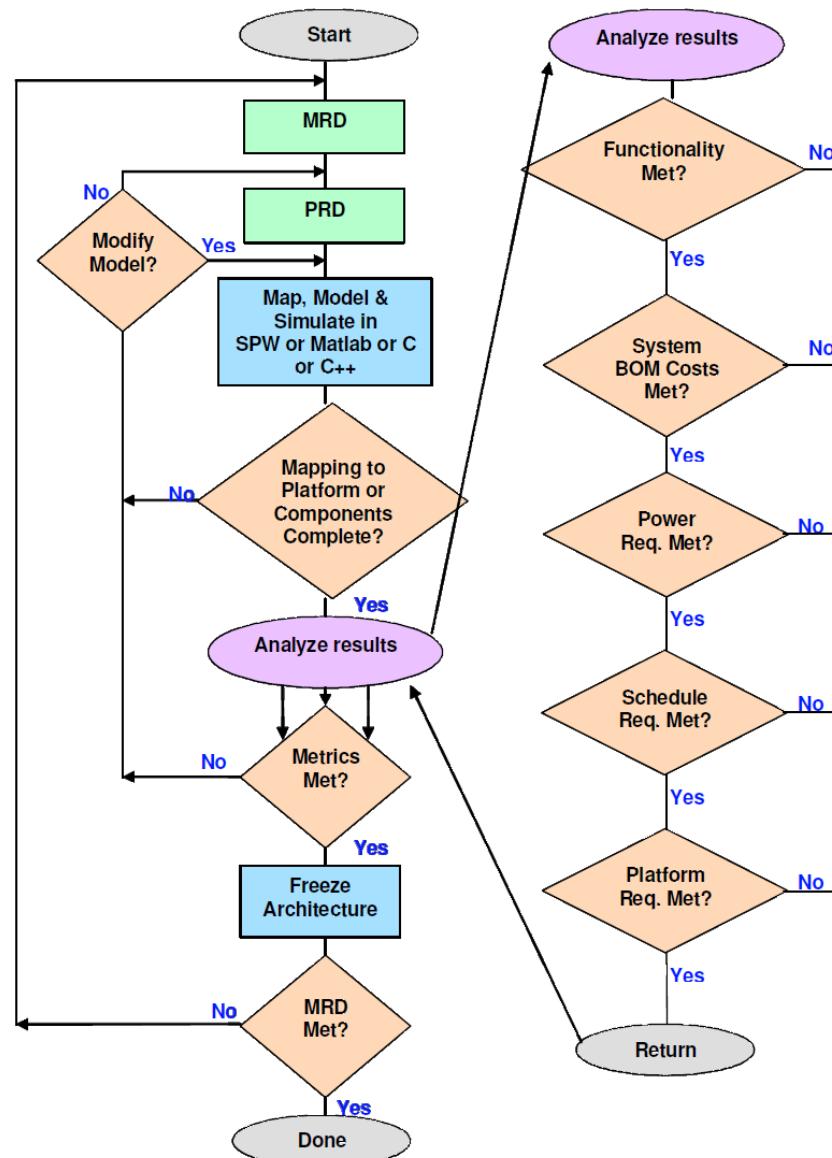
Tipično vrijeme ASIC procesa



Source: IBM Semiconductor



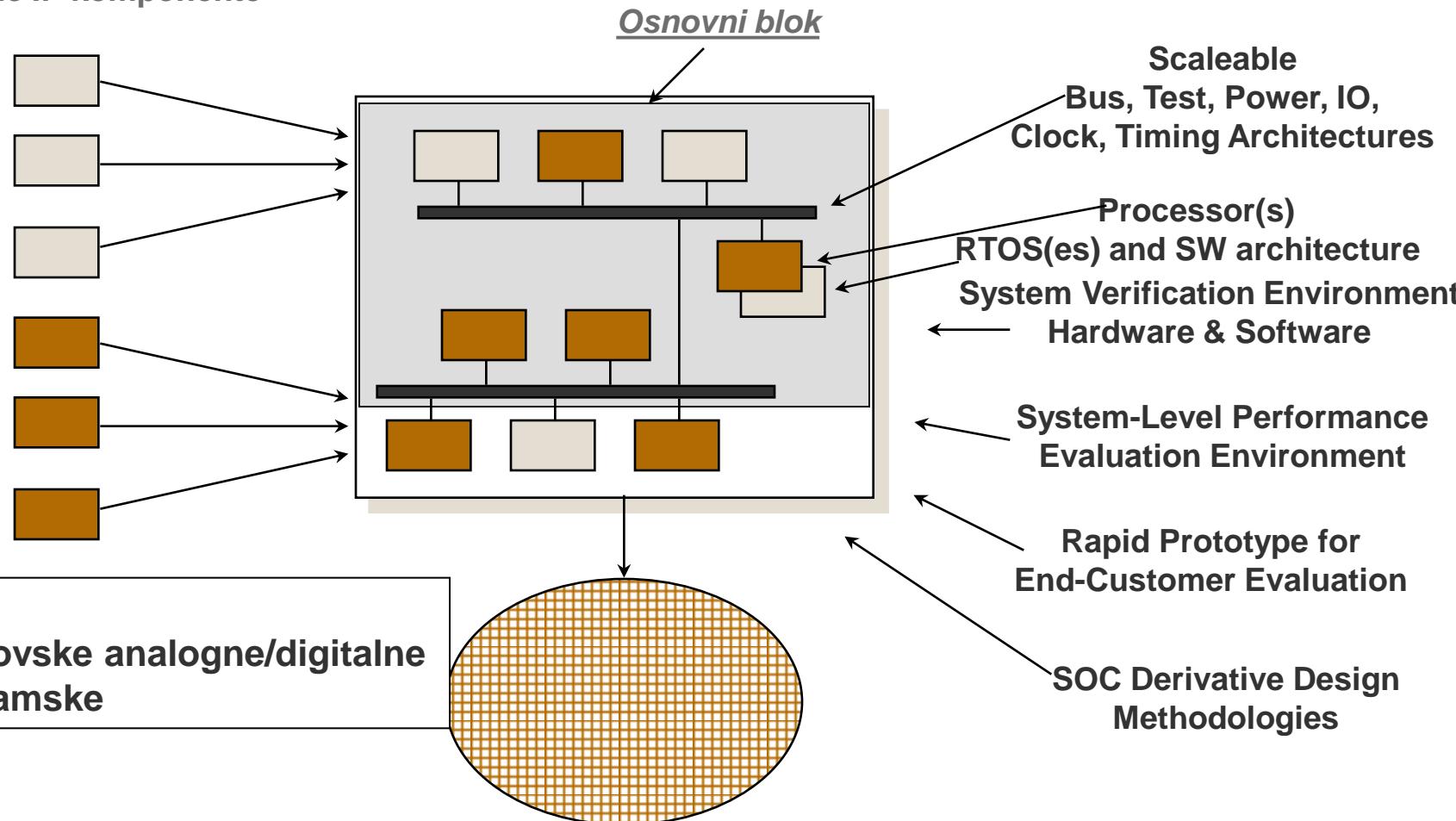
SOC metodologija





Integracija SOC-a

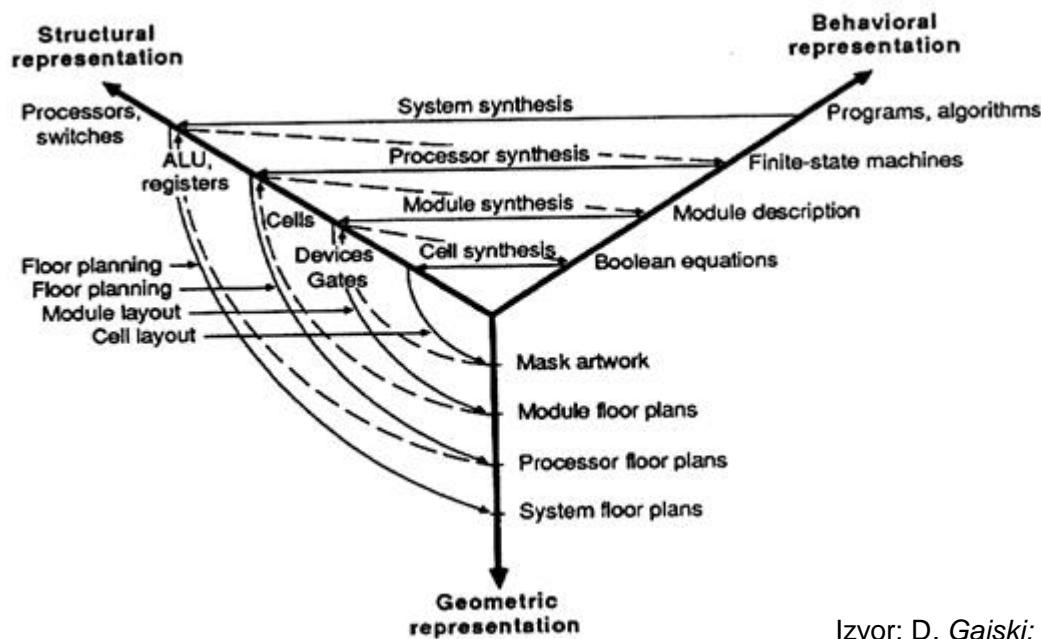
potrebne IP komponente





Metodologija oblikovanja

- Iterativni proces između tri apstrakcije:
ponašajne, strukturne i fizičke
 - engl. *behavior, structure, geometry*
- Trend automatizacije



Izvor: D. Gajski:



Izazovi oblikovanja SOC

- Današnjim sustavima svojstvena je složenost i heterogenost komponenti
- U polovici primjena može se koristiti procesor niske potrošnje (RISC, ASIP) povezan programibilnom sabirnicom i DRAM memorijom, FLASH memorija
 - ostatak ASIC
- Računalna snaga ne postiže se velikom frekvencijom već iskorištavanjem mogućnosti paralelizacije
 - Na taj način pojednostavljuje se oblikovanje zahtjeva vremena, integriteta i ispitivanja
- programabilne komponente - 50GIPS, sklopovska implementacija - 500 GIPS
- mikropocesor - 100MOPs/W, sklopovska implementacija - 100GOPs/W GIPS
- mogućnost implementacije rekonfigurabilnih komponenti



Diskusija