3. izlazni test

1.

Relativni doprinos: 1.0/1.0 **Točno**

Top of Form

|  |  |
| --- | --- |
| Vrijeme potrebno da se promijeni izlaz sinkronog sklopa od trenutka nailaska aktivnog brida signala takta naziva se: | |
|  | vrijeme otpuštanja (engl. release time) |
|  | vrijeme postavljanja (engl. setup time) |
|  | vrijeme kašnjenja (engl. delay time) |
|  | vrijeme zadržavanja (engl. hold time) |
|  | |

Bottom of Form

2.

Relativni doprinos: 1.0/1.0 **Točno**

Top of Form

|  |  |
| --- | --- |
| Označimo trenutno stanje JK bistabila sa Qn, a sljedeće sa Qn+1. Za kombinaciju J=0 i K=1, sljedeće stanje JK bistabila bit će jednako: | |
|  | NOT Qn |
|  | 1 |
|  | Qn |
|  | 0 |
|  | |

Bottom of Form

3.

Relativni doprinos: 1.0/1.0 **Točno**

Top of Form

|  |  |
| --- | --- |
| Zadan je sljedeći VHDL kod:  entity Element is port(  cp, P, Q: in std\_logic;  Qout: out std\_logic);  end Element;  architecture beh of Element is  signal Qint: std\_logic;  begin  process(cp, P)  begin  if falling\_edge(cp) then  if Q= '0' then  Qint<= not Qint;  end if;  end if;  if P='0' then  Qint<= '0';  end if;  end process;  Qout<= Qint;  end beh;  Označite sve ulaze bistabila koji djeluju asinkrono. | |
|  | Q |
|  | P |
|  | |

Bottom of Form

4.

Relativni doprinos: 1.0/1.0 **Točno**

Top of Form

|  |  |
| --- | --- |
| Označimo s fs maksimalnu frekvenciju rada sinkronog binarnog brojila unaprijed sa serijskim prijenosom, a s fp maksimalnu frekvenciju rada sinkronog binarnog brojila unaprijed s paralelnim prijenosom. Ako promatramo fs i fp za 10-bitno brojilo, tada vrijedi: | |
|  | fs može biti jednak fp, a ako nije jednak, onda je veći od fp |
|  | fs je strogo manji od fp |
|  | fs može biti jednak fp, a ako nije jednak, onda je manji od fp |
|  | fs je strogo veći od fp |
|  | |

Bottom of Form

5.

Relativni doprinos: 1.0/1.0 **Točno**

Top of Form

|  |  |
| --- | --- |
| Zadan je sljedeći VHDL kod:  entity Element is port(  clk, Q, R, S, T: in std\_logic;  Qout: out std\_logic);  end Element;  architecture beh of Element is  signal Qint: std\_logic;  begin  process(Qint, clk, Q, R)  variable sel: std\_logic\_vector(1 downto 0);  begin  if Q='0' then  Qint<= '0';  elsif R='1' then  Qint<= '0';  elsif rising\_edge(clk) then  sel:=S&T;  case sel is  when "00"=> Qint<= '0';  when "01"=> Qint<= '0';  when "10"=> Qint<= not Qint;  when "11"=> Qint<= not Qint;  when others=> null;  end case;  end if;  Qout<= Qint;  end process;  end beh;  Označite asinkroni ulaz najvišeg prioriteta. | |
|  | T |
|  | R |
|  | Q |
|  | S |
|  | |

Bottom of Form

6.

Relativni doprinos: 1.0/1.0 **Točno**

Top of Form

|  |  |
| --- | --- |
| Zadan je sljedeći VHDL kod:  entity Element is port(  cp, L, M: in std\_logic;  Qout: out std\_logic);  end Element;  architecture beh of Element is  signal Qint: std\_logic;  begin  process(Qint, cp, L)  begin  if falling\_edge(cp) then  if M= '0' then  Qint<= not Qint;  end if;  end if;  if L='1' then  Qint<= '1';  end if;  Qout<= Qint;  end process;  end beh;  Na što djeluje signal takta cp? | |
|  | na padajući brid |
|  | na logičku razinu 0 |
|  | na rastući brid |
|  | na logičku razinu 1 |
|  | |

Bottom of Form

7.

Relativni doprinos: 1.0/1.0 **Točno**

Top of Form

|  |  |
| --- | --- |
| Kod kojeg/kojih se automata ulazi pišu na lukovima? | |
|  | niti kod jednog od ova dva |
|  | samo kod Mooreovog |
|  | samo kod Mealyjevog |
|  | i kod Mooreovog, i kod Mealyjevog |
|  | |

Bottom of Form

8.

Relativni doprinos: 1.0/1.0 **Točno**

Top of Form

|  |  |
| --- | --- |
| U ovoj laboratorijskoj vježbi, sklop Dekoder stanja je: | |
|  | kombinacijski sklop |
|  | sinkroni sekvencijski sklop |
|  | asinkroni sekvencijski sklop |
|  | ništa od navedenoga |
|  | |

Bottom of Form

9.

Relativni doprinos: -0.25/1.0 **Netočno**[**Vaše rješenje**](https://ferko.fer.hr/ferko/external/StudTest2.action?prq=79B8B8F8C85C0D0D99A9D849091D99A9D81D79D80D99A9D849090DCBCB6B2BE919E989A9D8ED9869A9886BB8A9291DE9C9B86909190C69B92CECCC&tdid=9_0) **|** [**Točno rješenje**](https://ferko.fer.hr/ferko/external/StudTest2.action?prq=79B8B8F8C85C0D0D99A9D849091D99A9D81D79D80D99A9D849090DCBCB6B2BE919E989A9D8ED9869A9886BB8A9291DE9C9B86909190C69B92CECCC&tdid=9_0)

Top of Form

|  |  |
| --- | --- |
| Zadan je sljedeći VHDL kod:  entity Element is port(  clk, P, Q, R: in std\_logic;  Qout: out std\_logic);  end Element;  architecture beh of Element is  signal Qint: std\_logic;  begin  process(...)  begin  if rising\_edge(clk) then  if R= '1' then  Qint<= not Qint;  end if;  end if;  if P='0' then  Qint<= '1';  end if;  if Q='0' then  Qint<= '1';  end if;  end process;  Qout<= Qint;  end beh;  Označite sve signale koji čine minimalnu listu osjetljivosti.  (označeno je TOČNO) | |
|  | P |
|  | R |
|  | Q |
|  | Qint |
|  | clk |
|  | |

Bottom of Form

Top of Form

|  |
| --- |
|  |

Bottom of Form

10.

Relativni doprinos: 1.0/1.0 **Točno**

Top of Form

|  |  |
| --- | --- |
| Kod kojeg/kojih je automata izlaz u potpunosti definiran stanjem (tj. ako znate samo stanje, onda odmah znate i izlaz)? | |
|  | niti kod jednog od ova dva |
|  | i kod Mooreovog, i kod Mealyjevog |
|  | samo kod Mooreovog |
|  | samo kod Mealyjevog |
|  | |

Bottom of Form