

## 实验三 模型机中组合部件的实现（二）

### 一、实验目的

1. 了解简易模型机的内部结构和工作原理。
2. 分析模型机的功能，设计 8 重 3-1 多路复用器。
2. 分析模型机的功能，设计 8 重 2-1 多路复用器。
3. 分析模型机的工作原理，设计模型机控制信号产生逻辑。

### 二、实验背景

#### 1. 简易模型机结构

计算机的工作过程可以看作是许多不同的数据流和控制流在机器各部分之间的流动，数据流所经过的路径称作机器的数据通路。数据通路不同，指令执行所经过的操作过程就不同，机器的结构也就不一样。本模型机的结构如图 1 所示：

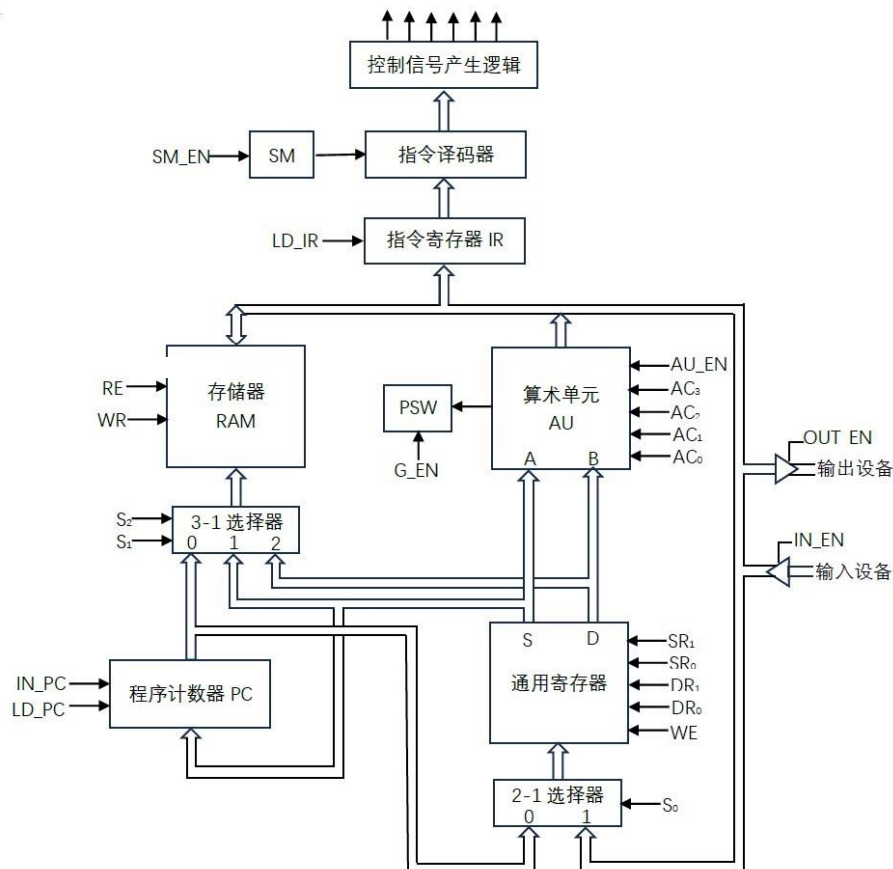
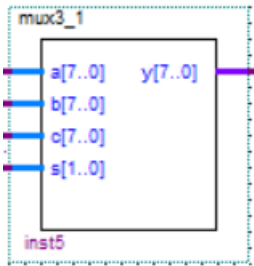


图 1 模型机的结构

2. 8重3-1多路复用器，又名多路选择器

多路复用器是一个组合电路，它可以从多个输入中选择一个输入，将其数据传输到输出。选择哪一路数据输入由一组选择输入变量控制。通常， $2^n$  条数据输入要  $n$  个选择输入，选择输入的位组合决定选择哪个数据输入。

8重3-1多路复用器有3个数据输入、2位选择输入、1个输出，每个数据输入和输出都是8位，所以称之为8重，S选择将哪个数据输入传至输出，8重3-1多路复用器的引脚如图所示：

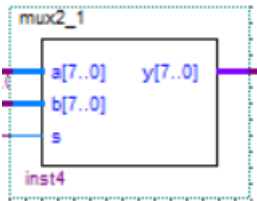


引脚之间的相互关系如下表所示：

表 1 3-1 多路复用器引脚关系

S[1..0]	Y
00	a
01	b
10	c
其它	a

8重2-1多路复用器有2个数据输入、1个选择输入、1个输出，每个数据输入和输出都是8位，S选择将哪个数据输入传至输出，8重2-1多路复用器的引脚如图所示：



引脚之间的相互关系如下表所示：

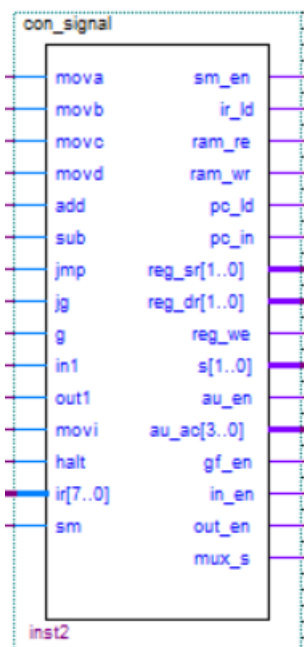
表 2 2-1 多路复用器引脚关系

S	Y
0	a
1	b

#### 4. 控制信号产生逻辑

控制信号产生逻辑接收指令译码器的输出，在 SM、IR[7..0]以及状态位 G 的配合下产生每个模块所需要的控制信号。

控制信号产生逻辑的输入输出引脚如下图所示：



### 三、实验内容

1. 用 VERILOG 语言设计模型机的 8 重 3-1 多路复用器；
2. 用 VERILOG 语言设计模型机的 8 重 2-1 多路复用器；
3. 用 VERILOG 语言设计模型机的控制信号产生逻辑。

### 四、实验要求

1. 完成学习通平台的实验作业。
2. 采用 VERILOG 语言设计逻辑电路，再利用波形编辑区进行仿真验证，以此验证电路的正确性。
3. 在 Tool 下用 netlist viewer 查看 RTL viewer，了解语句描述对应的 RTL 视图。
4. 实验结束前，由指导老师检查了仿真波形后方可离开。
5. 最后撰写实验报告，提交至学习通平台，做得好的同学将在学习通平台

分享设计。

#### 五、思考题

1、任选一条指令，介绍指令的执行过程、信息流动的情况以及执行时控制信号的值。

2、如何产生正确的控制信号以及具体的编程实现？