

## 实验二 模型机中组合部件的实现（一）

### 一、实验目的

1. 了解简易模型机的内部结构和工作原理。
2. 熟悉译码器、运算器的工作原理。
3. 分析模型机的功能，设计指令译码器。
4. 分析模型机的功能，设计 AU 算术单元。

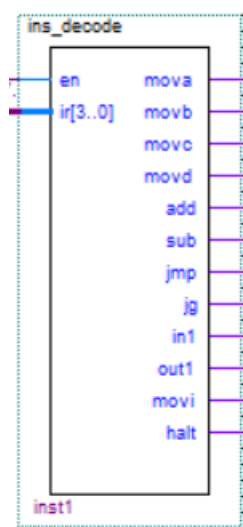
### 二、实验背景

#### 1. 指令译码器

指令译码器是根据指令系统表中的指令编码，对指令的操作码进行解析，判定是哪条指令，该指令对应的输出为 1，否则输出为 0。

表 1 指令系统表

汇编符号	功能	机器码	备注
MOVA Rd, Rs	$(Rs) \rightarrow Rd$	0100 Rd Rs	
MOVB M, Rs	$(Rs) \rightarrow (R0)$	0101 00 Rs	
MOVC Rd, M	$((R0)) \rightarrow Rd$	0110 Rd 00	
MOVD R3, PC	$(PC) \rightarrow R3$	0111 11 XX	
ADD Rd, Rs	$(Rd) + (Rs) \rightarrow Rd$	1000 Rd Rs	
SUB Rd, Rs	$(Rd) - (Rs) \rightarrow Rd$ IF $(Rd > Rs)$ , THEN $G=1$ , ELSE $G=0$	1001 Rd Rs	
JMP	$(R3) \rightarrow PC$	1010 XX 11	
JG	IF $G=1$ , THEN $(R3) \rightarrow PC$	1011 XX 11	
IN Rd	外设输入 $\rightarrow Rd$	1100 Rd XX	
OUT Rs	$(Rs) \rightarrow$ 外设	1101 XX Rs	
MOVI IMM	立即数 IMM $\rightarrow R0$	1110 00 XX IMM	双字节
HALT	停机	1111 00 00	



指令译码器的输入输出引脚如上图所示。**en** 为使能信号，**ir[3..0]**是指令的 4 位操作码，输出是对应的 12 条指令。引脚之间的相互关系如下表所示：

表 2 指令译码器引脚关系

en	ir[3..0]	12 个输出信号
1	指令操作码(高 4 位)	操作码对应的指令输出为 1，其它输出为 0
0	指令操作码(高 4 位)	不管 ir 为何值，12 个输出全为 0

## 2. AU 算术单元

算术逻辑运算类指令：

ADD Rd, Rs

SUB Rd, Rs

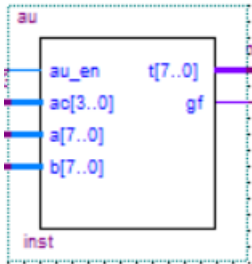
这类指令的执行过程为：

控制信号 **SR1**、**SR0** 选择源寄存器 **Rs** 的数据从 **S** 口输出，控制信号 **DR1**、**DR0** 选择目的寄存器 **Rd** 的数据从 **D** 口输出；在 **AC3~AC0** 和 **AU\_EN** 的控制下，在 **AU** 中进行加法（减法）运算后将相加的和（相减的差）送入总线 **BUS**；**S0** 为 1，**BUS** 上的数据传送至通用寄存器的输入端；在 **WE** 和 **DR1**、**DR0** 的控制下，时钟下降沿将输入端的数据写入目的寄存器 **Rd**。其中 **SUB** 指令影响状态位 **G**，如果 **Rd>Rs**，则 **G=1**，否则 **G=0**。

指令具体功能如下：

汇编符号	功能	编码
ADD Rd, Rs	$(Rd) + (Rs) \rightarrow Rd$	1000 Rd Rs
SUB Rd, Rs	$(Rd) - (Rs) \rightarrow Rd$ IF( $Rd > Rs$ ), THEN $G=1$ , ELSE $G=0$	1001 Rd Rs

**AU** 算术单元除了要完成 **ADD**、**SUB** 运算外，还需在 **MOVA**、**MOVB** 和 **OUT** 三条指令执行时，提供将数据传送至总线的数据通路。**ALU** 模块的输入输出引脚如下图所示：



其中 **au\_en** 和 **ac[3..0]** 是控制信号，控制 **a[7..0]** 和 **b[7..0]** 输入的数据进行什么操

作，并将产生的结果输出到t[7..0]和gf。各引脚间的相互关系如下表所示：

表 3 AU 引脚关系

au_en	ac[3..0]	t[7..0]	gf
1	1000	t=a+b	不影响
1	1001	t=b-a	IF(b>a), THEN G=1, ELSE G=0
1	0100、0101 或 1101	t=a	不影响
1	其它	t=8'hZZ	不影响
0	XXXX	t=8'hZZ	不影响

### 三、实验内容

1. 用 VERILOG 语言设计指令译码器；
2. 用 VERILOG 语言设计 AU 算术单元。

### 四、实验要求

1. 完成学习通平台的实验作业。
2. 采用VERILOG语言设计逻辑电路，再利用波形编辑区进行仿真验证，以此验证电路的正确性。
3. 在Tool下用netlist viewer查看RTL viewer，了解语句描述对应的RTL视图。
4. 实验结束前，由指导老师检查了仿真波形后方可离开。
5. 最后撰写实验报告，提交至学习通平台，做得好的同学将在学习通平台分享设计。

### 五、思考题

1. 指令译码器必须要 12 个输出吗？可否将一些输出合并，哪些可以合并，为什么？
2. AU 中的 S[3..0]控制信号是来自哪里或者说与什么信息相同？
3. 为何 AU 算术单元不执行加、减运算和 MOVA、MOVB 和 OUT 指令的数据传送功能时，输出为高阻态？